

—平成 20 年度 学位論文—

論理 LSI における
放射線誘起シングルスイベント過渡パルスと
ソフトエラー率に関する研究

指導教員: 廣瀬 和之 准教授

総合研究大学院大学
物理科学研究科 宇宙科学専攻

牧野 高紘

Abstract

Transient errors in logic LSI systems mounted on satellites are caused by high-energy cosmic rays. These transient errors are called soft errors. A single event upset (SEU) is one well-known type of soft errors. The SEU is a bit flipping due to a direct ion hit in the memory cell that configures logic LSI systems. This upset process is the same as the SEU process in a memory LSI. The SEU has been extensively studied, so some hardening designs have been created that have proven effective against it. For example, a dual interlocked storage cell is widely used. A single event transient (SET) has emerged as a new factor that causes soft errors. The SET is momentary voltage noise due to a direct ion hit in the logic cell that configures logic LSI systems. The noise pulse (SET pulse) causes a soft error when they reach a latch or other memory element. The SET could dominate the soft error response of logic VLSIs operating in space at clock frequencies of 100 MHz or higher. No effective hardening designs are available to prevent this SET from occurring because few data have been obtained on SET pulse-widths for hardening designs. Therefore, we used test circuits and a device simulator to gather knowledge on the SET pulse-width.

In previous work, we theoretically estimated the latch rate of the SET pulse in a flip-flop (FF) if we obtained the FF's timing parameters and the pulse-width of the SETs generated in logic cells connected to the FF. In addition, SET pulse-widths distribute even if the irradiated ion has a mono LET because the SET pulse-width response varies depending on the location the ion strikes in the transistor, such as a gate hit or a drain hit. If we could obtain the SET pulse-width distribution using an accurate measurement, we could theoretically estimate the soft error rate in a FF ($SE R_{SET}$) based on the results. However, no proven method for theoretically estimating $SE R_{SET}$ was available.

The SET pulse-width distribution reportedly depends on the LET of incident ions. However, the dependence of SET pulse-widths in SOI devices on LET was not mea-

sured. In addition, a key factor in SET pulse-widths was not elucidated. If we could reveal the dependence on LET and the physical mechanisms of the SET pulse-width, this knowledge would contribute to creating hardening designs for the SER_{SET} .

In this work, we discuss about 1) An experiment on estimating the soft error rate estimation in logic LSIs from an SET pulse-width measurement, 2) A measurement of the dependence of SET pulse-widths in an SOI logic cell on LET, and 3) A simulation of the dependence of SET pulse-widths in an SOI logic cell on LET.

1) Experiment on estimating the soft error rate estimation in logic LSIs from an SET pulse-width measurement

We can theoretically estimate SER_{SET} if we obtain the FF's timing parameters and the pulse-width distribution of the SETs generated in logic cells connected to the FF. However, the method for theoretical estimating the SER_{SET} was unproven. Therefore, we measured SET pulse-width distributions of the SETs generated in NOR cells using a pulse capture circuit named Snapshot to test the method. The pulse was captured by the Snapshot as a bit sequence like "0 ... 011110 ... 0," in which the number "1" (N_1) corresponds to the captured SET pulse-width and in which the N_1 can be converted into the pulse-width T_W (s). The Snapshot and NOR cells were fabricated in a 0.2- μm FD-SOI process. Heavy ion irradiation tests were performed using a K=110 MeV AVF cyclotron at the Takasaki Ion Accelerators for Advanced Radiation Application (TIARA). The test circuits were irradiated in a vacuum chamber with broad beams of Kr (322 MeV) at an irradiation angle of 0 degrees to achieve an LET of 40 MeV $\cdot\text{cm}^2/\text{mg}$. The LET value of 40 MeV $\cdot\text{cm}^2/\text{mg}$ was the reference value to discuss the reliability of semiconductor devices for space use. For this measurement, we had to know the fluence of the irradiated ion. Therefore, we adjusted the ion flux of the detection limit of the ion detector. The irradiation flux was adjusted about 3.5×10^4 particles/ $\text{cm}^2\cdot\text{s}$.

Measured pulse-widths were distributed in a range from 0.1 to 1.0 ns with a peak near the center of the distribution. The theoretically estimated $SER_{SET}(= 1.32 \times 10^{-10} \text{ cm}^2)$ from the measurement results showed good agreement with $SER_{SET}(= 1.15 \times 10^{-10} \text{ cm}^2)$ measured using the scan FF. The scan FF was fabricated to measure the SER_{SET} in a logic LSI directly. We proved the theoretical estimation method for the SER_{SET} from a SET pulse-width measurement for the first time. This method allows SER_{SET} estimation in logic LSIs if we obtain the SET pulse-width distributions in logic cells.

2) Measurement of the dependence of SET pulse-widths in an SOI logic cell on LET

We measured SET pulses originating in an inverter cell using the same circuit in our previous work to reveal the LET dependence of SET pulse-widths. Heavy ion irradiation tests were performed using the K = 110 AVF cyclotron at the Takasaki Ion Accelerators for Advanced Radiation Application (TIARA). The test circuits were irradiated in a vacuum chamber with broad beams of Kr (322 MeV) or Xe (454 MeV) at 0 and 45 degrees. We also used a Kr beam at 49 degrees. Kr provides effective LETs, LET_{effs} , of 40, 56, and 62 MeV·cm²/mg at 0, 45, and 49 degrees, respectively. Xe provides LET_{effs} of 68 and 92 MeV·cm²/mg at 0 and 45 degrees, respectively. We calculated the LET value by using SRIM code. The resultant pulse-widths in the range of LET_{eff} from 40–92 MeV·cm²/mg were shorter than 1.0 ns. These results imply that most of the pulses generated in the space environment would be shorter than 1.0 ns because few heavy ions have LET_{effs} of over 100 MeV·cm²/mg. The SET pulse-width exists in a range up to 1.0 ns with a peak near the center of the distribution for all cases.

3) Simulation of the dependence of SET pulse-widths in an SOI logic cell on LET

We performed mixed-mode 3-D device simulations to reveal the physical factors governing the saturation tendency. We built an inverter model and calculated its SET responses by using the Synopsys Sentaurus TCAD applications as described in our previous studies. The model was theoretically based on typical device parameters and not calibrated with real devices. Thus, for this simulation, we discuss the results qualitatively.

The pMOS and C_L were implemented with SPICE models provided in the simulation tool. A heavy ion was assumed to strike the off-state nMOS. The nMOS was modeled with a 3-D physical (numerical) device model. We simulated normal incidence. The incident points for all cases were fixed on the drain side 0.05 μ m from the center of the body, where we observed the peak of the SET width distribution when we simulated the strike with incidence points changing along the gate-length direction. For all simulations, we kept the LET values constant along the ion track. The ion direction was on the drain side for a 45-degree ion incidence. The gate length and width were 0.2 and 0.6 μ m. A realistic ion track structure that based on KK theory was modeled with a combination of 7 or 8 carrier-generation functions because we could not use the realistic ion track structure as it is in the simulator.

Pulse-widths without recombination increased as LET increased, while pulse-width with recombination tend to saturate from 40 to 100 MeV·cm²/mg. The saturation tendency of the SET pulse-widths observed in these simulations is consistent with the experimental results. Thus, the simulation results indicated that the recombination of ion-induced excess carriers is a key factor to bring about the observed saturation tendency. Moreover, the results suggest that the SET pulse-width could be decreased by using materials with a shorter lifetime for recombination.

論文要旨

衛星に搭載された論理 LSI は、軌道上を飛び交う放射線によって一時的な誤動作を起こす。この一時的な誤動作をソフトエラーと呼ぶ。ソフトエラーの一つとして、シングスイベントアップセット現象 (Single Event Upset: SEU) がよく知られている。SEU は、メモリ LSI と同様に論理 LSI 中の記憶素子に放射線 (例えば重イオン) が入射することで生じるデータ反転 (ソフトエラー) であり、これまで様々な研究や対策がとられてきた。近年もう一つのソフトエラーとして、シングスイベント過渡現象 (Single Event Transient: SET) が新たに顕在化してきた。SET は、論理 LSI 中の論理素子にイオンが入射する事で生じる過渡的な電圧変動であり、その過渡電圧パルス (SET パルス) が回路中を伝播しラッチ等記憶素子の状態を変える事でソフトエラーを引き起こすものである。SET によるソフトエラーの発生率 (SER_{SET}) は、論理素子で発生する SET パルスの時間幅と、論理 LSI の動作周波数の増加に伴って大きくなる事が指摘されており、今後、論理 LSI の更なる高速化によって SER_{SET} の増加が懸念されている。しかし、 SER_{SET} を見積もる手法や、 SER_{SET} を低減するための対策がないのが現状である。

これまでに、SET パルスが記憶素子にラッチされる確率を SET パルス幅の関数で求める事ができると言われてきた。また、発生する SET パルスの幅はイオンの入射位置によって異なるために、単一線エネルギー付与 (LET) のイオンを照射しても、SET パルス幅が分布を持つ事が報告されている。以上の事をふまえ、種々の論理素子の正確な SET パルス発生率をパルス幅の関数 (SET パルス発生率) として測定し、その発生率と各パルスが記憶素子にラッチされる確率から、種々の論理素子における SER_{SET} が推定できると考えられていたが、実証されていなかった。また、SET パルス幅分布が入射放射線の LET に依存する事も報告されているが、LET 依存性の詳細と SET パルス幅を支配する要因についてはわかっていない。SET パルス幅分布の LET 依存性と、パルス幅の決定要因を明らかにできれば SER_{SET} 低減策の提案につながると考えた。そこで本研究では、SET 対策のために必要な基礎的知見を得るため、1) SET パルス発生率の測定とソフトエラー率の推定、2) SET パルス幅の LET 依存性測定、3) シミュレーションによる SET

パルス幅 LET 依存性の要因解明, の検討をした.

1) SET パルス発生率の測定とソフトエラー率の推定

SET パルス発生率を SET パルス幅の関数として測定し, その発生率にそれぞれの時間幅をもったパルスが記憶素子にラッチされる確率を乗じることでそれぞれのパルスの時間幅での SER_{SET} を求め, それらを積分する事で論理素子の SER_{SET} を推定できると考えられていたが, これまで実証されていなかった. そこで, 本手法実証のため, Snapshot 回路を用いて, NOR 素子内に発生する SET パルス発生率を測定した. Snapshot 回路は試験対象論理素子で発生した SET パルスを “000..111..000” のようにビット列で取得する. 取得された “1” の数は SET パルス幅に対応しており, テストパルスによって予め得られている “1” の数とパルス幅の関係を用いて, 発生した SET パルス幅を算出する事が出来る. Snapshot 回路と NOR 素子は, ゲート長 $0.2\ \mu\text{m}$ 完全空乏型 SOI($0.2\ \mu\text{m}$ FD-SOI) 技術で作製されている. 測定は原子力機構の加速器施設 (TIARA) で行い, Kr 322 MeV/ion LET = $40\ \text{MeV}\cdot\text{cm}^2/\text{mg}$ (宇宙での LSI の耐放射線性を議論する際の評価基準値) を照射した. 本測定では, 試験対象素子へのイオン照射量を正確に知る事が必須であるため, 照射場で使用する放射線検出器と最適な照射量を十分検討した上で実験を行った. 照射粒子束を, $3.5 \times 10^4\ \text{particles}/\text{cm}^2\cdot\text{s}$ 程度に制御して照射を行った. 測定の結果, NOR 素子内に誘起される SET パルスの幅は $0.1\ \text{ns}$ 程度から $1.1\ \text{ns}$ にわたって分布していた. この発生率とラッチ確率を用いて求められた $SER_{SET}(= 1.32 \times 10^{-10}\ \text{cm}^2)$ は, SER_{SET} 測定用に別途作製したスキャンフリップフロップ (FF) を実装した論理 LSI の $SER_{SET}(= 1.15 \times 10^{-10}\ \text{cm}^2)$ と非常によい一致を示した. この事より, 論理素子内での SET パルス発生率から SER_{SET} が求められる事を初めて実証した. 本手法をもを用いる事で, SET パルス発生率測定結果から, 論理 LSI の動作周波数が変わった時の SER_{SET} が簡単に求められる. また, 種々の論理素子での SET パルス発生率を測定することで, 実際の論理 LSI での SER_{SET} を推定できることになった.

2) SET パルス幅分布の LET 依存性測定

SET パルス幅分布の LET 依存性を知るため, $0.2\ \mu\text{m}$ FD-SOI 技術で作製された NOT 素子に LET を変えた数種のイオンを照射し, それぞれのイオンで誘起される SET パルス幅分布を Snapshot 回路を用いて測定した. 本測定では, Kr 322 MeV/ion, Xe 454 MeV/ion (LET = $66\ \text{MeV}\cdot\text{cm}^2/\text{mg}$) のイオンを用いて広範囲の LET を得る必要がある. そのため, イオンの入射角度を変えた照射 (実効 LET の考え) によって LET = 40, 56, 62, 68, 92 ($\text{MeV}\cdot\text{cm}^2/\text{mg}$) での照射を可能とした. パッシベーション膜下の Si 活性層表面への入射 LET の計算は, SRIM コードを用いて行った. 測定の結果, 全ての LET において NOT 素子内に誘起される SET パルスの時間幅は $0.1\ \text{ns}$ 程度から $1.0\ \text{ns}$ にわ

たって分布することがわかった。各 LET で取得された SET パルス幅の分布の中でも最も多く検出された SET パルス幅 (最頻値) を LET に対してプロットすると、SET パルス幅は $LET = 40 \sim 92$ ($\text{MeV}\cdot\text{cm}^2/\text{mg}$) の範囲でほぼ一定であった。また、SET パルス幅は、 $LET = 0$ において 0 になるはずである。これらのことより、宇宙応用を考えて先端 SOI 技術で作製される NOT 素子に SET 対策を施す際は、考慮すべき最大パルス幅を 1.0 ns とすればよいことがわかった。また、発生する SET パルス幅の最大値と最頻値が NOR 素子に比べ NOT 素子で短かったため、 $SE R_{SET}$ は 1) で述べた NOR 素子に比べ NOT 素子で小さくなると期待できる。

3) シミュレーションによる SET パルス幅 LET 依存性の要因解明

SET パルス幅を支配する要因を明らかにするため、三次元デバイス回路混合シミュレーション (3D Mixed-Mode Simulation) を行った。3D Mixed-Mode Simulation は、論理素子を構成する複数の素子のうち、放射線が当たった素子だけを数値モデルで再現し、それ以外の素子を SPICE 等の等価回路モデルで再現する。これら異なるモデルについて、互いの境界条件を時々刻々と変えながら同時に解く方法である。シミュレーションは、NOT 素子内の n 型 FD-SOI MOSFET の Body 中心から 50 nm Drain 寄りにイオンが入射したと仮定し、NOT 素子での電圧パルスを求めた。実験をより正確に再現するには、イオンがデバイス中に生成する電荷の分布を正確に入力する必要があるが、これまではガウス関数型の簡易的な電子正孔対分布生成モデルしか用いられてこなかった。そこで、個々のイオンについて Kobetich と Katz の理論を基に現実的な電子正孔対分布を求め、独自の手法でシミュレータに導入した。SET パルス幅の LET 依存性を、キャリア再結合をシミュレーションモデルにおいて考慮しない場合と考慮した場合でシミュレーションした。その結果、再結合を考慮しない場合の SET パルス幅は LET の増加に伴って増加したのに対し、再結合を考慮した場合の SET パルス幅は実験結果と同様に LET の増加に伴って飽和傾向を示した。また、再結合を考慮した場合、考慮しない場合に比べ SET パルス幅は短くなった。再結合が SET パルス幅の増加傾向を抑制する一つの要因である事が初めて明らかとなり、SET 低減には再結合に寄与するデバイスパラメータの制御が有効であると考えられる。

目次

第 1 章	序論	1
1.1	本論文の背景と目的	1
1.1.1	研究の背景	1
1.1.2	研究の目的	7
1.2	本論文の構成	7
第 2 章	放射線が論理 LSI に与える影響	9
2.1	緒言	9
2.2	論理 LSI における放射線起因ソフトエラー	10
2.2.1	論理 LSI の基本構造	10
2.2.2	論理 LSI のソフトエラー −1− SEU	10
2.2.3	論理 LSI のソフトエラー −2− SET	11
2.3	SET パルスによるソフトエラーの顕在化	20
2.4	本章のまとめ	22
第 3 章	SET パルス幅測定回路と加速器を用いた実験手法	24
3.1	緒言	24
3.2	SET パルス幅測定回路	25
3.2.1	測定対象論理回路	27
3.2.2	スナップショット回路	29
3.3	加速器を用いた実験手法の検討	31
3.3.1	要求される実験条件と課題	31
3.3.2	加速器と照射設備	32
3.3.3	ビーム Flux 制御と Flux 測定	34
3.4	本章のまとめ	37
第 4 章	SET パルス発生率の測定とソフトエラー率の推定	38
4.1	緒言	38

4.2	SET パルス発生率の測定	39
4.2.1	実験条件	39
4.2.2	測定回路の較正	41
4.2.3	実験結果	44
4.3	ソフトエラー率の推定	51
4.3.1	ソフトエラー率の推定手法	51
4.3.2	ソフトエラー率の推定結果	51
4.4	推定手法の検証	56
4.5	推定手法を用いた SER_{SET} の見積もり	59
4.6	SET 対策への提言 -1-	62
4.7	本章のまとめ	62
第 5 章	SET パルス幅分布の LET 依存性測定	64
5.1	緒言	64
5.2	実験方法	65
5.2.1	測定回路	65
5.2.2	実験条件	65
5.3	実験結果	69
5.4	SET パルス幅の LET 依存性	75
5.5	SET 対策への提言 -2-	84
5.6	本章のまとめ	84
第 6 章	シミュレーションによる SET パルスの LET 依存性の要因解明	86
6.1	緒言	86
6.2	デバイス・回路混合シミュレーション	86
6.2.1	回路モデル	87
6.2.2	物理モデル	90
6.2.3	電子正孔対生成モデル	90
6.3	実際の電子正孔対生成モデルの導入	92
6.3.1	Kobetich と Katz の理論	92
6.3.2	デバイスシミュレーションへの導入	96
6.4	シミュレーション結果	100
6.5	SET 対策への提言 -3-	115
6.6	本章のまとめ	116
第 7 章	総括	117

7.1	総括	117
参考文献		121
研究業績		127
謝辞		130
付録 A	宇宙の放射線環境	A-132
1	捕足放射線帯	A-132
2	太陽宇宙線	A-133
3	銀河宇宙線	A-133
付録 B	放射線と半導体の相互作用	B-137
1	電子正孔対生成過程	B-137
2	重イオン入射による生成電荷量	B-139
付録 C	半導体デバイスへの重イオン入射 電荷生成と収集過程	C-140
1	バルクプロセス	C-140
2	SOI プロセス	C-142
付録 D	スキャン FF を実装した論理 LSI による SER_{SET} 測定手法	D-145
付録 E	SET パルスシミュレーションへの電子正孔対生成モデルの影響	E-148

第 1 章

序論

1.1 本論文の背景と目的

1.1.1 研究の背景

地球周辺には、太陽系内外の星の活動に起源を持つ荷電粒子によって、過酷な放射線環境が形成されている。地球周辺に存在する放射線は大きく分けて、捕足放射線帯、太陽宇宙線、及び銀河宇宙線の 3 種類に分類することができる。捕足放射線帯は、地磁場によって太陽および銀河から放出された荷電粒子が捕獲されたもので数 100 MeV 程度の陽子(プロトン)や電子で構成されている。太陽宇宙線は、太陽フレアとも呼ばれ、太陽活動によって生成された比較的高エネルギー(~ 1 GeV)のプロトン等が主な成分である。銀河宇宙線は、超新星爆発で発生した粒子が銀河系加速によって加速された超高エネルギー($\sim 10^{11}$ GeV)の粒子で、プロトンの他に重イオン¹も 10% 程度含まれる。これらの放射線によって、人工衛星に搭載された半導体集積回路の劣化や誤動作等、様々な障害が引き起こされ問題となっている。

集積回路の放射線障害は、集積回路に入射する放射線の種類によって大きく 2 種類に分けられる。一つは、主にプロトンや電子が原因の Total Ionization Dose (TID) である。TID は、プロトンや電子の電離作用によってトランジスタの酸化膜中に固定電荷が発生し、それによってトランジスタの閾電圧変動やリーク電流の増加を引き起こす累積的な現象である。軌道上のプロトンや電子は、弱い電離作用しか持たないが、単位面積あたりの入射量が多いためにこのような現象を引き起こす²。もう一つは、主に重イオンが原因の

¹ 本研究では、 α 粒子 (He の原子核) 以上の重さを持つ荷電粒子を「重イオン」と定義する。

² プロトンが半導体デバイス内の Si と核反応した結果、生成される二次重イオンによって、次に説明する SEE が引き起こされることもある。

Single Event Effect (SEE) である。SEE は、重イオンの強い電離作用によってトランジスタの空乏層内に多量の電子正孔対が生成され、その電子または正孔の流れが回路ノードの電圧を変動させ次段トランジスタの ON-OFF を反転させる過渡的な現象である。軌道上の重イオンは、単位面積あたりの入射量は少ないが、大きな電離作用を持っているためにこのような現象を引き起こす。

これらの影響を予測するために、宇宙放射線の工学用モデルが用いられている [1]。宇宙放射線の工学用モデルとは、実測モデルで、地球周辺の地磁気緯度、地磁気経度、高度の各空間点における、電子、プロトン等の各粒子密度を、それぞれの粒子の各エネルギー範囲毎に実測値の時間平均または内挿して求めた結果を数値テーブルとして表した数値モデルをいう。人工衛星の軌道に沿った各宇宙空間点の放射線粒子密度を、この放射線モデルを使って数値積分すれば、その衛星の被爆する放射線の平均総線量を計算できる。ここで、現在一般的に用いられている宇宙放射線の工学用モデルとしては、SPENVIS (The Space Environment Information System) [2] と CREME96 (Cosmic Ray Effects on Micro Electronics) [3] が挙げられる。SPENVIS, CREME96 は WEB 上で使用可能であり、特に SPENVIS は、電子のエネルギースペクトル、プロトンのエネルギースペクトルを計算できるが、このうち計算で求めたプロトンのエネルギースペクトルを基に、粒子輸送モンテカルロコード Geant4 [4] へのつなぎ計算が可能となっている。これによって、宇宙放射線が人工衛星内部の精密機器へ与える影響を、より詳細に予測できるようになっている。

TID が初めて認識されたのは 1962 年の高空核実験による人工衛星の故障である。高空核実験によって、人工的に発生した β 線が捕足放射線帯に流入し、電子密度を 1 桁以上増大させ、それが数年間持続した。この時、捕足放射線帯を通過した人工衛星のうち、耐放射線対策を考慮していた衛星 (Telstar-1) 以外は、数日か数週間で機能を失い停止した。その後、TID に対しては図 1.1 に示すように遮蔽が有効であることが示された [5]。図 1.1 は Telstar-1 に搭載された n-p-n トランジスタのゲイン (h_{FE}) の低下を表している。縦軸が打ち上げ時のゲインを 1 とした時の相対値、横軸が打ち上げからの日数である。5 本の曲線はそれぞれ、遮蔽体 (アルミニウム) の厚さを変えて遮蔽したトランジスタの寿命を示している。この図が示すように、遮蔽厚を 0.045 g/cm^2 から 0.28 g/cm^2 に増加させるだけでトランジスタの寿命は 10 倍程度伸びる。これは、TID に寄与するプロトンや電子は低エネルギーであるため遮蔽が効果的であることを示している。

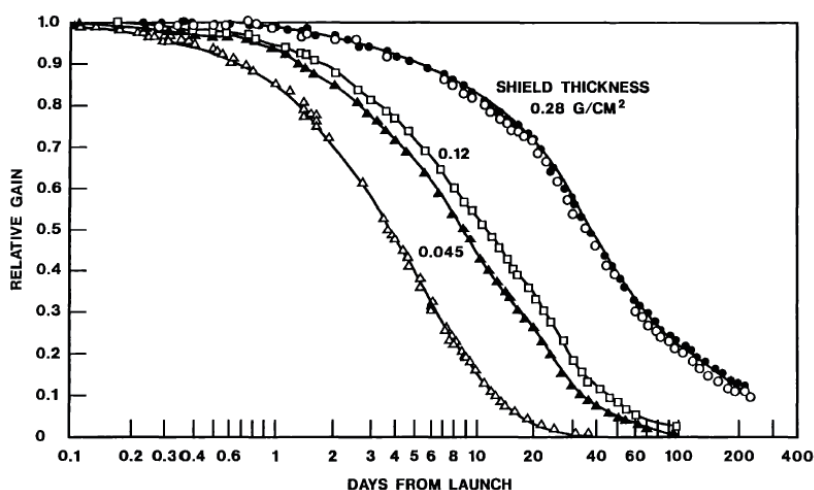


図 1.1 Telstar-1 に搭載された n-p-n トランジスタのゲインの低下 [5].

一方、SEE が初めて認識されたのは、1975 年にインテルサット IV 号衛星に搭載された汎用のデジタル TTL (Transistor-Transistor Logic) IC 中のフリップフロップ (FF) が原因不明のビット反転現象を起こしたことがきっかけである。このビット反転現象は、宇宙の高エネルギー粒子 (陽子 または 重イオン) 1 個が FF に入射することによって発生した一時的障害 (ソフトエラー) であることが確認された [6]。この現象は、1 個のイオンが FF に入射し、イオンの電離作用によって FF 内に生成された電荷がノイズ電流や電圧となることで引き起こされるビット反転現象であるため “シングルイベントアップセット (Single Event Upset: SEU)” と呼ばれるようになった。この報告をきっかけに、SEU に関する研究が急速に広がりはじめた。そして、1979 年には、地上でもパッケージに含まれる放射性物質から発生する α 線によって DRAM がソフトエラーを起こすことが報告された。このソフトエラーは、 α 線源を取り除くことによって対策がなされた。その後、メモリの高密度化によって地上での二次宇宙線起因のソフトエラー率 (SER_{SEU}) の上昇が懸念されていたが、図 1.2 に示すように DRAM ではコンデンサの容量を大きくすることによって SER_{SEU} を抑えている。一方、SRAM は DRAM に比べ SER_{SEU} の上昇が顕著であるが (図 1.2 [7])、2004 年には 120 nm テクノロジーで作ったセルの両端に容量を付加することで従来の 1/100 程度の SER_{SEU} に抑える技術が開発されている [8]。宇宙用途では、Silicon On Insulator(SOI) および、容量を付加する技術を使い、耐放射線性に極めて優れた 128 Kb SRAM が開発された [9]。この SRAM は、通常バルク Si 基板を使う場合に比べて SER_{SEU} を 2 桁も低減することができる。このように SEU に対しては、多くの研究がなされ対策も取られてきた。

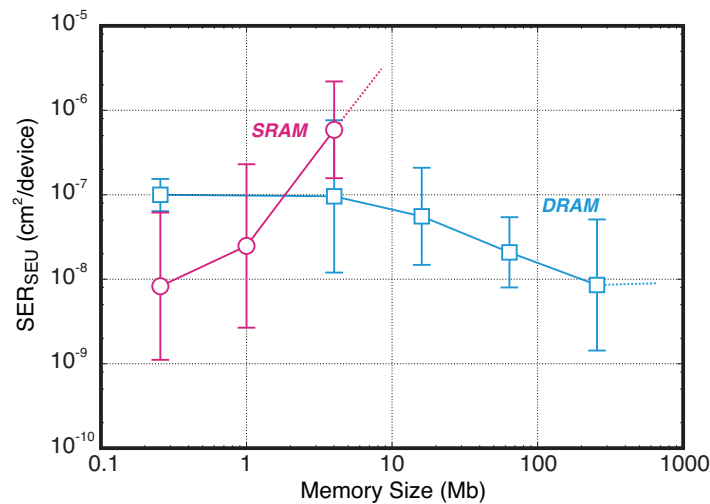


図 1.2 SRAM, DRAM のメモリ容量と SER_{SEU} [7].

SEE の発見から 30 年余り経過して明らかになったことや解決したことは多いが、近年、半導体デバイスの高速化・微細化により新たな課題が浮かび上がってきた。そのうちの 하나가, “シングルイベントトランジェント (Single Event Transient: SET)” である。SET は, 論理 LSI 中の論理素子にイオンが入射することで生じる過渡的な電圧変動であり, その過渡電圧パルス (SET パルス) が回路中を伝播しラッチ等記憶素子の状態を変えることでソフトエラーを引き起こすものである。

SET によるソフトエラーが初めて認識されたのは, 1993 年に人工衛星に搭載されたアナログ回路 (リニアバイポーラ回路) で発生した SET が計数器にラッチされ誤ったことがきっかけである。その後, 図 1.3 に示すように, 論理 LSI における SET 起因のソフトエラー率 (SER_{SET}) が論理 LSI の動作周波数の増加に伴って高くなることが示された [10]。論理 LSI の動作周波数が数 100 MHz あたりから, SET をラッチする確率の増加と論理 LSI を構成する論理素子の増加によって, SER_{SET} は全体のソフトエラー率の中で支配的になるという予測もされている [11]。これまでは, 論理 LSI の動作周波数が比較的低速で, SER_{SET} は無視できるほど小さかったため SET によるソフトエラーに関する研究はされていなかった。近年, 論理 LSI の高速化に伴い SER_{SET} が無視できなくなってきたが, SER_{SET} を見積もる手法や, SER_{SET} を低減するための対策がないのが現状である。これまでに, SET パルスが記憶素子にラッチされる確率を SET パルス幅の関数で求めることができると言われていた [12, 13]。また, 発生する SET パルス幅はイオンの入射位置によって異なるために, 単一線エネルギー付与 (LET) のイオンを照射しても, SET パルス幅が分布を持つことが報告されている [14–19]。これらより, 種々の論理素子の正確な SET パルス発生率をパルス幅の関数 (SET パルス発生率) として測定し, その発生率と各パルスが記憶素子にラッチされる確率から, 種々の論理素子における SER_{SET} が推定できると言われているが, これまでこの推定法は実証されていなかった [13]。

また, SET パルス幅分布が入射放射線の LET に依存することも報告されているが [15, 18, 20], LET 依存性の詳細と SET パルス幅を支配する要因についてはわかっていない。SET パルス幅分布の LET 依存性と, パルス幅の決定要因を明らかにできれば SER_{SET} 低減策の提案につながると考えた。そこで本研究では, SET 対策のために必要な基礎的知見を得るため, 1) SET パルス発生率の測定とソフトエラー率の推定, 2) SET パルス幅分布の LET 依存性測定, 3) シミュレーションによる SET パルス幅 LET 依存性の要因解明, の検討をした。

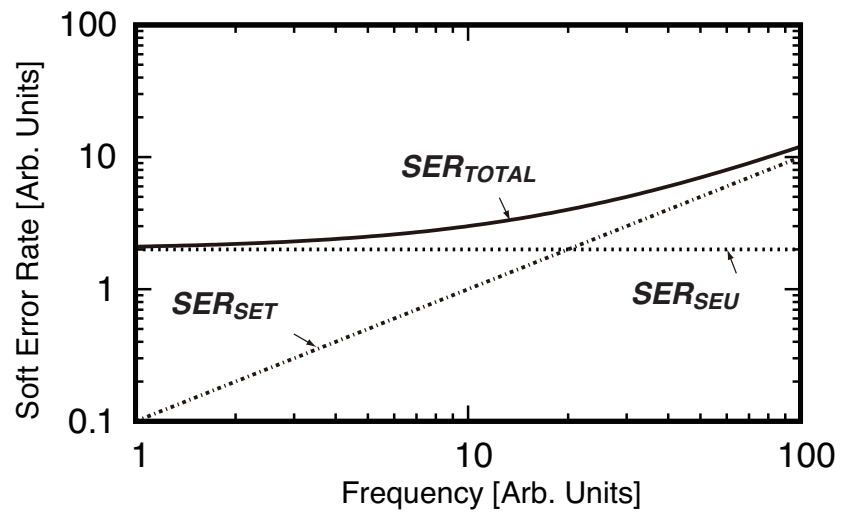


図 1.3 回路の動作周波数と放射線起因ソフトエラーの発生率 (SER) の関係 [10]. SER_{SEU} は SEU によるソフトエラーの発生率, SER_{SET} は SET によるソフトエラーの発生率, SER_{TOTAL} は SER_{SEU} と SER_{SET} を合わせたソフトエラー率.

1.1.2 研究の目的

論理 LSI 中で発生する SET パルスに起因するソフトエラー率の測定手法を実証し、また、LET 依存性の詳細と SET パルス幅を支配する要因の解明を行うことによって、SET 対策のために必要な基礎的知見を得ることが本研究の目的である。

1.2 本論文の構成

本論文は、全 7 章より構成される。

第 1 章は序論であり、論理 LSI 中で発生する放射線による誤動作に関して概観した後、近年論理 LSI の高速化に伴って顕在化すると危惧されている SET による新たな誤動作について論じた。その上で、本論文の目的と構成について述べたものである。

第 2 章では、論理 LSI における SEU によるソフトエラー発生過程と、本研究の対象である SET によるソフトエラー発生過程について論じる。その上で、宇宙環境での SET パルスによるソフトエラーの顕在化に関するデータを示す。

第 3 章では、本研究で用いた SET パルス幅の測定手法の説明をしたうえで、実験に要求される条件と課題を整理する。そして、加速器と照射設備の仕様から、それぞれの課題を解決する手法の検討を行う。

第 4 章では、論理素子で発生する SET パルスの発生率を測定し、その結果を用いて SER_{SET} の推定を行った。そして、 SER_{SET} の推定結果と、Yanagawa 等が行ったスキャン FF を実装した論理 LSI による SER_{SET} の絶対値測定の結果 [13] との比較によって推定手法の検証を行った。Yanagawa 等が行ったスキャン FF を実装した論理 LSI による SER_{SET} の絶対値測定では、NOR 素子と NOT 素子の SER_{SET} の絶対値が測定されている。これまで、SET パルス発生率は自己トリガ式フリップフロップチェーンを用い、Brookhaven National Laboratory (BNL) において Ni 265 MeV をテストチップに対して 49° で照射することによって測定されている [17]。比較対象のスキャン FF を実装した論理 LSI による SER_{SET} の絶対値は、日本原子力研究開発機構の TIARA において Kr 322 MeV をテストチップに対して垂直 (0°) で照射することによって測定されている。これらは、照射イオン、照射角度、イオンエネルギー等の実験条件が異なるため、BNL の結果から推定した SER_{SET} と TIARA で測定された SER_{SET} の絶対値を直接比較することができなかった。そのため、本研究では自己トリガ式フリップフロップチェーンを用い、TIARA において Kr 322 MeV をテストチップに対して垂直 (0°) で照射することによって論理素子での SET パルス発生率を測定し、その結果を用いて SER_{SET} の推定を行った。そして、 SER_{SET} の推定結果と、スキャン FF を実装した論理 LSI に

よる SER_{SET} の絶対値測定の結果 [13] との比較によって推定手法の検証を行った。その上で、SET 対策への提言を示す。

第 5 章では、SET パルス幅の LET 依存性測定を行った。これまで、SET パルス幅の LET 依存性に関して二つの異なった傾向が報告がされていた。一つは、Variable Temporal Latch を用いた測定によって得られた、SET パルス幅が LET の増加に伴って直線的に増加するという傾向。もう一つは、シミュレーションによって得られた SET パルス幅が、LET の増加に伴って飽和傾向を示すという傾向である。これらの傾向が異なる原因についてはよくわかっていない。そのため、第 4 章で用いた自己トリガ式フリップフロップチェーンを用い、これまでシミュレーション結果しかなかった SET パルス幅の LET 依存性測定を行った。その上で、SET 対策への提言を示す。

第 6 章では、3 次元デバイス回路混合シミュレーションによる SET パルス幅 LET 依存性の要因解明について述べる。その上で、SET 対策への提言を示す。

最後に第 7 章で本論文の総括を行う。

第 2 章

放射線が論理 LSI に与える影響

2.1 緒言

論理 LSI は、NOT や NOR などの論理素子 (Logic Cell) が組み合わせられた組み合わせ論理素子からなるブロック (Combinational Logic Block) と、フリップフロップ (FF) やラッチなどの記憶素子 (Memory Cell) で構成されており、論理 LSI のどこに放射線が入射するかによって発生するソフトエラーが異なる。本章では、論理 LSI の基本構造を説明した後に、論理 LSI 中の記憶素子に放射線が入射することで発生する SEU によるソフトエラーの発生過程と、本研究の対象である論理素子に放射線が入射したことで発生する SET によるソフトエラー発生過程について説明を行う。放射線と半導体の相互作用、半導体デバイスへの重イオン入射による電荷生成と収集過程については付録 B, C を参照されたい。

SET パルスによるソフトエラーについては、その発生率を解析的に求めることのできる推定式の説明を行う。この解析式は、Alexandrescu 等によって提案され、Yanagawa 等によって拡張されたものであるが、これまでこの推定式が正しいかどうかは実証されていなかった。4 章では、この推定式を用いて、SET パルスによるソフトエラー発生率の推定を行い、この推定式が正しいかどうかを検証した。

以上の説明を行った上で、解析式と簡単なモデルを用いて求めた SET パルスによるソフトエラー率の一例を示す。その結果より、近い将来宇宙環境において SET パルスによるソフトエラーが顕在化することを示す。

2.2 論理 LSI における放射線起因ソフトウェア

2.2.1 論理 LSI の基本構造

論理 LSI は、NOT や NOR などの論理素子 (Logic Cell) が組み合わされた組み合わせ論理素子からなるブロック (Combinational Logic Block) と、フリップフロップ (FF) やラッチなどの記憶素子 (Memory Cell) で構成されている (図 2.1) [17]. 論理 LSI では、入力端子から入力されたデータが論理素子ブロックで処理され、クロックに同期して後段の記憶素子に記録される. 論理 LSI のソフトウェアは、重イオンが記憶素子に入射した場合と論理素子に入射した場合とで異なる過程を通して発生する. 以下では、それぞれの場合について説明する.

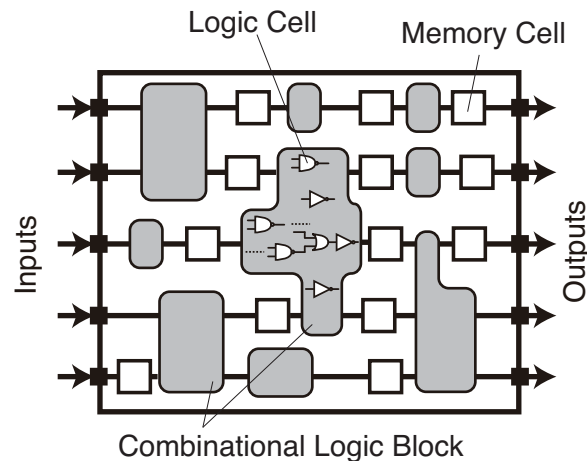


図 2.1 論理 LSI の基本構造 [17].

2.2.2 論理 LSI のソフトウェア -1- SEU

記憶素子に放射線が入射すると、放射線が生成する電荷によって記憶ノードの電圧が変動する. この電圧変動によって記憶素子のソフトウェアが発生する. このソフトウェアをシングルイベントアップセット (Single Event Upset: SEU) と呼ぶ. 図 2.2 に CMOS の SRAM 記憶素子における SEU 発生過程を示す. 重イオンが SRAM のオフ状態の nMOS に放射線が入射したとすると、生成された電子は電界によってドレインに収集される (図中 (1)). 収集された電子は p_2 , n_2 のゲート電圧を V から 0 に変える (図中 (2)). これによって、 p_2 がオフ状態からオン状態へ、 n_2 がオン状態からオフ状態になり n_2 ドレイン端子電圧が 0 から V に変わる (図中 (3)). この時、 V_{out} は 0 から V 、つまり保持情報が 0

から 1 となる. n_2 ドレイン端子電圧 V は, p_1, n_1 のゲートに印加され, p_2 をオン状態からオフ状態へ, n_2 をオフ状態からオン状態にする (図中 (4)). その結果, n_1 ドレイン端子電圧が常に 0 という状態となり, V_{out} は 1 のままになる.

この現象は, 放射線が論理 LSI の記憶素子に入射した時に発生する現象で, 論理 LSI の動作周波数に依存しない. 特定の放射線環境下において, 1 bit の容量を持つ記憶素子で発生する SEU によるソフトエラー率 (SE_{SEU}) は次のようにして求められる.

$$SE_{SEU}(cm^2) = Upsets(times)/fluence(particles/cm^2) \quad (2.1)$$

ここで, $Upsets$ は SEU が発生した回数で, $fluence$ は入射重イオンのフルエンスである. SE_{SEU} は面積の次元で表され, 感応断面積とも呼ばれる. 感応断面積とは, 記憶素子の総面積のうち「そこに重イオン 1 個が当たると SEU が 1 回起こる部分」の面積のことを示し, ソフトエラー率を評価する上で一般的に用いられる.

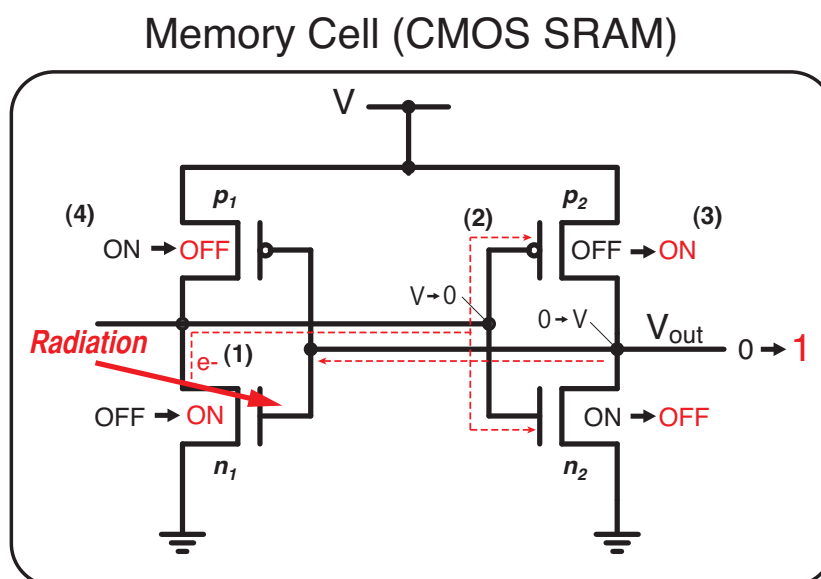
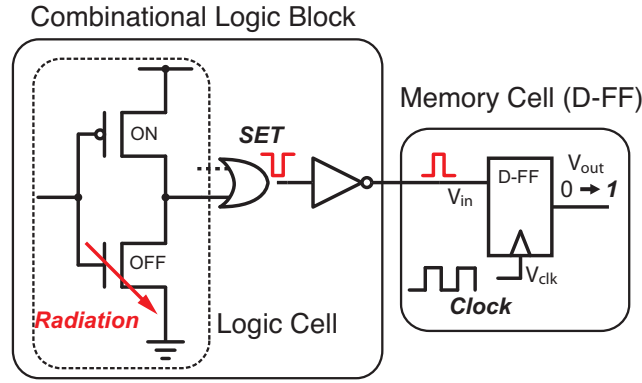


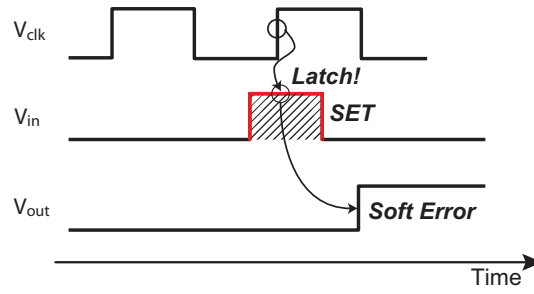
図 2.2 CMOS の SRAM 記憶素子における SEU 発生過程. オフ状態のトランジスタに対して放射線が入射し, 生成された電荷は, 電界によってドレインに収集された後 (1), p_2, n_2 のゲート電圧を V から 0 に変える (2). その結果 n_2 ドレイン端子電圧が 0 から V に変わり V_{out} は 0 から 1 になる (3).

2.2.3 論理 LSI のソフトエラー –2– SET

論理素子に放射線が入射すると, 放射線が生成する電荷によって論理素子の出力電圧が変動する. この過渡的な電圧変動のことをシングルイベント・トランジェント (Single Event Transient: SET) と呼び, 電圧変動はパルス (SET パルス) となって回路中を伝播



(a)



(b)

図 2.3 (a) 論理素子内で SET パルスが発生し、組み合わせ論理回路を伝播して記憶素子にラッチされてソフトエラーを発生させる様子. (b) 記憶素子 (D-FF) の入出力信号のタイミング図. クロックの立ち上がりと同じタイミングで SET パルスが D-FF の入力に到達すると、SET がラッチされソフトエラーが発生する.

する. 回路中を伝播した SET パルスが記憶素子の入力端子に到達し、それが記憶素子にラッチ (トリガ) されるとソフトエラーを引き起こす (図 2.3(b)). このようにして SET によって発生するソフトエラーも、前述の SEU と同様に論理 LSI の誤動作を招く原因となる.

SET パルスによるソフトエラーの発生率 (SER_{SET})

T_{SET} のパルス幅を持った SET パルスによるソフトエラーの発生率 ($SER_{SET}(T_{SET})$) は以下の式で求められる.

$$SER_{SET}(T_{SET})(cm^2) = \sigma_{SET}(T_{SET})(cm^2) \times P_{latch}(T_{SET}) \quad (2.2)$$

ここで、 $\sigma_{SET}(T_{SET})$ は、 T_{SET} のパルス幅を持った SET パルスが発生する確率、 $P_{latch}(T_{SET})$ は T_{SET} のパルス幅を持った SET パルスが記憶素子 (FF) にラッチされる確率である. このように、 $SER_{SET}(T_{SET})$ を求めるためには、SET パルスが記憶素子

(FF) にラッチされる確率を考慮する必要がある, この確率は FF の動作周波数と SET パルスの幅で求められる [12]. 以下では, $P_{latch}(T_{SET})$ の導出を行う.

まず, FF のセットアップ時間とホールド時間をそれぞれ T_{setup} , T_{hold} とし, FF を駆動するクロックの周期を T_{CLK} とする. また, SET パルスの時間幅 (SET パルス幅) を T_{SET} とする. SET パルスが FF にラッチされる確率 $P_{latch}(T_{SET})$ は,

$$P_{latch}(T_{SET}) = \frac{1}{T_{CLK}} \int_0^{T_{CLK}} p(t, T_{SET}) dt \quad (2.3)$$

で表される. ここで, $p(t, T_{SET})$ は SET パルス幅 T_{SET} と入力タイミングごとに定義されるラッチ確率で, 以下のように (1)~(3) に場合分けして求められる [12].

(1) $T_{SET} < -T_{setup} + T_{hold}$ の場合の $p(t, T_{SET})$ (図 2.4)

あるクロックの立ち上がり時間を $t = 0$ とすると, $t = -T_{setup}$ より前に入力された SET パルス (図 2.4(a)) と, $t = T_{hold}$ より後に入力された SET パルス (図 2.4(b)) は FF にラッチされない. すなわち $p(t, T_{SET})$ は 0 である. 一方, それ以外のタイミングで入力された SET パルス (図 2.4(c)) は FF にラッチされる可能性がある. ただし, セットアップ時間制約とホールド時間制約が共に満たされないため, 確実にラッチされる訳ではない. ここでは, ラッチされる場合とラッチされない場合が同程度に起こると仮定して, $p(t, T_{SET})$ を 0.5 とした. 以上を整理すれば

$$p(t, T_{SET}) = \begin{cases} 0 & (t < -T_{setup} - T_{SET}, t > T_{hold}), \\ 0.5 & (-T_{setup} - T_{SET} \leq t \leq T_{hold}). \end{cases} \quad (2.4)$$

式 (2.3) と (2.4) から $P_{latch}(T_{SET})$ を求めると

$$P_{latch}(T_{SET}) = \frac{1}{2} \times \frac{T_W + T_{SET}}{T_{CLK}} \quad (2.5)$$

となる. ここで T_W は FF のラッチウィンドウであり, $T_W = T_{setup} + T_{hold}$ である.

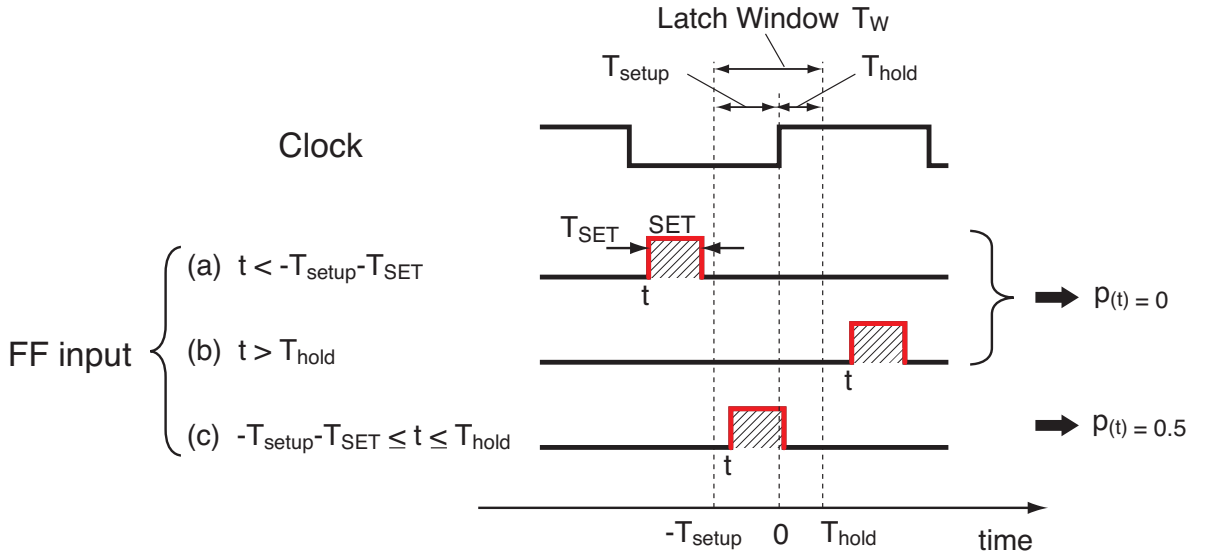


図 2.4 SET の入力タイミングと $p(t, T_{SET})$ の関係 ($T_{SET} < -T_{setup} + T_{hold}$ の場合).

(2) $T_{SET} \geq -T_{setup} + T_{hold}$ かつ $T_{SET} < T_{CLK}$ の場合の $p(t, T_{SET})$ (図 2.5)

あるクロックの立ち上がり時間を $t = 0$ とすると, $t = -T_{setup}$ より前に入力された SET パルス (図 2.4(a)) と, $t = T_{hold}$ より後に入力された SET パルス (図 2.4(b)) は FF にラッチされない. すなわち $p(t, T_{SET})$ は 0 である. 一方, それ以外のタイミングで入力された SET パルスのうち, セットアップ時間制約とホールド時間制約のどちらか一方のみを満たすもの (図 2.5(c)(d)) については, ここでは, ラッチされる場合とラッチされない場合が同程度に起こると仮定して, $p(t, T_{SET})$ を 0.5 とした. セットアップ時間制約とホールド時間制約の両方を満たす場合 (図 2.5(e)) は必ず FF にラッチされるため, $p(t, T_{SET})$ は 1 である. 以上をまとめると,

$$p(t, T_{SET}) = \begin{cases} 0 & (t < -T_{setup} - T_{SET}, t > T_{hold}), \\ 0.5 & (-T_{setup} - T_{SET} \leq t \leq T_{hold} - T_{SET}, -T_{setup} \leq t \leq T_{hold}), \\ 1 & (T_{hold} - T_{SET} \leq t \leq -T_{setup}). \end{cases} \quad (2.6)$$

(2.3) 式と (2.6) 式から $P_{latch}(T_{SET})$ を求めると

$$P_{latch}(T_{SET}) = \frac{T_{SET}}{T_{CLK}}$$

(2.7)

となる.

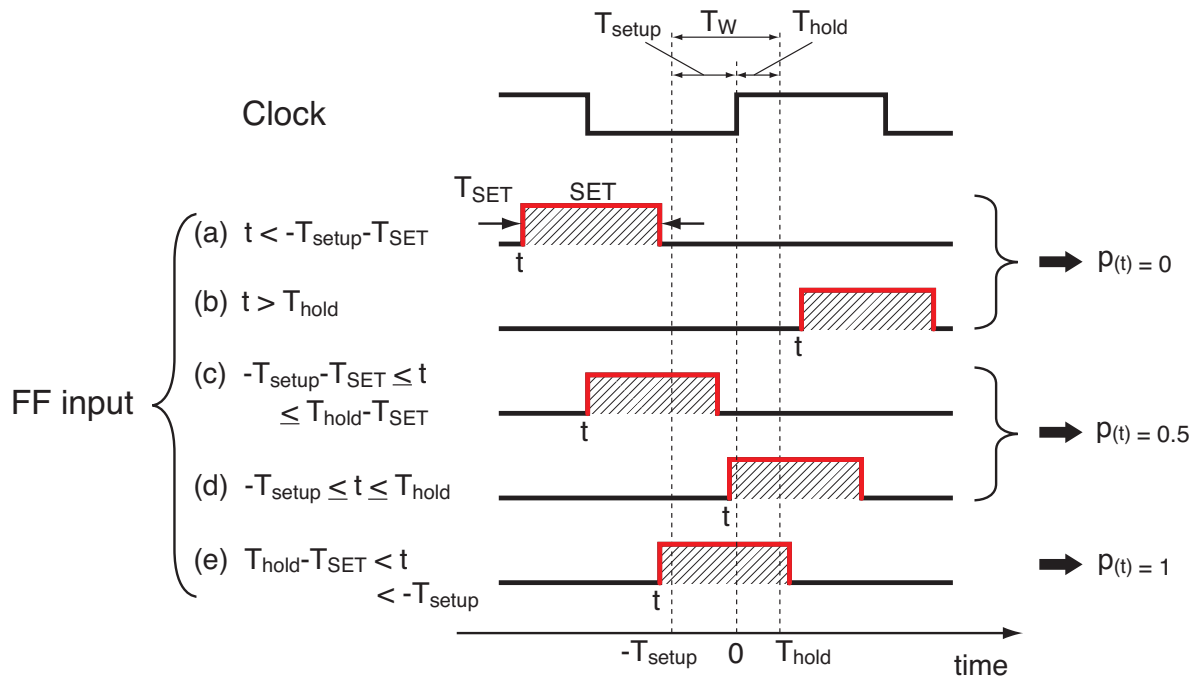


図 2.5 SET の入力タイミングと $p(t)$ の関係 ($T_{SET} \geq -T_{setup} + T_{hold}$ かつ $T_{SET} < T_{CLK}$ の場合).

(3) $T_{SET} \geq T_{CLK}$ の場合の $p(t, T_{SET})$ (図 2.6)

この場合は、SET が FF に入力されるタイミングによらず必ずラッチされるため、

$$p(t, T_{SET}) = 1 \quad (2.8)$$

であり、式 (2.3) より $P_{latch}(T_{SET})$ を求めると

$$P_{latch}(T_{SET}) = 1 \quad (2.9)$$

となる。

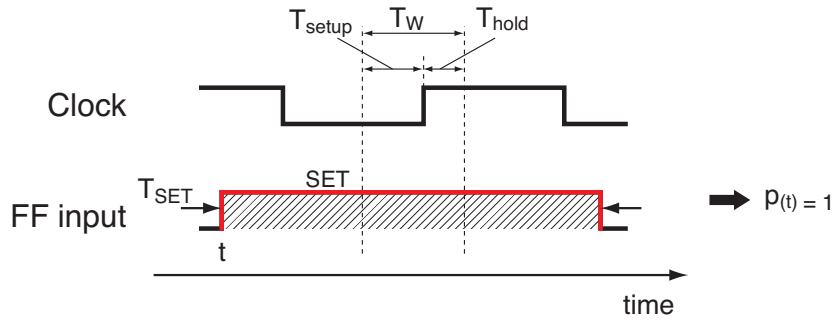


図 2.6 SET の入力タイミングと $p(t)$ の関係 ($T_{SET} \geq T_{CLK}$ の場合)。

(1)～(3) を整理すると、

$$P_{latch}(T_{SET}) = \begin{cases} \frac{1}{2} \times \frac{T_W + T_{SET}}{T_{CLK}} & T_{SET} < T_W \text{ のとき} \\ \frac{T_{SET}}{T_{CLK}} & T_{SET} \geq T_W \text{ かつ } T_{SET} < T_{CLK} \text{ のとき} \\ 1 & T_{SET} \geq T_{CLK} \text{ のとき} \end{cases} \quad (2.10)$$

が得られる。ここで、 $T_W = T_{setup} + T_{hold}$ である。クロック周期 T_{SET} より長い SET パルスが発生しないと仮定すれば、2.2 式より、 SER_{SET} は T_{CLK} に反比例、すなわち回路のクロック周波数に比例するという関係が導かれる。従って記憶素子由来のソフトウェアの発生数は、回路の動作周波数に比例して増加するという性質を持つ。

2.10 式より，論理素子内で発生する全ての SET パルスによるソフトエラーの発生率 (SER_{SET}) は，

$$SER_{SET} = \frac{1}{2T_{CLK}} \sum_{T_{SET}=0}^{T_W} \sigma_{SET}(T_{SET})(T_W + T_{SET}) + \frac{1}{T_{CLK}} \sum_{T_{SET}=T_W}^{T_{CLK}} \sigma_{SET}(T_{SET})T_{SET} + \sum_{T_{SET}=T_{CLK}}^{\infty} \sigma_{SET}(T_{SET}) \quad (2.11)$$

で求められる．ここで T_W は FF の $T_{setup} + T_{hold}$ ， T_{CLK} は FF の動作周波数である．2.11 式は SER_{SET} を，まず測定した各 SET パルス幅ごとの $\sigma_{SET}(T_{SET})$ とそれぞれの SET パルスが FF にラッチされる確率 $P_{latch}(T_{SET})$ から 2.2 式に基づき $SER_{SET}(T_{SET})$ を求め，その上で $SER_{SET}(T_{SET})$ を全てのパルス幅にわたって足し合わせることで算出することを意味している．このとき $P_{latch}(T_{SET})$ は，条件式 2.10 に従う．

ここで図 2.7 に，2.10 式を用いて求めた SET パルス幅ごとのラッチ確率の例を示す．ラッチ確率を求める際に用いた，論理 LSI の動作周波数は 9.2 MHz とした． $T_W = T_{setup} + T_{hold}$ は，0.2 μm FD-SOI スタンドセルライブラリを用いて作製された FF のタイミング値を用いた．このタイミング値はシミュレーションによって求められており $T_W = 138$ ps である [17]．図より SET パルスの幅が T_W より長い，短いによってラッチ確率の傾きが変わるのがわかる． T_{SET} が $T_W \leq T_{CLK}$ の時のラッチ確率は， $P_{latch}(0) = 0$ と $P_{latch}(T_{CLK}) = 1$ を結ぶ直線である．

図より， T_W が十分小さい場合，もしくは T_W より短い SET パルスの発生率が小さい場合は， $T_W \leq T_{SET} \leq T_{CLK}$ の SET パルスによる SER_{SET} を， $P_{latch}(0) = 0$ と $P_{latch}(T_{CLK}) = 1$ を結ぶ直線だけを用いて算出してもほとんど誤差なく求められる．

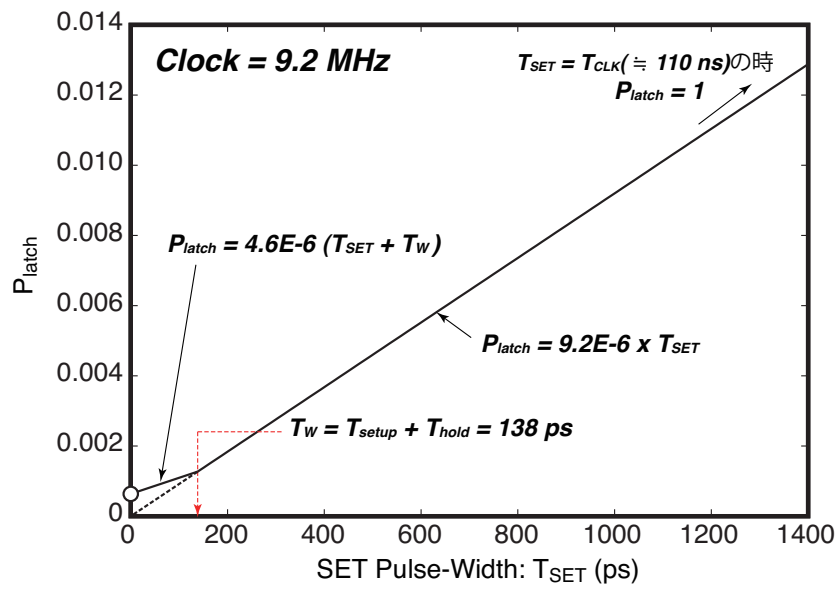


図 2.7 2.10 式を用いて求めた SET パルス幅ごとのラッチ確率の例. $T_W = T_{setup} + T_{hold}$ は, $0.2 \mu\text{m}$ FD-SOI スタンダードセルライブラリを用いて作製された FF のタイミング値で, $T_W = 138 \text{ ps}$ である [17].

2.3 SET パルスによるソフトウェアの顕在化

論理 LSI 中での SER_{SEU} は論理 LSI の動作周波数に依存しない。一方、2.2 式と 2.10 式からわかるように SER_{SET} は論理 LSI の動作周波数に比例して増大する。この特徴をまとめたのが図 2.8 である [10]。図 2.8 は、あるテクノロジーで作製された論理 LSI 内における動作周波数と SER_{SEU} 、 SER_{SET} の関係を示している。 SER_{TOTAL} は SER_{SEU} と SER_{SET} を足し合わせたものである。縦軸、横軸は任意単位で表されている。論理 LSI 内の SER_{SEU} は論理 LSI の動作周波数が高速化しても一定の値である。一方、論理 LSI の動作周波数を増加させると SER_{SET} が増大して行き、ある周波数以上では SER_{SET} が SER_{SEU} より大きくなる。

従来は論理 LSI の動作周波数が比較的低速で SER_{SET} が無視できるほど小さかった。しかし、近年のデバイスの高クロック化に伴って論理素子由来のソフトウェアの割合が増加し、論理 LSI のソフトウェアの要因として顕在化してきていることが指摘されている [10, 14, 15, 20]。

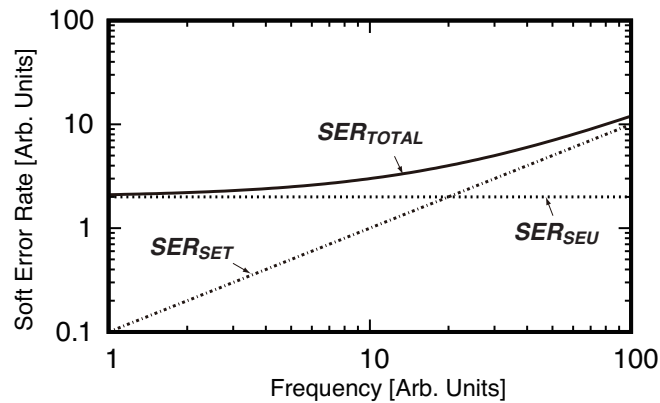


図 2.8 回路の動作周波数と放射線起因ソフトウェアの発生率の関係 [10]。

2.2 式と 2.10 式を用い、図 2.9 に示すモデル回路について、宇宙環境におけるソフトウェア発生率を計算した結果が示されている [17]。ソフトウェア発生率計算で仮定された条件 [17] を以下に示す。論理 LSI は $0.2\ \mu\text{m}$ FD-SOI プロセスで 1 つの FF に NOR 素子が 11.5 個、23 個、46 個接続された簡単な論理 LSI を仮定した。通常の論理 LSI の組み合わせ論理素子ブロックは NOR 素子の他に、NOT や OR 等の組み合わせで構成されており、論理素子ブロックの論理状態によっては SET が FF まで伝搬しないことがある。そのため、仮定した論理 LSI を構成する全 NOR 素子のうち、その半数で発生する SET が FF に到達すると仮定している。そして、FF のラッチウィンドウ T_W は T_{SET}

よりも十分短いと仮定してある．記憶素子由来のソフトエラーの感応断面積は， $0.2\ \mu\text{m}$ FD-SOI スタンダードセルライブラリ [9] を基に $3.72 \times 10^{-8}\ \text{cm}^2/\text{bit}$ としてある．一方，NOR 論理素子の SET パルス発生断面積の値としては， $0.2\ \mu\text{m}$ FD-SOI のゲート面積の 2 倍が感応断面積であると仮定し，NOR の入力論理状態別に感応エリアの断面積を算出し (図 2.10)，その平均値 $9.12 \times 10^{-9}\ \text{cm}^2$ を使用してある．また，SET のパルス幅 (T_{SET}) は， $800\ \text{ps}$ であると仮定してある．2.2 式と 2.10 式を使ってソフトエラー率を求め，プロットしたのが図 2.11 である [17]．

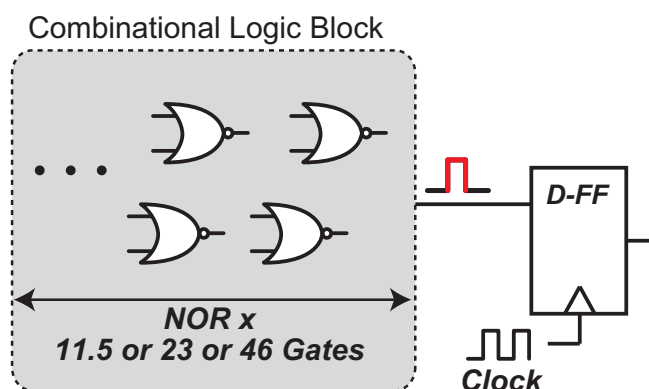


図 2.9 ソフトエラー発生率見積もりを行ったモデル回路 [17]．

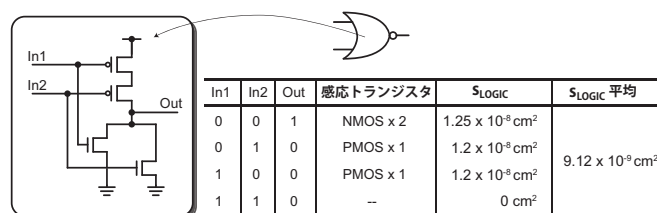


図 2.10 NOR 論理素子の SET 発生断面積の算出．感応トランジスタのゲート面積の 2 倍が感応エリアであると仮定し，NOR の入力論理状態別に感応エリアの断面積を算出した [17]．

図 2.11 中， SER_{SEU} は SEU によるソフトエラー率， SER_{SET} は SET によるソフトエラー率である．また， SER_{TOTAL} は，動作周波数ごとに SER_{SEU} と SER_{SET} を足し合わせた値であり，動作周波数ごとの論理 LSI でのソフトエラー率を意味している．宇宙環境を想定した場合 (図 2.11) は，動作周波数 $890\ \text{MHz}$ で記憶素子由来と論理素子由来のソフトエラーの発生率が等しくなり，それ以上の周波数では論理素子由来のソフトエラーが支配的となることが分かる (NOR 論理素子の数が 11.5 個の場合)．宇宙用の論理 LSI に要求される動作周波数は $100\ \text{MHz}$ から $200\ \text{MHz}$ であるから，この結果を見る限

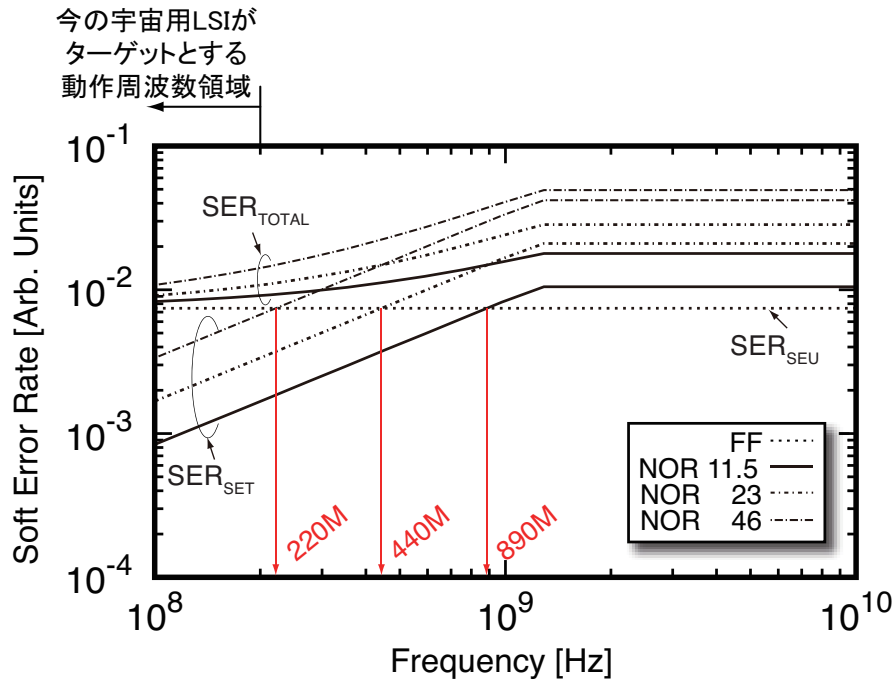


図 2.11 回路の動作周波数とソフトエラー発生率の関係 — 宇宙環境を想定した場合 [17]. SER_{SEU} は SEU によるソフトエラーの発生率, SER_{SET} は SET によるソフトエラーの発生率, SER_{TOTAL} は SER_{SEU} と SER_{SET} を合わせたソフトエラー率 [17].

り, 現状では記憶素子由来のソフトエラーがまだ支配的であると考えられる. しかし, 論理素子数の割合が増えるに従って, 記憶素子由来と論理素子由来のソフトエラーの発生率の交点は低周波数側にシフトし, 46 個の場合では 220 MHz になる. このことから, 論理 LSI の回路によっては論理素子由来のソフトエラーが無視できなくなっていることが分かる. また, ここでは単純に NOR 論理素子の数に基づいて SER_{SET} を求めている. 実際の論理 LSI では, 論理素子が複雑なネットワークを形成することに起因して, これよりも SER_{SET} が大きくなる可能性がある.

以上の見積もりから, 宇宙環境においては, 近年の論理 LSI の高速化により, 従来記憶素子由来が支配的であったソフトエラーの発生率について論理素子由来の寄与も無視できない状況になりつつあることが分かった.

2.4 本章のまとめ

本章では, 論理 LSI の基本構造を説明した後に論理 LSI 中の記憶素子に放射線が入射することで発生する SEU によるソフトエラーの発生過程と, 本研究の対象である論理素

子に放射線が入射したことで発生する SET によるソフトエラー発生過程について説明を行った。SET パルスによるソフトエラーについては、その発生率を解析的に求めることのできる解析式の説明を行った。

以上の説明を行った上で、解析式と簡単なモデルを用いて求めた SET パルスによるソフトエラー率の一例を示した。その結果、宇宙環境においては、近年の論理 LSI の高速化により、従来記憶素子由来が支配的であったソフトエラーの発生率について論理素子由来の寄与も無視できない状況になりつつあることが分かった。

第 3 章

SET パルス幅測定回路と加速器を用いた実験手法

3.1 緒言

第 1 章, 第 2 章で示したように, 今後は論理素子由来のソフトエラーの影響が無視できなくなることが予想される. 2.2 式, 2.10 式からわかるように, SET パルスによるソフトエラー率 (SER_{SET}) は, SET パルス幅と SET パルスの発生率の増加に伴い増加していく. このことから, SER_{SET} 低減のための知見を得るために, 近年 SET パルス幅と SET パルスの発生率の測定が行われている [14–16, 18, 19]. また, SER_{SET} の直接測定も行われている [13].

論理素子内で発生する SET パルスの幅は, バルク CMOS プロセスで作製された Variable Temporal Latch を用いて測定されている [15]. これは, ラッチへの入力信号を 3 分岐してそれぞれに異なる遅延 ($0, \Delta T, 2\Delta T$) を与え, それらの多数決を取ることで ΔT 以下の幅を持つ SET パルスを論理的に除去し, ΔT 以上の幅を持つ SET パルスを取得する手法である. これまで, 単一 LET のイオンを照射しても, SET パルス幅が分布を持つことが報告されているが [14–16, 18, 19], Variable Temporal Latch を用いて論理素子で発生する全ての SET パルスを取得するためには ΔT を変えた測定を何度も行う必要がある, 試験効率と測定精度の点に不安がある. そこで, $0.2\ \mu\text{m}$ FD-SOI プロセスで作製された自己トリガ式フリップフロップチェーンが開発されている [16]. この自己トリガ式フリップフロップチェーンは Variable Temporal Latch と異なり, SET パルスをパルスの幅に関わらず直接取得できるという利点がある. また, 重イオンの照射量 (Fluence) を知ることによって SET パルスの発生率をパルス幅の関数で求めることもできる. さらに照射するイオンの LET を変えることによって SET パルス幅の LET 依存性も取得できる.

宇宙での半導体デバイスの耐放射線性を議論する際の評価基準値である $LET = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ を放射線照射試験で得るためには加速器からの各種重イオンを利用する必要がある。現在、世界各地の加速器施設に半導体デバイス用の照射ポートが設けられている。最も有名なのは、米国 Brookhaven National Laboratory (BNL) のタンデム Van De Graaff である。BNL では、各種重イオンを約 10 MeV/nucleon まで加速可能で、得られる LET の最大値は $\text{Au } 360 \text{ MeV/ion}$ で $82.7 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ である。国内では、独立行政法人日本原子力研究開発機構高崎研究所の照射施設 (TIARA¹) がタンデム加速器と AVF サイクロトロンを利用した半導体照射試験用ポートを提供している。TIARA のサイクロトロンでは、BNL と同様に各種重イオンを約 10 MeV/nucleon まで加速可能で、得られる LET の最大値は $\text{Au } 360 \text{ MeV/ion}$ で $82.7 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ である。本研究では、TIARA にてサイクロトロンからの重イオンビームを利用した。サイクロトロンを利用する利点としては、カクテルビームを利用することにより、重イオンビームのイオン種交換にかかる時間が大幅に削減されるため限られた試験時間内で多様なイオン照射ができることが挙げられる。

本章では、自己トリガ式フリップフロップチェーンを用いた SET パルス測定回路の説明をしたうえで、実験に要求される条件を整理し、加速器と照射設備の仕様から、実験条件を実現するための課題について述べる。そして、それぞれの課題を解決する手法の検討を行う。

3.2 SET パルス幅測定回路

図 3.1 に測定に用いたチップを示す。測定用チップのサイズは 5 mm 角で、図 3.2 に示すように測定対象の論理回路 (Logic Cell Under Test) とスナップショット回路 (Snapshot) が実装されており、このチップ全体に放射線を照射し測定対象の論理回路で発生した SET パルスの幅をスナップショット回路で測定する [16]。

スナップショット回路は大きく分けて 2 つの回路ブロックからなる。一つは拡張バッファチェーン (Broadening Buffer Chain) であり、もう一つが自己トリガ式フリップフロップチェーン (Self-triggering FF Chain) である。測定対象論理回路、測定回路は全て、 $0.2 \mu\text{m}$ 完全空乏型 SOI(FD-SOI) プロセスで作製されている [9]。 $0.2 \mu\text{m}$ FD-SOI プロセスは、ゲート長が $0.2 \mu\text{m}$ 、電源電圧 2 V 、SOI 層の厚さが 50 nm 、SOI 層下の埋め込み酸化膜層の厚さが 100 nm である。以下、測定対象の論理回路およびそれぞれの回路ブロックについて詳細を述べる。

¹ Takasaki Ion Accelerator facility for advanced Radiation Application

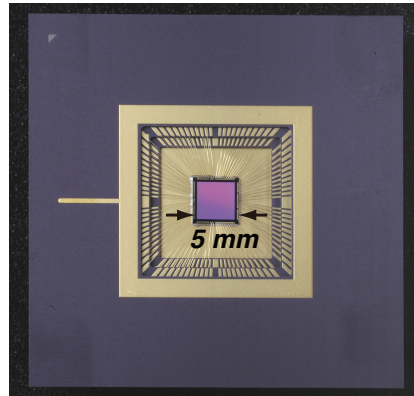


図 3.1 SET パルス幅測定チップ. チップサイズは 5 mm 角. このチップ全体に放射線を照射し, 測定対象の論理回路で発生した SET パルスをスナップショット回路で取得する.

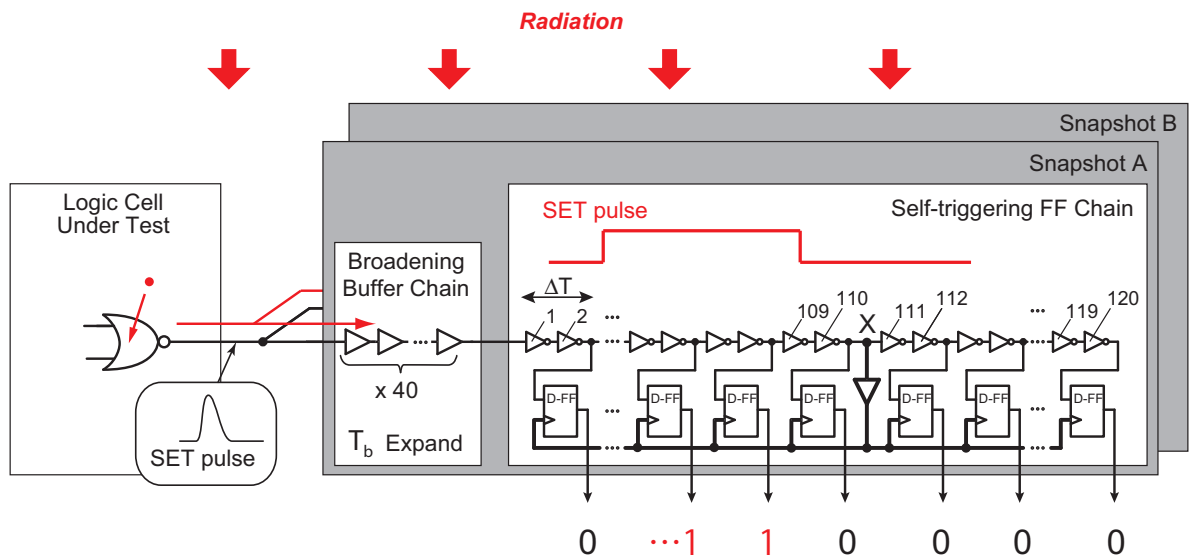


図 3.2 SET パルス幅測定回路の模式図. この回路全体に放射線を照射し, 測定対象の論理回路で発生した SET パルスをスナップショット回路で取得する. 照射試験中は測定対象の論理回路以外でも SET が発生するため, 取得したパルスデータが測定対象素子で発生したものであるかを確認できるように, A と B の 2 系統のスナップショット回路を実装している.

3.2.1 測定対象論理回路

図 3.3 に示すように測定対象論理回路には，NOR 素子 12 段が直列接続された測定対象論理素子チェーン (Chain of Cells Under Test) と NOT 素子 24 段が直列に接続された測定対象論理素子チェーンの 2 種類が実装されており，それぞれスナップショット回路に接続されている．NOR 素子と NOT 素子の実装段数の差は，SET を発生させるトランジスタの数，つまり SET 感応断面積を同程度にするためである．測定対象論理回路とスナップショットは，一回の測定で取得できる SET パルスを増やす目的で同一チップの中に 8 セット実装されている．

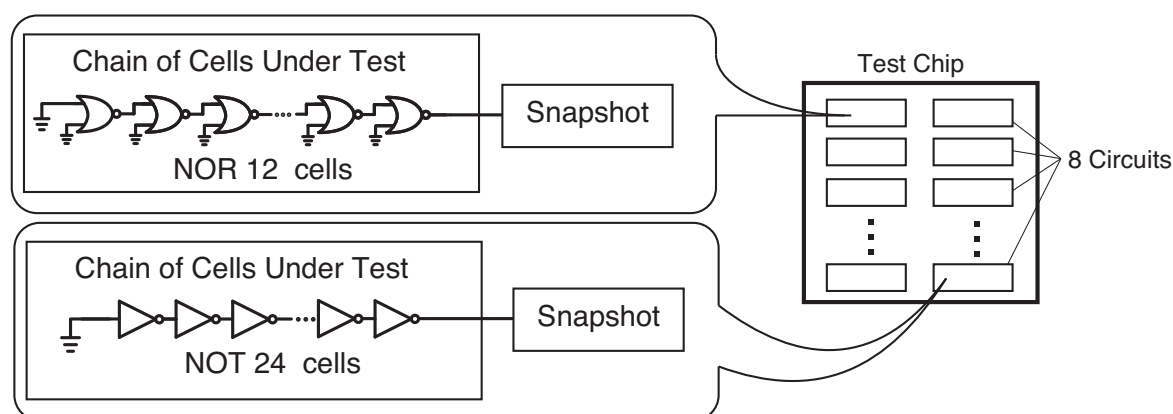
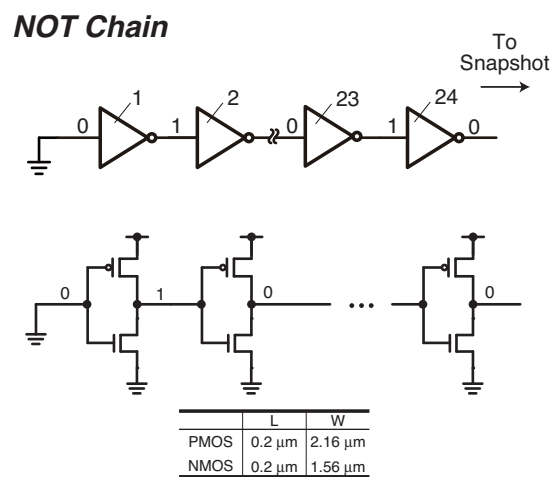


図 3.3 測定対象論理回路には，NOR 素子 12 段が直列接続された測定対象チェーン (Chain of Cells Under Test) と NOT 素子 24 段が直列に接続された測定対象チェーンの 2 種類が実装されており，それぞれスナップショット回路に接続されている．測定対象論理回路とスナップショットは，一回の測定で取得できる SET パルスの数を増やす目的で同一チップの中に 8 セット実装されている．

図 3.4 に測定対象論理回路である NOR チェイン (NOR Chain) と NOT チェイン (NOT Chain) の回路図を示す．NOR チェインと NOT チェインはどちらも，初段の入力が接地されている．NOR チェインを構成する NOR 素子は，2 つの nMOS と 2 つの pMOS で構成されており，どちらもゲート長 (L) が $0.2\ \mu\text{m}$ ，ゲート幅 (W) は nMOS で $1.56\ \mu\text{m}$ ，pMOS で $3\ \mu\text{m}$ である．一方，NOT チェインを構成する NOT 素子は，1 つの nMOS と 1 つの pMOS で構成されており，どちらもゲート長 (L) が $0.2\ \mu\text{m}$ ，ゲート幅 (W) は nMOS で $1.56\ \mu\text{m}$ ，pMOS で $2.16\ \mu\text{m}$ である．



– 28 –

3.2.2 スナップショット回路

1) 拡張バッファチェーン

拡張バッファチェーンは，測定対象論理素子で発生した SET パルスの幅を拡張し，後段の自己トリガ式フリップフロップチェーン中のフリップフロップのタイミング制約を満たす波形にする役割を持つ．フリップフロップのタイミング制約としては，まずセットアップ・ホールド時間制約がある．この制約を満たさない入力データは正常にフリップフロップに取り込まれない恐れがある．拡張バッファチェーンはバッファが 40 段直列に接続されており，入力測定対象論理回路へ，出力は自己トリガ式フリップフロップチェーンに接続されている．

2) 自己トリガ式フリップフロップチェーン

SET パルスの幅を実際に測定するのが自己トリガ式フリップフロップチェーンである [16]．図 3.2 に示すように，120 段の直列 NOT と，60 個の耐放射線型 D フリップフロップ (D-FF) からなる．偶数段目の NOT の出力は，それぞれ D-FF のデータ入力端子に接続される．全ての D-FF のクロック入力端子は，110 段目の NOT の出力 (図 3.2 の X 点) にバッファを介して接続されている．SET が自己トリガ式フリップフロップチェーンに入力されると，NOT チェイン中を伝播する．SET パルスの先頭 (立ち上がりエッジ) が X 点を通じた際に，SET パルス自身によって全 D-FF がトリガされ，結果として，その時点で NOT チェイン上にある SET パルスが “0 ... 01111110 ... 0” というビット列の形で D-FF に取り込まれる．取得されたビット列のうち，‘1’ が並んでいる部分が SET パルスに相当する．なお，SET パルスが X 点を通じた後から D-FF をトリガするまでに遅延があることを考慮し，X 点以降にも 10 段の NOT チェインを実装している．

ここで，SET パルス幅 (T_{SET}) は以下の (3.1) 式により算出することができる．

$$T_{SET} = \Delta T \times N_{FF} - T_b \quad (3.1)$$

ここで， ΔT はスナップショットを構成する NOT2 段分の伝播遅延時間， N_{FF} は ‘1’ を取得した D-FF の総数， T_b は拡張バッファチェーンでの SET パルス幅の拡張量である．式 (3.1) によって SET パルス幅を求めるためには，作製した回路の ΔT と T_b の値を求める必要がある． ΔT と T_b の決定方法に関しては，4.2.2 節で述べる．

重イオンはテストチップ全体に照射されるため，試験中は測定対象論理素子以外でも SET が発生する．測定対象論理素子以外で発生する SET パルスを排除するため，スナップショット回路は A と B の 2 系統が実装されている．A，B 両系統のスナップショットで SET パルスを同時に捕獲した場合のみに，スナップショットを制御している FPGA

のメモリにデータを格納する。1 度の照射で取得可能な SET パルス数は 100 パルス程度で、これは FPGA のメモリ容量に依存している。そのため、1 度の照射で 100 パルスを超えないように重イオンの照射量を調節する必要がある。なお、スナップショットで使用する D-FF は耐放射線型であり、記憶素子由来のソフトエラーによって SET パルスデータが破壊される可能性は無視できる。

3.3 加速器を用いた実験手法の検討

スナップショット回路を用いた測定を行うためにはイオン加速器を用いた実験が必要である。しかし、イオン加速器施設の性能から、実験に対して様々な制約が生じる。本研究での実験は全て日本原子力研究開発機構高崎研究所の TIARA で行った。ここでは、初めに要求される実験条件を整理した上で、実験に使用する加速器と照射設備の仕様から、実験条件を実現するための課題について述べる。そして、それぞれの課題を解決する手法の検討を行う。

3.3.1 要求される実験条件と課題

SET パルス発生率の測定と、SET パルス幅分布の LET 依存性測定にはそれぞれ異なった実験条件が要求される。以下に、それぞれに要求される実験条件を示す。

SET 発生確率の測定に要求される実験条件

SET パルス発生率の測定では、測定した SET パルス発生率から SER_{SET} を推定し、スキャン FF を実装した論理 LSI による SER_{SET} の絶対値測定の結果 [13] との比較を行うため測定対象論理回路を、NOR 素子 12 段と NOT 素子 24 段とした。SET 発生確率を正確に求めるためには、以下の 3 つの条件を満たさなくてはならない。

- 1) 試験対象素子へのイオン照射量を正確に把握する。
- 2) SET 発生率の統計誤差を小さくするために十分な量の SET を観測する必要がある。
Brookhaven National Laboratory で行ったスナップショットを用いた実験では、NOR 素子 12 段と NOT 素子 24 段に Fluence 2×10^8 particles/cm² 程度照射した際の取得パルス数がそれぞれ、130 パルス、70 パルス程度であった [17]。この結果と、FPGA のメモリ制限 (100 パルス程度) から、一度の照射において Fluence 2×10^8 particles/cm² 程度が上限であるとした。
- 3) 重イオンの LET は、宇宙での半導体デバイスの信頼性を議論する際の評価基準として使用される 40 MeV·cm²/mg とした。

SET パルス幅分布の LET 依存性測定に要求される実験条件

SET パルス幅分布の LET 依存性測定では、測定対象素子を、NOT 素子 24 段とした。これは、一般的に SET パルスについて議論する際には、NOT 素子を対象とすることが多いためである [20–22]。SET パルス幅分布の LET 依存性測定では、以下の 2 つの条件を満たさなくてはならない。

- 1) 要求 LET として, $\text{LET} = 40 \sim 100 \text{ MeV} \cdot \text{cm}^2 / \text{mg}$.
- 2) FPGA のメモリ制限 (100 パルス程度) から, 一度の照射において Fluence $2 \times 10^8 \text{ particles/cm}^2$ 程度が上限であるとした.

3.3.2 加速器と照射設備

実験は全て独立行政法人日本原子力研究開発機構高崎研究所の照射施設 (TIARA) で行った. 利用した加速器は $K = 110 \text{ MeV AVF}^2$ サイクロトロンで, 照射は第 4 重イオン室にある真空チャンバー (通称: HE2) 内で行った.

図 3.5 に真空チャンバー (HE2) を示す. チャンバーは直径 600 mm, 高さ 600 mm の円筒状で, ビームラインに対して垂直に設置されている. 内部には, サンプルを設置するためのゴニオステージがあり, チャンバー内からの信号取り出しは, チャンバー側面に取り付けられた, BNC コネクタ, SMA コネクタ, MS コネクタから行う. 側面には, ビームスポット形状確認用の窓が取り付けられている. 試験時のチャンバー内真空度は 10^{-5} Pa に達する.

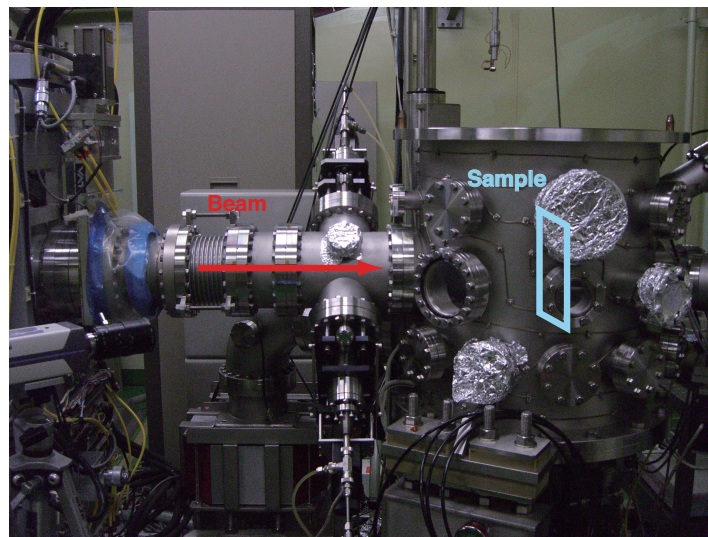


図 3.5 HE2 チャンバー.

TIARA のサイクロトロンでは, 金属イオン用 ECR³イオン源, ECR イオン源, マルチカプスイオン源の 3 台の外部イオン源を有しており, 主な加速可能イオンとその加速エネルギーは, H^{1+} (5~90 MeV), He (10~110 MeV), Ar (94~990 MeV), Kr (200~1030 MeV), Xe (330~930 MeV), Au (440~460 MeV) である (表 3.1) [23]. また, 重イオン

² Azimuthally Varying Field

³ 電子サイクロトロン共鳴 (Electron Cyclotron Resonance)

を利用する際にはカクテルビームが利用可能である。カクテルビームは、イオンの電荷と質量の比 (M/Z) がほぼ等しい粒子を同時に加速する技術で、 M/Z のわずかな違いからサイクロトロン周波数をずらすだけで取り出すイオンを変えることができる。カクテルビームを用いると照射イオンの変更が迅速に行え、試験効率が飛躍的に向上する。現在利用可能なカクテルビームは $M/Z = 5$ のカクテルで、その構成は N^{3+} 56 MeV, Ne^{4+} 75 MeV, Ar^{8+} 150 MeV, Kr^{17+} 322 MeV, Xe^{25+} 454 MeV である (表 3.2) [23]。各イオンが、試験対象素子に与える LET は、それぞれ、 N^{3+} $3.5 \text{ MeV}\cdot\text{cm}^2/\text{mg}$, Ne^{4+} $7.3 \text{ MeV}\cdot\text{cm}^2/\text{mg}$, Ar^{8+} $16 \text{ MeV}\cdot\text{cm}^2/\text{mg}$, Kr^{17+} $40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$, Xe^{25+} $66 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ である。

以上の利用可能なイオンビーム条件の中では、カクテルビームが SET パルス発生率の測定に要求される LET を満たす。LET 依存性測定では、限られた測定時間の中で $40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 以上の広範囲の LET を持つイオンの照射が求められる。そのためカクテルビームの Kr, Xe を試験に採用し、第 5 章の実験条件で述べる実効 LET の考えを用いて $LET = 40, 66 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 以外の LET を得ることにした。

表 3.1 TIARA サイクロトロンで主な加速可能イオンとその加速エネルギー [23]。

Ion	Ion Energy [MeV/particle]
H ⁺	5~90
He	10~110
Ar	94~990
Kr	200~1030
Xe	330~930
Au	440~460

表 3.2 TIARA のサイクロトロンで利用可能な $M/Z = 5$ のカクテルビームの構成、ビーム電流値 (Beam Current: particle nA) Faraday Cup 等で測定した電流値をイオンの価数で除したもの [23]。

Ion	Ion Energy [MeV/particle]	Beam Current [pnA]
N^{3+}	56	83
Ne^{4+}	75	50
Ar^{8+}	150	62
Kr^{17+}	322	2.9
Xe^{25+}	454	0.5

3.3.3 ビーム Flux 制御と Flux 測定

Flux 制御

ビームの粒子束 (ビーム Flux) の制御に, ビームアッテネータとビームチョッパが利用可能である [23]. 他にも, ビームを磁場でフォーカス (もしくはデフォーカス) させることによって, サンプル上でのビーム Flux を変える方法や, ビームライン上流部に設けられたビームスリットによってビームをけずる方法もあるが, ビーム Flux 調整前後での再現性が悪い上に, ビームスポットの形状も変わってしまう. ビームアッテネータは, イオン源とサイクロトロンの間にメッシュを挿入することで, イオン源からサイクロロンに供給するイオンを間引く機構となっている. ビームアッテネータでは, ビーム Flux を $1/10$, $1/100$, ..., 10^{-10} の 10 段階で減らすことができ, ビームスポットの形状にも影響を与えない. また, 減衰量無限大のアッテネータも挿入可能で, これをビームシャッターとして利用できる. ビームチョッパは, 矩形波の RF 電圧をビーム軸に垂直に印加してビームを間引くパルス型チョッパが利用可能であり, 1% 単位でビーム Flux を制御可能である. ビームチョッパは, Flux 調整前後での再現性がよく, ビームスポットの形状にも影響を与えない.

Flux 測定

大気中での Flux 測定には多くの方法があるが, 真空チャンバー内での Flux 測定となると, 測定方法が限られる. 半導体デバイスへのイオン照射試験では, 単位時間当たり試験対象素子にどれだけイオンが入射したか (Flux) を知ることが重要であるが, 試験中の Flux の絶対値を知ることは非常に困難である. そのため, 一般的には試験対象素子にどれだけイオンが入射したかを間接的にモニタリングする方法が取られる. Flux のモニタリング手法としては, シンチレータ (CsI) と pin フォトダイオードによって照射領域外の Flux 変動をモニタする方法がある. この方法は, 照射領域の Flux 測定と同時に照射領域外の Flux も測定し, 互いの Flux 比を用いることによって, 照射領域外の Flux 変動から照射領域での Flux を推定する方法である [24]. しかし, この手法はノイズが多く, さらに測定回路が煩雑という欠点がある. そのため, 本論文における研究と同時に, 東北大学サイクロトン・ラジオアイソトープセンター (CYRIC) において, 金属がイオン入射の際に放出する二次電子を利用した Segmented Secondary Emission Monitor (S-SEM) と呼ばれる Flux モニタの開発を行い, 半導体照射試験に供してきた [25]. S-SEM は, ビーム軸対して垂直に挿入された Pt 箔 ($2.5 \mu\text{m}$ 厚) がビーム入射によって放出する二次電子を集め, Current to Frequency コンバータによって計数していく. 挿入された Pt 箔は,

中心に照射領域と同じ大きさの穴が設けられており、ビームライン上流に設けられた散乱体で照射領域外に散乱されたビームを利用して Flux をモニタリングする。さらに、信号部は 4 極に分割されておりビーム軸の位置をモニタすることも可能である。この S-SEM は、構造が非常に簡単でノイズもほとんどなく、リアルタイム Flux モニタとして非常に有用である [25]。

HE2 チャンバーには、備え付けの Flux モニタがなく、試験前にファラデーカップと半導体検出器 (Si-SSD) によって測定した Flux を照射中の Flux とみなして照射時間から Fluence を割り出す。ここで、ファラデーカップは、伝導体で作製されたカップ内にイオンをフルストップさせ、カップに流れる電流を用いて Flux を測定する方法である。ファラデーカップは、比較的大きなビーム Flux の測定は出来るが、低 Flux (Kr の場合で約 2×10^7 particles/cm²·s 以下) の測定は出来ない。これは、電流測定で一般的に用いられるカレントインテグレータ (ORTEC 社製) の最小測定レンジが 100 pA であることに由来している⁴。それに対して、Si-SSD はイオン 1 個から測定できる。しかし、1 秒間辺り 10,000 個以上のイオン計測には、検出器の不感時間の増加や検出器の故障につながるため、適用できない。そこで、今回測定に利用する Si-SSD の検出面積は、25 mm² であるため、Si-SSD での最大測定可能 Flux は、 4×10^4 particles/cm²·s である。

実験に使用した Flux 制御法と、Flux 測定法

スナップショットを用いた他の実験結果 [16] と FPGA のメモリ制限から、一度の照射で Fluence 2×10^8 particles/cm² 程度が上限であるとした。Flux 10^8 particles/cm²·s を 2 秒間照射することで効率よく SET パルスを得られると考えられるが、ビームの ON, OFF にはアッテネータで 2 ～ 3 秒かかり、さらにアッテネータ挿入中のサンプル上でのビーム形状と Flux の変動を観測し Fluence を評価することは不可能である。サンプル上でのビーム形状と Flux の変動を無視するためには長時間 (100 秒程度) の照射が必要であり、その場合 Flux は 10^6 particles/cm²·s 程度となるためファラデーカップでの Flux 測定ができず Si-SSD でも測定できない領域である。これらの理由から、SET 発生確率の測定では、Flux を 3.5×10^4 particles/cm²·s 程度とし、1000 秒程度の照射を行った。ビーム量の調整にはパルス型チョッパを用いた。SET パルス幅分布の LET 依存性測定では、試験効率を優先し、Si-SSD によって 3.5×10^4 particles/cm²·s の Flux を測定した後に、 10^{-1} のアッテネータを抜き、ビームをサンプルに照射することでビーム Flux 10 倍程度 (3.5×10^5 particles/cm²·s) の試験を行った。しかし、アッテネータの精度があまりよくないために、SET パルス幅分布の LET 依存性測定での照射 Fluence は参考値と

⁴ 例えば、Kr を Flux 10^7 particles/cm²·s で照射した場合、約 50 pA しか電流が流れない。

なる。

ここで，図 3.6 に照射試験に用いた Si-SSD の測定回路を示しておく．Si-SSD は有感層 $100\ \mu\text{m}$ 厚，有感面積 $25\ \text{mm}^2$ で，Si-SSD からの信号は電荷型前置増幅器 (PA, ORTEC 社製 142B) によって積分される．その後，エネルギー出力信号を増幅器 (AMP, ORTEC 社製 572) によって波形整形し，ADC で波高値をデジタル変換しエネルギーとカウント数の関数でプロットした．プロットデータを積分することによって測定時間中の Fluence を求め，測定時間で除することによって Flux を得た．

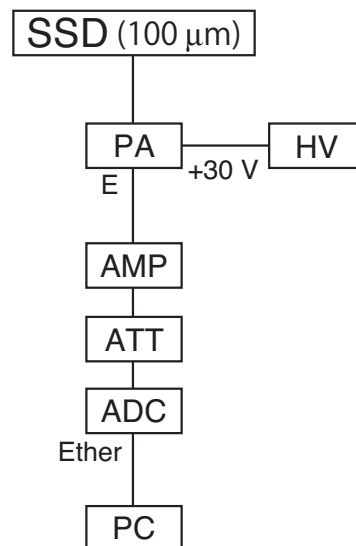


図 3.6 照射試験に用いた Si-SSD の測定回路図.

3.4 本章のまとめ

本章では，本研究で用いた SET パルス幅測定回路の詳細な説明を行った．また，SET パルス発生率の測定，SET パルス幅分布の LET 依存性測定を行ううえで要求される実験条件と実験条件を実現するための課題を示した．そして，それぞれの課題を解決する手法の検討を行った．

実験は，日本原子力研究開発機構高崎研究所の TIARA のサイクロトロンを用いて行い， $M/Z = 5$ のカクテルビームを照射した．SET パルス発生率の測定では，カクテルビームの中でも Kr 322 MeV ($LET = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) のイオンを照射した．SET パルス発生率の測定では正確な Flux 測定が必要なために，Si-SSD で測定可能な Flux $3.5 \times 10^4 \text{ particles/cm}^2\cdot\text{s}$ を照射 Flux とした．SET パルス幅分布の LET 依存性測定では，カクテルビームの中でも Kr 322 MeV ($LET = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$)，Xe 454 MeV ($LET = 66 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) のイオンを照射を行う．それ以外の LET は実効 LET の考えを用いて，Kr, Xe を 0° ， 45° ，Kr についてはさらに 49° で照射し $LET = 40 \sim 92 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ の LET を得る．SET パルス幅分布の LET 依存性測定では正確な Flux 測定が必要でないために，Flux は試験効率を優先し， $3.5 \times 10^5 \text{ particles/cm}^2\cdot\text{s}$ 程度の照射を行う．

第 4 章

SET パルス発生率の測定とソフトエラー率の推定

4.1 緒言

これまで、 SER_{SET} を推定する方法としてシミュレーションが用いられてきた [28]. シミュレーションによる SER_{SET} 推定の問題点として、ある LET の重イオンが論理素子に入射した際に発生する SET パルスの発生率をシミュレーションで再現できていなかったのと、SET パルス幅の LET 依存性がわからなかったことが挙げられる. そのため、現実的な SET パルス発生率を用いたシミュレーションによる SER_{SET} の推定、つまり SER_{SET} の絶対値を知ることが出来なかった. SER_{SET} の絶対値を知る手法として、スキャン FF を実装した論理 LSI が開発され、論理 LSI 動作周波数 9.2 MHz での SER_{SET} が実測されている [13]. スキャン FF を用いた SER_{SET} の測定では、 SER_{SET} の絶対値を知ることが出来るがソフトエラーを起こす SET パルスの幅を知ることが出来ない. そのため、どの長さの SET パルスが SER_{SET} に支配的であるかはわからない. また、スキャン FF では、0.2 μm FD-SOI プロセスで作成された論理 LSI を宇宙で用いる場合の目標動作周波数 100 MHz での SER_{SET} が測定できていない.

これまで、SET パルス発生率と FF の Setup-hold time がわかれば SER_{SET} を求められる推定式が提案されていたが [13], 推定式の実証はされていなかった. この推定式が実証されれば、種々の論理素子で発生する SET パルスの幅ごとの SER_{SET} を知ることができ、 SER_{SET} に支配的な SET パルス幅に対して対策を施すことが出来るようになる. また、本推定式は SER_{SET} を論理 LSI の動作周波数の関数で求められるため、論理 LSI の動作周波数に関わらず SER_{SET} を推定することが可能となる. つまり、宇宙で用いる論理 LSI の目標動作周波数 100 MHz での SER_{SET} を知ることが可能となる.

そこで、本章では、SET パルス発生率と FF の Setup-hold time がわかれば SER_{SET}

を求められる推定式の実証を行う．そして，推定式を用いて論理 LSI 動作周波数 100 MHz での SER_{SET} の推定を行う．

推定式を用いて SER_{SET} を求める際に必要な，SET パルスが記憶素子にラッチされる確率は論理 LSI 中の FF の動作周波数と FF の Setup-hold time で決まる値であるが，SET パルス発生率は測定しなければならない．そこで本研究では，論理素子で発生する SET パルスの発生率を測定し，その結果を用いて論理 LSI 動作周波数 9.2 MHz の時の SER_{SET} の推定を行った．そして， SER_{SET} の推定結果とスキャン FF による論理 LSI 動作周波数 9.2 MHz の時の SER_{SET} の測定結果 [13] との比較によって推定手法の検証を行った．これまで，SET パルス発生率はスナップショット回路を用い，Brookhaven National Laboratory (BNL) において Ni 265 MeV をテストチップに対して 49° で照射することによって測定されている [17]．しかし，スキャン FF による SER_{SET} は日本原子力研究開発機構の TIARA において Kr 322 MeV をテストチップに対して垂直 (0°) で照射することによって測定されている．これらは照射イオン，照射角度，イオンエネルギー等の実験条件が異なるため，BNL の結果から推定した SER_{SET} と TIARA で測定された SER_{SET} の絶対値を直接比較することはできなかった．そのため，本研究ではスナップショット回路を用い，TIARA において Kr 322 MeV をテストチップに対して垂直 (0°) で照射することによって論理素子での SET パルス発生率を測定し，その結果を用いて SER_{SET} の推定を行った．推定手法の検証を行った後で論理 LSI 動作周波数 100 MHz の時の SER_{SET} の推定を行った．最後に，得られた結果より SET 対策への提言を行う．

4.2 SET パルス発生率の測定

4.2.1 実験条件

SET パルス発生率の測定には，3 章に示したスナップショット回路を使用した．試験対象素子は NOR と NOT の 2 種類とした．NOR 素子は 12 段，NOT 素子は 24 段が直列に接続されたものを用いた．測定対象論理回路とスナップショットは，一回の測定で取得できる SET パルスの数を増やす目的で同一チップの中に 8 セット実装されている．測定結果は 8 セット全ての測定結果を足し合わせたものである．つまり，NOR 素子 96 個中で発生する SET パルス，もしくは NOT 素子 192 個中で発生する SET パルスを取得した．本回路による測定原理は 3 章に示した通りである．

実験は，日本原子力研究開発機構高崎研究所の加速器施設 (TIARA) で行った．照射イオンはカクテルビーム中の Kr 323 MeV とした．Kr をテストチップに対して 0° 照射す

ることによって $40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ の LET を得た。

実験条件の検討 (3 章) で述べたように、正確な SET パルス発生率を測定するためには、重イオンの照射量 (Fluence) を知ることが重要である。Fluence は、照射中の Flux に照射時間を乗じることによって算出する。本実験では、精度よく Flux を調整するために、矩形波の RF 電圧をビーム軸に垂直に印加してビームを間引くパルス型チョッパーを用いた。Flux は $35,000 \text{ particles}/\text{cm}^2\cdot\text{s}$ 程度になるように調整した。また、加速器からの Flux の安定性を確認するために、試験中 30 分 ～ 2 時間に一度、Si-SSD による Flux 測定を行った。

表 4.1 に、各照射におけるビーム条件と Fluence を示す。No. は照射順を表している。各照射前後で較正直線の取得を行い、スナップショット回路の較正をおこなった。スナップショット回路の較正方法と較正の必要性については次に述べる。表中の二重線は、Flux 測定を意味しており、そこで測定した Flux を次の照射の Flux とした。Flux 変動は、全ての測定前後で 10% 以内であり、試験中の Flux 変動はほとんど無視できる。また、Si-SSD での測定の結果、検出器の不感時間は 10% 以下で Flux 測定での重イオンの数え落としはほとんどないと言える。

表 4.1 各照射におけるビーム条件と Fluence.

No.	測定対象論理回路	Flux [particles/cm ² ·s]	照射時間 [s]	Fluence [particles/cm ²]
1	NOT	38,944.64	710	27,650,694
2	NOT	36,182.64	1014	36,689,197
3	NOT	36,182.64	1000	36,182,640
4	NOT	35,443.96	1000	35,443,960
5	NOT	35,443.96	1000	35,443,960
6	NOT	34,920.16	840	29,332,934
7	NOT	34,920.16	960	33,523,354
8	NOT	34,920.16	1000	34,920,160
9	NOT	34,920.16	1000	34,920,160
10	NOT	34,920.16	960	33,523,354
11	NOR	36,125.88	1000	36,125,880
12	NOR	36,125.88	1000	36,125,880
13	NOR	36,125.88	1000	36,125,880
14	NOR	36,125.88	1000	36,125,880
15	NOR	36,125.88	1000	36,125,880

4.2.2 測定回路の較正

ここで、本測定で行った測定回路の較正について説明する。スナップショット回路の ΔT と T_b は、テストチップ上に別途実装した較正用の回路 (図 4.1) を用いて決定した。較正回路は、測定対象論理素子の代わりに、一定の幅のパルスが発生する基準パルス発生回路を実装したものである。較正の原理は、あらかじめ幅の分かっている数種類の基準パルスを基準パルス発生回路からスナップショット回路に入力し、‘1’を取得した D-FF の数 N_{FF} をプロットする。基準パルスの幅 T_{REF} と N_{FF} の関係をプロットしたグラフに対して最小二乗法で近似直線を求め、直線の傾きから ΔT 、切片から T_b を計算する。基準パルスのパルス幅は 0.3 ns, 0.5 ns, 0.7 ns, 1.0 ns の 4 種類である。ただし、実際の試験時には 0.3 ns の基準パルスが取得できる場合と、取得できない場合があったため、全ての測定において 0.5 ns, 0.7 ns, 1.0 ns の 3 種類のパルスで上記の較正を行った。

スナップショット回路の較正が必要な理由として、トータルドーズ効果が挙げられる。トータルドーズ効果とは、重イオンの入射によってゲート SOI 基板間の酸化膜に固定電荷が生成され、その固定電荷によってトランジスタの閾電圧が変わったり、リーク電流が増加する現象である。このトータルドーズ効果によって、スナップショット回路を構成するトランジスタの特性が変わるため、SET パルス幅と D-FF で取得される ‘1’ の数が変わることが報告されている [16,17]。そのため、較正は照射試験前 (図 4.1 中 Before) 後 (図 4.1 中 After) で行い、両較正結果の近似直線を求め ΔT 、切片から T_b を計算している。図 4.2 にある照射前後での較正の例を示す。実線は照射試験前 (図 4.2 中 Before) 後 (図 4.2 中 After) で較正を行い、両較正結果を用いて求めた近似直線である。この測定での ΔT 、 T_b は、 ΔT が 0.109 ns、 T_b が 2.073 ns である。照射試験後に行った較正において 1.0 ns の基準パルスに対応する ‘1’ の数が、照射試験前に行った較正より大きくなっている。このように、照射前において D-FF で取得される ‘1’ の数が変わる。しかし、図 4.2 からわかる通り SET パルス幅と D-FF で取得される ‘1’ の数の変動は、図 4.2 中の点線が示す通り \pm FF1 段以内に収まる。そのため、トータルドーズ効果による、本較正例における測定回路の測定誤差は最大で \pm FF1 段、つまり $\Delta T(0.109 \text{ ns})$ であると言える。

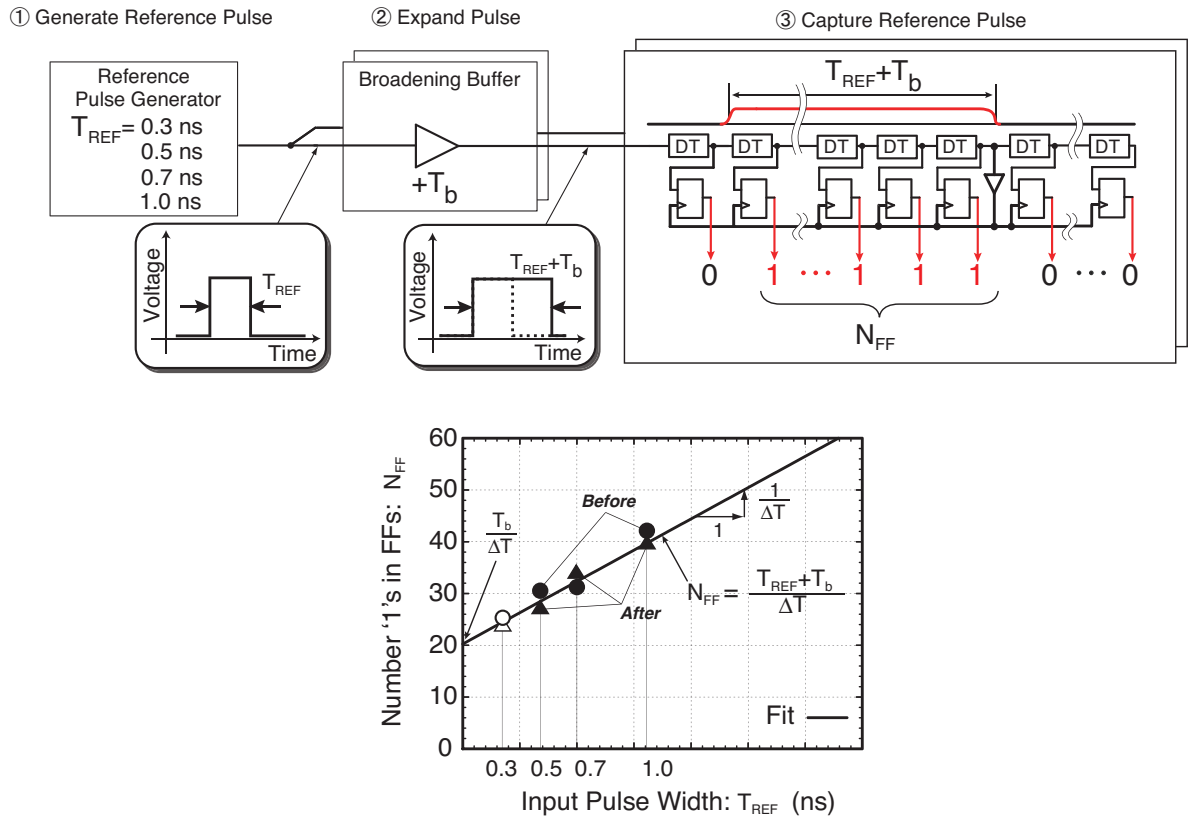


図 4.1 基準パルス発生回路を用いた較正回路と較正の方法. 基準パルス発生回路からあらかじめ幅の分かっている基準パルスを送入し、入力パルス幅 T_{REF} と '1' を取得した D-FF の数 (N_{FF}) の関係から ΔT と T_b を計算する.

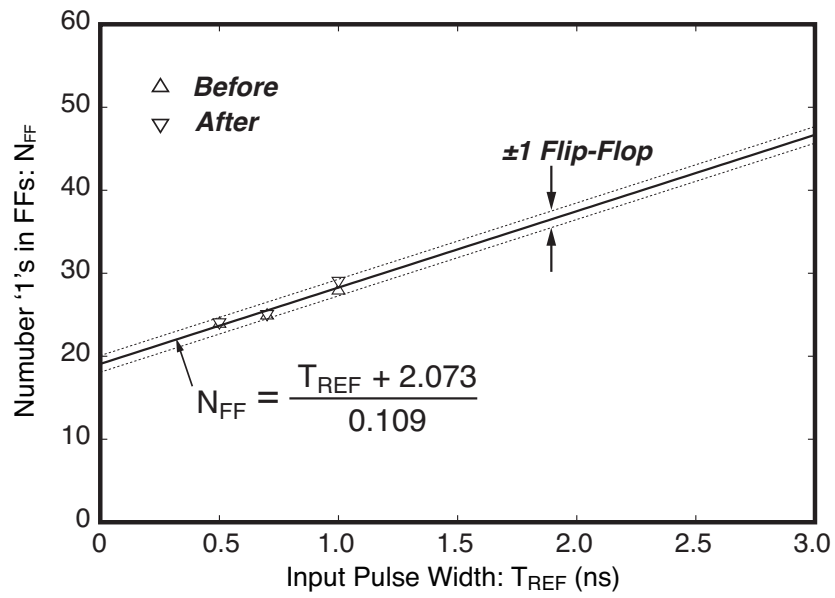


図 4.2 トータルドーズ効果による SET パルス幅と D-FF で取得される '1' の数の照射前後での変動は、点線が示す通り \pm FF1 段以内に収まる。本測定回路の誤差は最大で \pm FF1 段、つまり $\Delta T(0.109 \text{ ns})$ であると言える。

4.2.3 実験結果

図 4.3, 4.4 に測定した各論理素子の SET パルス発生率 ($\sigma_{SET}(T_{SET})$) をパルス幅の関数で示す. $\sigma_{SET}(T_{SET})$ は, 各パルス幅を持った SET パルスの発生数を照射 Fluence で除し, さらに各素子の個数 (NOR 素子の場合 96, NOT の場合 192) で除し, 論理素子 1 段あたり SET パルス幅 T_W あたりの SET 発生率を算出してある. 図中の斜線部は, 第 3 章で示した通り, スナップショットの較正を行う際に 0.3 ns の基準パルスが取得できる場合と取得できない場合があったため, 較正の妥当性が保証されない範囲としている. 棒グラフの 1 本の柱が表す SET パルス幅の範囲は 0.1 ns としてある. 柱内に含まれる SET パルスの幅は, 最短の柱で $0 \text{ (ns)} < T_{SET} \text{ (ns)} \leq 0.1 \text{ (ns)}$ である. 以降, $0.1 \text{ (ns)} < T_{SET} \text{ (ns)} \leq 0.2 \text{ (ns)}$... と続いていく.

図 4.5, 4.6 に SET パルス発生率測定時において照射順 No.1(表 4.1) と照射順 No.15(表 4.1) 前後に取得した較正直線を示す. 最もトータルドーズ効果の影響が少ない状態の照射順 No.1 前後で行った較正と, 最もトータルドーズ効果の影響が大きい状態の照射順 No.15(341 krad 相当) 前後で行った較正では, とともに SET パルス幅と D-FF で取得される '1' の数の変動が $\pm FF1$ 段以内に収まる. また, 他の照射順での較正においても全て SET パルス幅と D-FF で取得される '1' の数の変動が $\pm FF1$ 段以内であることを確認した. その際, 最大の ΔT は, 0.119 ns であった. このことより, 本測定における SET パルス幅の誤差は最大でも 0.119 ns であると言える.

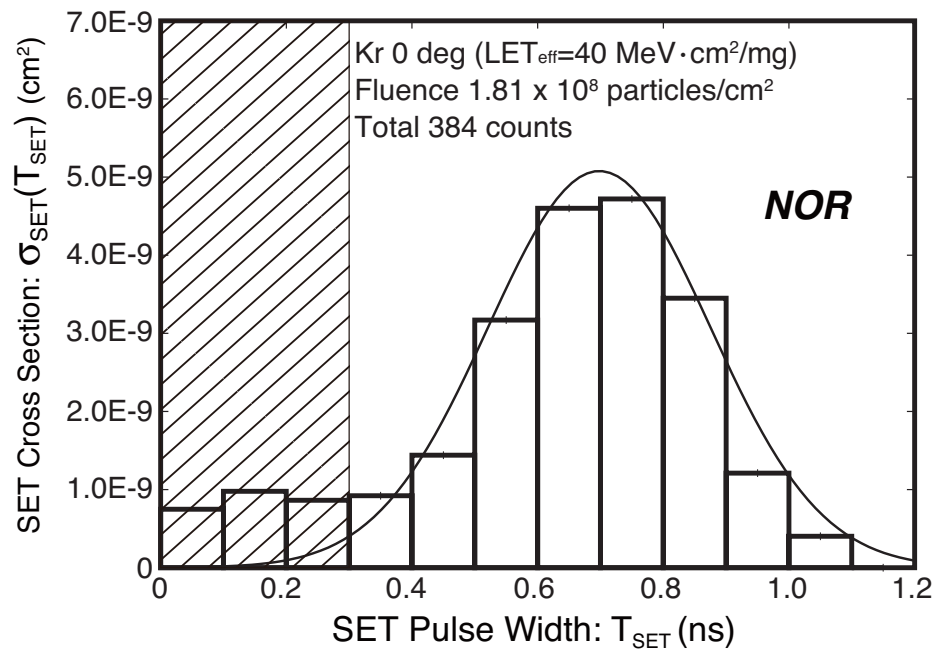


図 4.3 NOR 素子中での SET パルス発生率の分布.

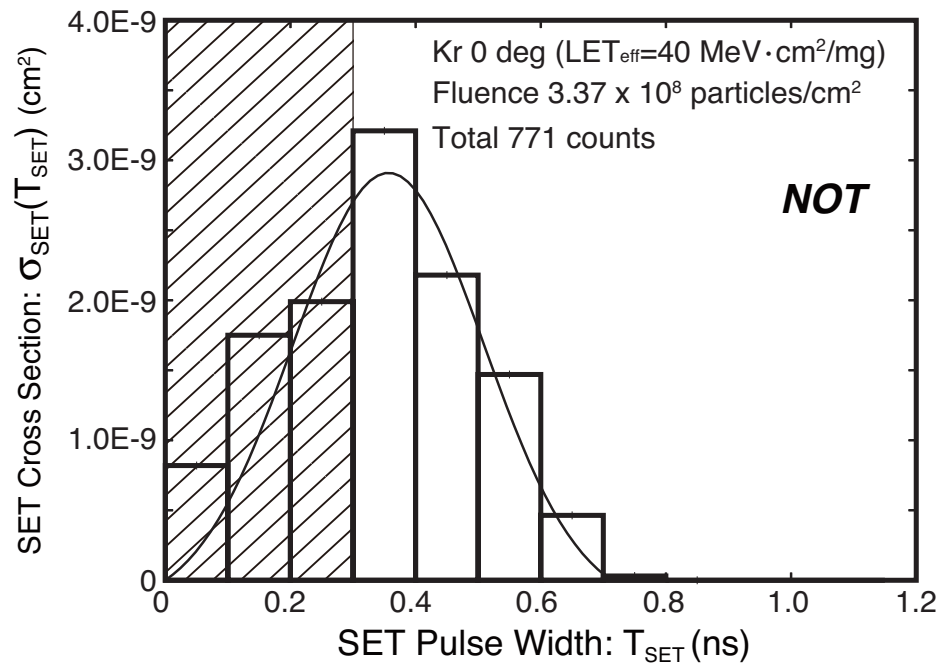


図 4.4 NOT 素子中の SET パルス発生率の分布.

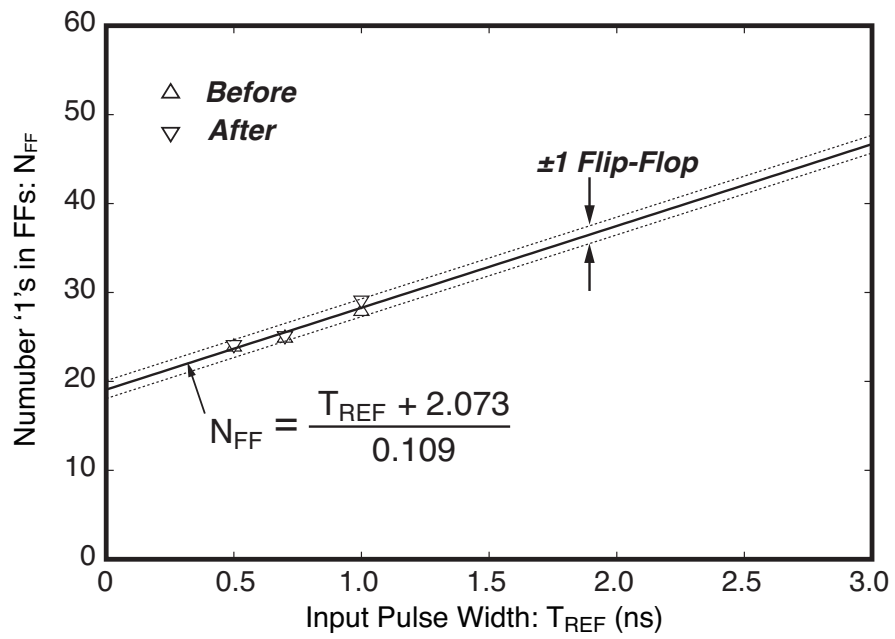


図 4.5 照射順 No. 1 前後で取得した較正直線.

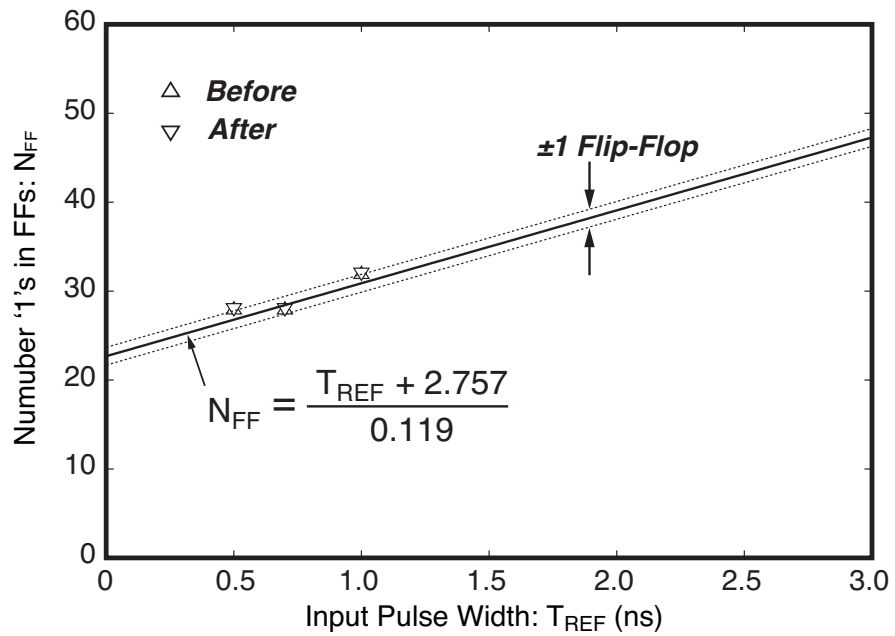


図 4.6 照射順 No. 15 前後で取得した較正直線.

図 4.3, 4.4 から、一定の LET を持つ重イオンを照射しても発生する SET パルスの幅は一定ではないことが確認できる。すなわち、NOR 素子の場合 0.05 ns から 1.05 ns の間の幅をもつ SET パルスが発生している。また、NOT 素子の場合 0.05 ns から 0.75 ns の間の幅をもつ SET パルスが発生している。発生する SET パルスの幅が一定でない理由は、放射線粒子が当たる場所 (例えば、ゲートに当たるかドレインに当たるかなど) に依存してパルス幅が変化する [19] ことから説明できる。

また図中の曲線は、ガウス関数で各素子のパルス発生率をフィッティングした結果である。NOR 素子の場合 0.35 ns ~ 1.15 ns まで、NOT 素子の場合 0.05 ns ~ 0.85 ns までのデータを用いて最小二乗法でフィッティングを行った。ガウス関数から読み取った、最も多く発生する SET パルスの幅 (最頻値) は NOR 素子で 0.698 ± 0.011 ns, NOT 素子で 0.356 ± 0.012 ns であった。本測定における NOR 素子と NOT 素子の最頻値の差は約 350 ps であった。これに対して、同じテクノロジーのチップ、ビーム条件で測定された $0.2 \mu\text{m}$ FD-SOI の NOR 素子と NOT 素子の最頻値¹の差は、約 300 ps とおおむね一致しており本測定結果は妥当な結果であると言える [17]。

バルクデバイスで発生する SET パルス幅との比較

同じゲート長の場合、SOI デバイスに比べ、バルクデバイスで発生する SET パルス幅の方が大きくなるというシミュレーション結果がある [19,20]。ここでは、NOT 素子において、バルクデバイスと SOI デバイスで発生する SET パルスの幅の実測値を比較する。今回の測定では、ゲート長 $0.2 \mu\text{m}$ SOI デバイスの NOT 素子で発生する SET パルスの幅が、 $\text{LET} = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ の重イオン照射において 0.05 ns から 0.75 ns に分布しており、最頻値は 0.341 ns であった。これに対して、図 4.7 にゲート長 130 nm バルクデバイスの NOT 素子で発生する SET パルス幅を示す [18]。図 4.7 からわかるように、SET パルス幅は LET の増加に伴って増加している。そのため、ゲート長 130 nm バルクデバイスにおいて、 $\text{LET} = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ の重イオン照射における SET パルス幅は最低でも $\text{LET} = 31.2 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ の重イオン照射による SET パルス幅と同じ長さになるとして比較した。ゲート長 130 nm のバルクデバイスの NOT 素子で発生する SET パルスの幅は $\text{LET} = 31.2 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ の重イオン入射で 0.25 ns から 0.9 ns に分布しており最頻値 (図 4.7 中 ‘avg’) は 550 ps であった。以上のことから、 $\text{LET} = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ の重イオン照射において、ゲート長 130 nm バルクデバイスの NOT 素子で発生する SET パルスは、分布の範囲、最頻値両方において、ゲート長 $0.2 \mu\text{m}$ SOI デバイスの NOT 素子で発生する SET パルスの幅より大きいと考えられる。ここでは、ゲート長 130 nm バルクデバイスとゲート長 $0.2 \mu\text{m}$ SOI デバイス内で発生する SET パルス幅を比較したが、

¹ 同条件で測定されているが、照射時の Fluence が測定できていないために、発生率は求められていない。

シミュレーションによって、SOI デバイスで発生する SET パルス幅はゲート長の減少とともに短くなるという結果が示されている [19,20]. このことより、同程度のゲート長を持ったバルクデバイスと SOI デバイス内で発生する SET パルス幅の実測値を比較した場合、シミュレーション結果 [19,20] の通り SOI デバイスで発生する SET パルス幅の方が短くなると考えられる.

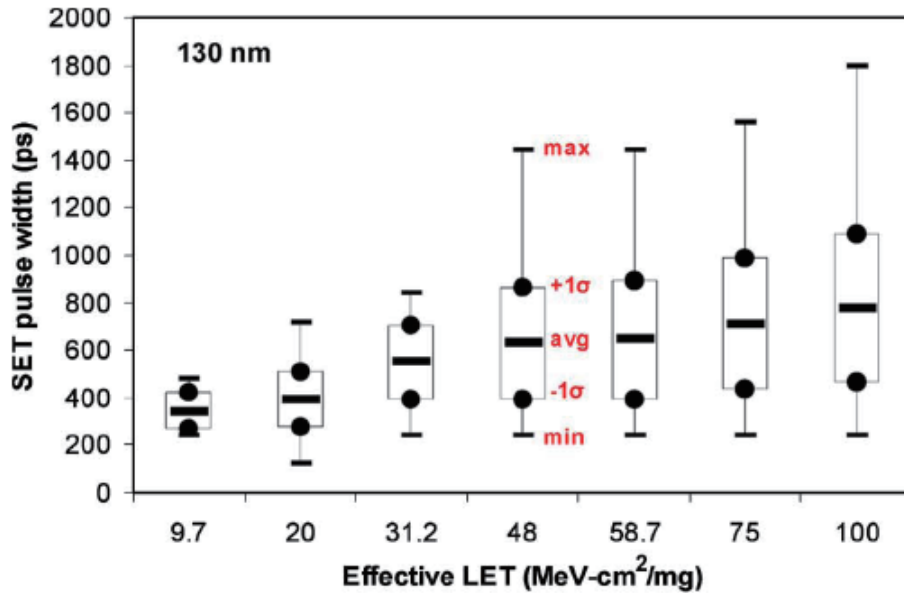


図 4.7 ゲート長 130 nm のバルクデバイスで発生する SET パルス幅 [18].

0.2 μm FD-SOI プロセスでの SET パルス発生断面積の評価

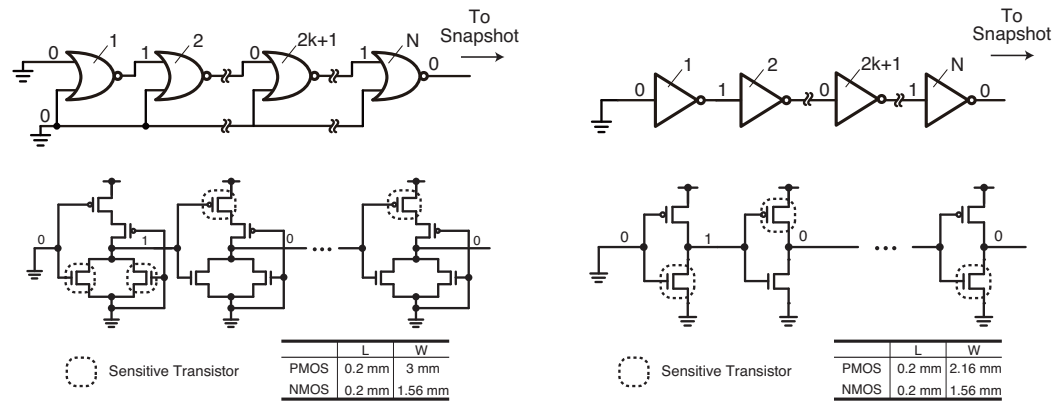
本測定結果の SET パルス発生断面積 (σ_{SET}) について評価を行う. σ_{SET} は, $\sigma_{SET}(T_{SET})$ を全てのパルス幅にわたって足し合わせることで求められる. その結果, NOR 素子では $\sigma_{SET} = 2.25 \times 10^{-8} \text{ (cm}^2\text{)}$, NOT 素子では $\sigma_{SET} = 1.19 \times 10^{-8} \text{ (cm}^2\text{)}$ であった. これに対して, 試験に用いた NOR 素子, NOT 素子のゲートサイズから感応断面積を求め σ_{SET} の見積もりを行った. NOR 素子は, 図 4.8(a) に示すように 2 つの pMOS と 2 つの nMOS で構成されている. NOT 素子は, 図 4.8(b) に示すように 1 つの pMOS と 1 つの nMOS で構成されている. それぞれの素子は, 直列に接続されており, 接続状態によって感応断面積を持つトランジスタ (感応トランジスタ) が異なる. NOR 素子の場合, 初段の入力はどちらも 0 であるため 2 つの nMOS は OFF 状態となり, その 2 つの nMOS が感応トランジスタとなる. そして, 次段の NOR 素子では, 初段 NOR 素子の出力が 1 で, もう一方の入力が 0 であるために図のように 1 つの pMOS のみが OFF 状態となり, その pMOS が感応トランジスタとなる. さらに次の段の NOR 素子では,

入力がどちらも 0 であるため初段と同様の感応トランジスタを持つ。このように NOR 素子チェーンでは感応トランジスタが nMOS2 つ、pMOS1 つと交互に続く。NOT 素子の場合、初段の入力は 0 であるために、nMOS が OFF 状態となり、その nMOS が感応トランジスタとなる。そして、次段の NOT 素子では、初段の出力が 1 であるため pMOS が OFF 状態となり、その pMOS が感応トランジスタとなる。さらに次の段の NOT 素子では、入力が 0 であるため初段と同様の感応トランジスタを持つ。このように NOT 素子チェーンでは感応トランジスタが nMOS1 つ、pMOS1 つと交互に続く。チェーン中の論理素子の位置によって素子への入力値が変化するため、奇数段目と偶数段目のそれぞれ論理素子についてゲートサイズから SET パルス発生断面積を求め、その平均値を試験に用いた NOR 素子、NOT 素子の感応断面積とした。その結果、表 4.2 に示す通り $\sigma_{CellAverage}$ に対して測定で得られた σ_{SET} は、NOR 素子で 1.83 倍、NOT 素子で 1.60 倍であった。これは、実際の感応断面積がゲート面積より大きいことを意味している。

ここで、図 4.9 に、SET パルス幅重イオン入射位置依存性シミュレーション結果を示す。シミュレーションでは、測定対象素子である NOT 素子内の nMOS トランジスタに重イオンが入射したとし、図 4.9 に示すようにゲート中心から $0.05 \mu\text{m}$ ごとに重イオンを入射させ、その時の SET パルス幅を取得した。なお、簡単のため、SET パルス幅については、トランジスタの幅方向の入射位置依存性はないとした。図 4.9 に示すようにゲート領域内で発生する SET パルス幅は $x = -0.1 \mu\text{m}$ で 0.38 ns である。この SET パルス幅を最小検出可能 SET パルス幅とすると、検出可能領域は $x = -0.1 \sim 0.2 \mu\text{m}$ の領域となりゲート幅の 1.5 倍程度が感応断面積となる。本測定で得られた σ_{SET} がゲート面積より大きいことは、本シミュレーション結果によって説明できる。また、実際の感応断面積がゲート面積の 1.60 ～ 1.83 倍とシミュレーション結果の 1.5 倍に近く、このことから本測定で得られた σ_{SET} が妥当な結果であることがわかる。さらに、本結果は Yanagawa 等がスナップショットを用いて BNL で行った NOR 素子の SET パルス発生断面積とも一致する [16]。

表 4.2 ゲートサイズから算出した SET パルス発生断面積 ($\sigma_{CellAverage}$) と測定で得られた σ_{SET} .

論理素子	$\sigma_{CellAverage}$ [cm ² /Cell]	σ_{SET} [cm ² /Cell]	$\sigma_{SET}/\sigma_{CellAverage}$
NOR	1.23×10^{-8}	2.25×10^{-8}	1.83
NOT	7.44×10^{-9}	1.19×10^{-8}	1.60



Averaged SET cross section

Cell No.	In1	In2	Sensitive Tr	σ_{Cell} [cm ² /cell]	$\sigma_{\text{Cell Average}}$ [cm ² /cell]
2k+1	0	0	NMOS x 2	1.25×10^{-8}	1.23×10^{-8}
2k	1	0	PMOS x 1	1.2×10^{-8}	

Cell No.	In	Sensitive Tr	σ_{Cell} [cm ² /cell]	$\sigma_{\text{Cell Average}}$ [cm ² /cell]
2k+1	0	NMOS x 1	6.24×10^{-9}	7.44×10^{-9}
2k	1	PMOS x 1	8.64×10^{-9}	

(a)

(b)

図 4.8 論理素子チェーンの感応トランジスタと論理素子 1 段あたりの SET パルス発生断面積. (a)NOR 素子チェーンの場合, (b)NOT 素子チェーンの場合.

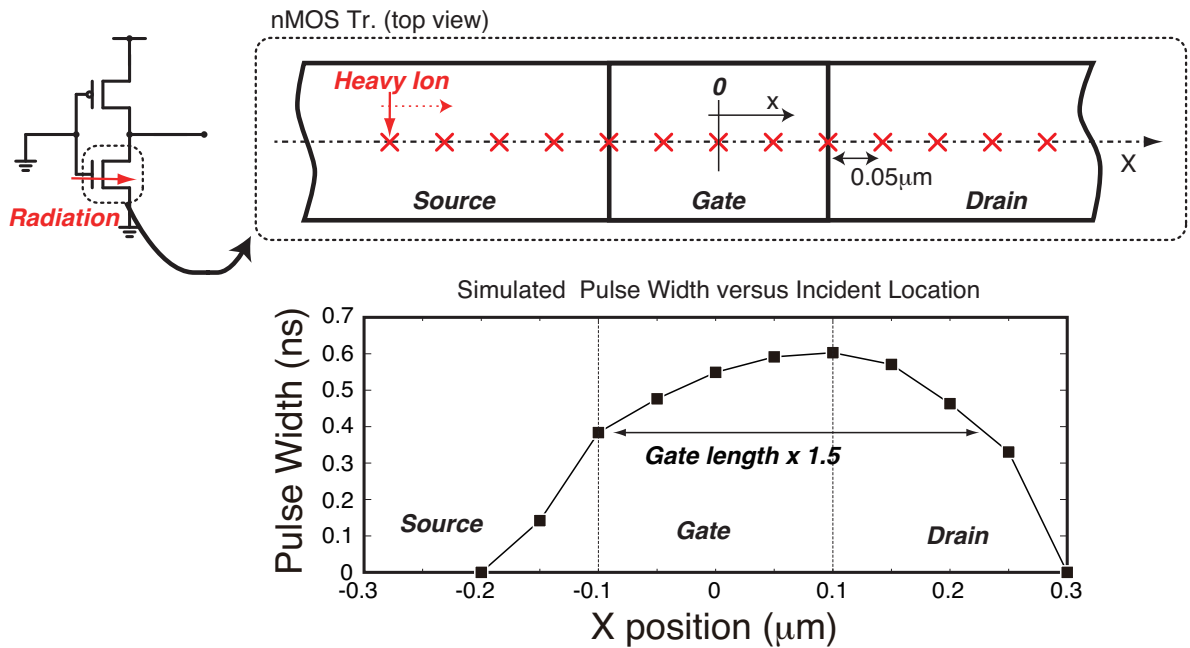


図 4.9 SET パルス幅重イオン入射位置依存性シミュレーション. グラフはゲート中心から $0.05 \mu\text{m}$ ごとに重イオンを入射させ, その時の SET パルス幅. SET パルス幅については, トランジスタの幅方向の入射位置依存性はないとした.

4.3 ソフトエラー率の推定

4.3.1 ソフトエラー率の推定手法

以上の測定結果を用いて SER_{SET} の推定を行う。推定には 2.11 式を用いた。このときの $T_W = T_{setup} + T_{hold}$ は、スナップショット回路と同じ $0.2 \mu\text{m}$ FD-SOI スタンダードセルライブラリを用いて作製されたスキャン FF のタイミング値を用いた。このタイミング値はシミュレーションによって求められており $T_W = 138 \text{ ps}$ である [17]。後に推定結果とスキャン FF での実測値を比較するため、クロック周波数は 9.2 MHz を仮定した。また、2.4 式、2.6 式で仮定した通り、 $T_{SET} < -T_{setup} + T_{hold}$ において SET 入力時間 t が $-T_{setup} - T_{SET} \leq t \leq T_{hold}$ を満たしたときのラッチ確率と、 $T_{SET} \geq -T_{setup} + T_{hold}$ かつ $T_{SET} < T_{CLK}$ において SET 入力時間 t が $-T_{setup} - T_{SET} \leq t \leq T_{hold} - T_{SET}$, $-T_{setup} \leq t \leq T_{hold}$ を満たしたときのラッチ確率は、 0.5 とした。これらのラッチ確率は仮定した値であり、実際の FF での確率とは異なる。

4.3.2 ソフトエラー率の推定結果

図 4.10, 4.11 は、SET パルス発生率分布 (図 4.3, 4.4) と同一の横軸に対して 2.10 式を使って求めた SET ラッチ確率 $P_{latch}(T_{SET})$ をプロットしたものである。2.11 式に従い、SET パルスの幅 (T_{SET}) ごとに、発生パルス数に SET ラッチ確率 $P_{latch}(T_{SET})$ を乗じ、SET パルス幅ごとの $SER_{SET}(T_{SET})$ を算出した。図 4.12, 図 4.13 は、積算 $SER_{SET}(T_{SET})$ ($CumulativeSER_{SET}(T_{SET})$: $CSE_{SET}(T_{SET})$) を NOR 素子、NOT 素子それぞれの SET パルス発生率と一緒にプロットしたものである。 $CSE_{SET}(T_{SET})$ は、 T_{SET} 以上の SET パルス幅を持つ SET パルスによる SER_{SET} の積算値を意味しており、以下の式で表される。

$$CSE_{SET} = \sum_{T_{SET}}^{\infty} SER_{SET}(T_{SET}) \quad (4.1)$$

ここで、 0.3 ns より短い SET パルスは、較正の妥当性が保証されないために、全て 0.3 ns として計算している。仮に、 0.3 ns 未満の幅の SET パルスを無視しても後の推定結果に影響は与えない。

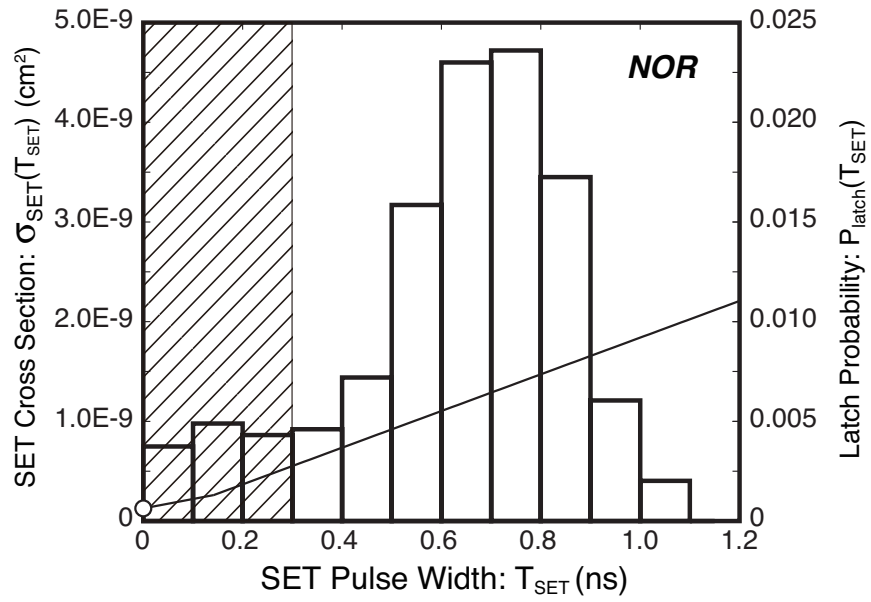


図 4.10 NOR 素子中で発生する SET パルス幅の分布とラッチ確率. 図 4.3, 4.4 に, 2.5 式, 2.7 式を使って求めた SET ラッチ確率 $P_{latch}(T_{SET})$ (クロック周波数は 9.2 MHz を仮定) を追加した.

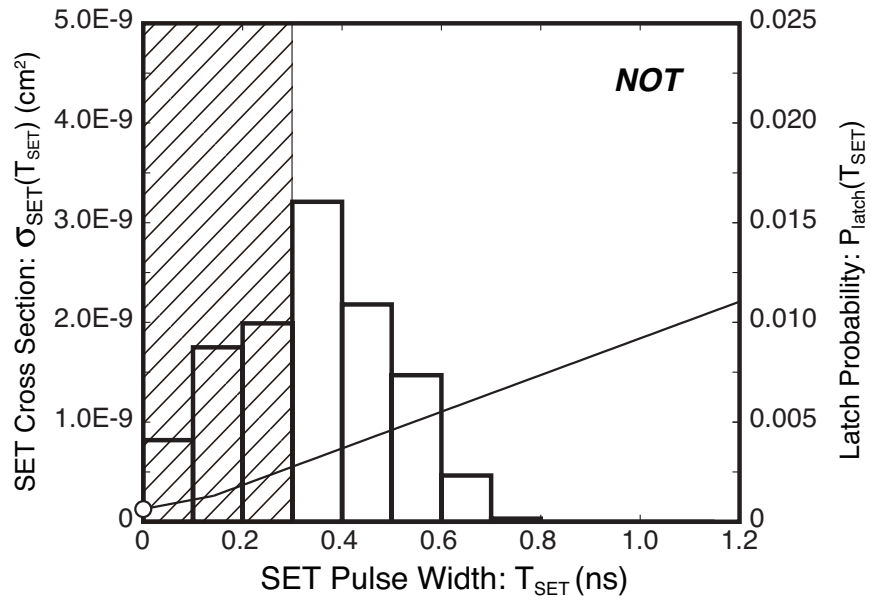


図 4.11 NOT 素子中で発生する SET パルス幅の分布とラッチ確率. 図 4.3, 4.4 に, 2.5 式, 2.7 式を使って求めた SET ラッチ確率 $P_{latch}(T_{SET})$ (クロック周波数は 9.2 MHz を仮定) を追加した.

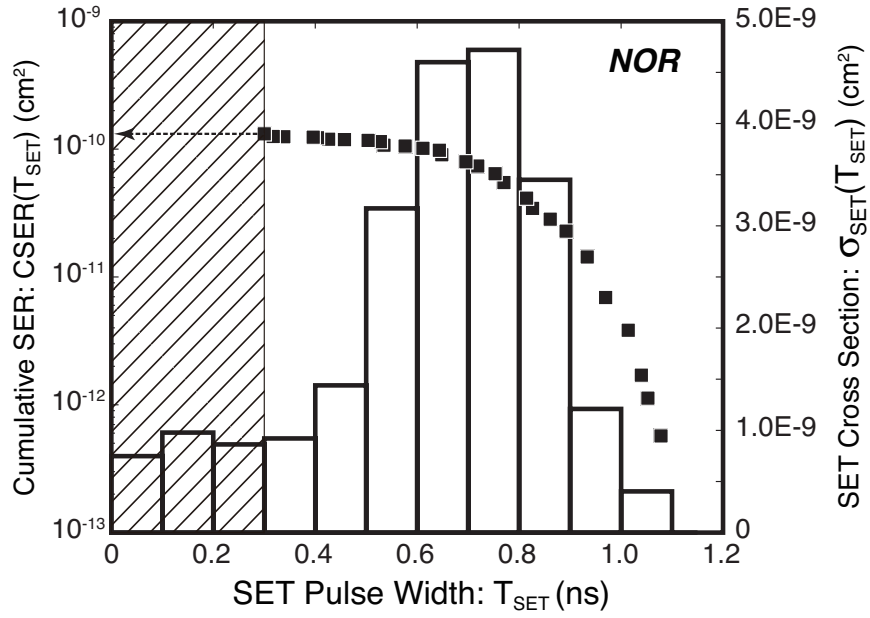


図 4.12 NOR 素子について、4.1 式を用いて求めた積算 SER_{SET} (Cumulative $SER_{SET}(T_{SET})$: $C SER_{SET}(T_{SET})$) とパルス幅分布. 0.3 ns より短い SET パルスは、較正の妥当性が保証されないために、全て 0.3 ns として計算している.

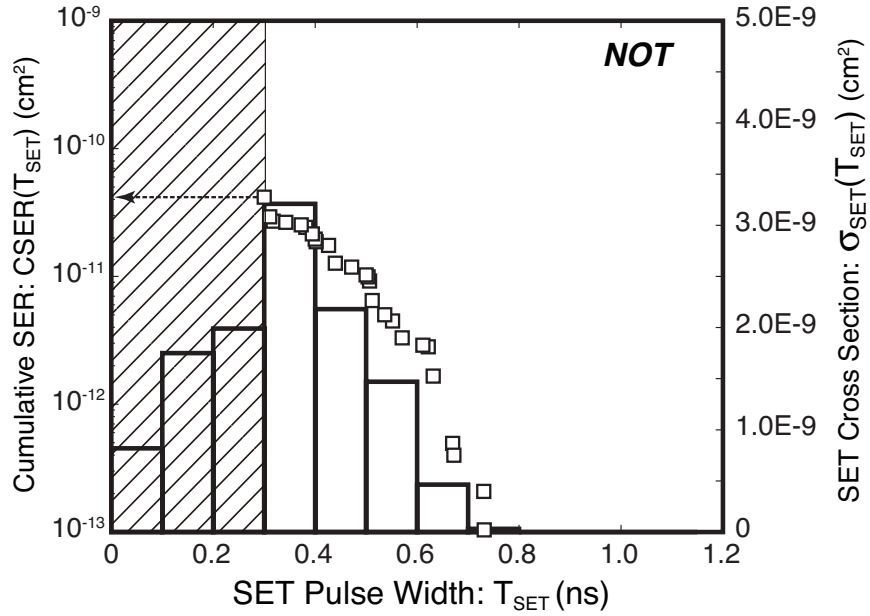


図 4.13 NOT 素子について、4.1 式を用いて求めた積算 SER_{SET} (Cumulative $SER_{SET}(T_{SET})$: $C SER_{SET}(T_{SET})$) とパルス幅分布. 0.3 ns より短い SET パルスは、較正の妥当性が保証されないために、全て 0.3 ns として計算している.

NOR 素子, NOT 素子の $CSE_{SET}(T_{SET})$ は, 図 4.12, 図 4.13 が示す通り, SET パルス幅が最頻値より短い SET パルス幅では CSE_{SET} が飽和する. これは, SET パルス幅の現象に伴って SET ラッチ確率 $P_{latch}(T_{SET})$ も減少するためである. また, 図 4.12, 図 4.13 より, 最頻値以上の SET パルスによるソフトエラーが SE_{SET} の 60% を占めていることが読み取れる. このことより, 最頻値以上の SET パルスが SE_{SET} において支配的であると言える. 言い換えると, 最頻値より短い SET パルスは SE_{SET} にほとんど影響を与えないと言える.

NOR 素子, NOT 素子それぞれの $CSE_{SET}(T_{SET})$ の比較を図 4.14 に示す. また, それぞれのソフトエラー率 (SE_{SET}) を表 4.3 にまとめる. ここで, 表 4.3 に示す誤差は測定で得られた SET パルス発生率がガウス分布であると仮定した時に, 解析的に求めた標準偏差 (σ) を, 照射 Fluence と論理素子の段数で除することで求めた. 標準偏差 (σ) は, ある長さのパルスの計数を n_i , そのパルスがラッチされる確率を P_i とし, 各幅のパルスでの計数誤差の伝搬に注意して以下の式で求めた.

$$\sigma = \sqrt{\sum_{i=0}^{\infty} (P_i \sqrt{n_i})^2} \quad (4.2)$$

NOR 素子の SE_{SET} が NOT 素子の 3 倍程度であった. NOR 素子と NOT 素子の SE_{SET} の差を最頻値を用いて考える. 図 4.3, 4.4 におけるガウス関数のピークから最頻値と $\sigma_{SET}(T_{SET})$ は, NOR 素子で 0.698 ns, 5.10×10^{-9} (cm²), NOT 素子で 0.356 ns, 2.81×10^{-9} (cm²) であった. 最頻値を比較した場合, NOR 素子の最頻値が NOT 素子の 1.8 倍程度である. また, 最頻値の $\sigma_{SET}(T_{SET})$ を比較した場合, NOR 素子の $\sigma_{SET}(T_{SET})$ が NOT 素子の 2 倍程度である. ここで, SE_{SET} は $\sigma_{SET}(T_{SET})$ と $P_{latch}(T_{SET})$ に比例し, さらに $P_{latch}(T_{SET})$ は SET パルス幅に比例する. これより, NOR 素子と NOT 素子での最頻値による $SE_{SET}(T_{SET})$ の比は, 最頻値の比と最頻値での SET パルス発生率 ($\sigma_{SET}(T_{SET})$) の比の積で表せる. そのため, NOR 素子と NOT 素子の最頻値の比と, 最頻値での $\sigma_{SET}(T_{SET})$ の比の積をとったところ, 3.6 となり表 4.3 に示した値と良い一致を示した. このことより, SET パルス発生率をガウス関数フィッティングし, その最頻値と最頻値での $\sigma_{SET}(T_{SET})$ から NOR 素子と NOT 素子の SE_{SET} の比を知ることができる.

表 4.3 パルス幅分布から求めた, NOT 素子と NOR 素子でのソフトエラー率.

論理素子種	SE_{SET} [cm ²]	NOT と NOR の比
NOR	1.32×10^{-10} ($\pm 7.01 \times 10^{-12}$)	3.12
NOT	4.17×10^{-11} ($\pm 1.55 \times 10^{-12}$)	

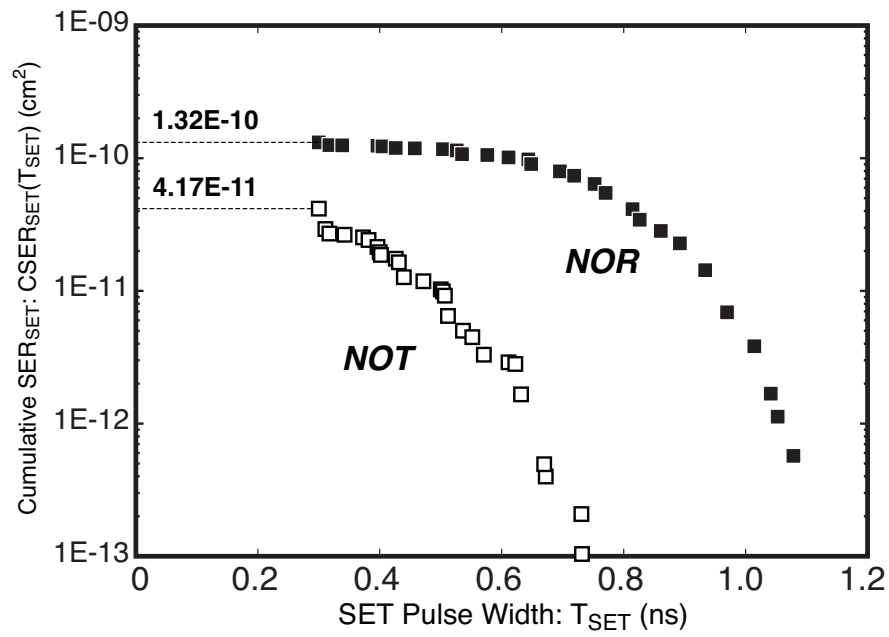


図 4.14 4.1 式を用いて求めた積算 SER_{SET} (Cumulative $SER_{SET}(T_{SET})$: $CSER_{SET}(T_{SET})$). 0.3 ns より短い SET パルスは、較正の妥当性が保証されないために、全て 0.3 ns として計算している.

4.4 推定手法の検証

本推定手法の検証を行う。検証は、推定式によって求めた SER_{SET} と、Yanagawa 等によって開発されたスキャン FF を実装した論理 LSI を用いて測定された動作周波数 9.2 MHz での SET による SER_{SET} [13,17] とを比較することで行った。比較は、どちらも論理素子 1 段あたりの SER_{SET} で行った。スキャン FF による SER_{SET} の測定原理については付録 D を参照されたい。

スキャン FF による測定値との比較による推定手法の検証

論理素子 1 段あたりの SER_{SET} を図 4.15 に示す。表 4.4 に図 4.15 に用いた数値データを示す。スキャン FF で測定された SER_{SET} の論理素子 1 段分は、論理素子 512 段接続された時の SER_{SET} を段数 (512) で除したものである。推定値のエラーバーは、4.4 式より求めた値である。スキャン FF による測定値のエラーバーは、論理素子 512 段接続された時の SER_{SET} の平方根を段数 (512 段) で除したものである。NOT 素子の推定値におけるエラーバーは、非常に小さく図中シンボル内に含まれている。

ここで前述したとおり、2.4 式、2.6 式より、 $T_{SET} < -T_{setup} + T_{hold}$ において SET 入力時間 t が $-T_{setup} - T_{SET} \leq t \leq T_{hold}$ を満たしたときのラッチ確率と、 $T_{SET} \geq -T_{setup} + T_{hold}$ かつ $T_{SET} < T_{CLK}$ において SET 入力時間 t が $-T_{setup} - T_{SET} \leq t \leq T_{hold} - T_{SET}$ 、 $-T_{setup} \leq t \leq T_{hold}$ を満たしたときのラッチ確率は、0.5 としてある。これらのラッチ確率は、実際の FF での確率とは異なる。そのため、これらのラッチ確率が変わった時のソフトエラー率を求め、ラッチ確率が推定結果に与える影響を考察した。ラッチ確率を 0.3, 0.7 として求めた SET によるソフトエラー率は、ラッチ確率を 0.5 として以下で求めた SET によるソフトエラー率の推定値に対してそれぞれ -10% , $+10\%$ 程度であった。ラッチ確率を 0, 1.0 として求めた SET によるソフトエラー率は、ラッチ確率を 0.5 として以下で求めた SET によるソフトエラー率の推定値に対してそれぞれ -25% , $+25\%$ 程度であった。図 4.15 に示した結果より、推定値を $\pm 25\%$ したとしても、スキャン FF で測定した値のエラーバーの範囲に含まれ、結果に大きな影響を与えないことがわかった。さらに、この結果より、SET パルスによるソフトエラーの発生率には、SET パルス幅と、論理 LSI の動作周波数と、SET パルスの発生率が大きく寄与していることがわかる。

図 4.15、表 4.4 にあるとおり、NOR 素子、NOT 素子両方で今回推定した SER_{SET} とスキャン FF によって測定された SER_{SET} が非常によい一致を示した。さらに、本推定法ではスキャン FF によって測定された SER_{SET} に比べ非常に精度よく SER_{SET} を求めることができた。

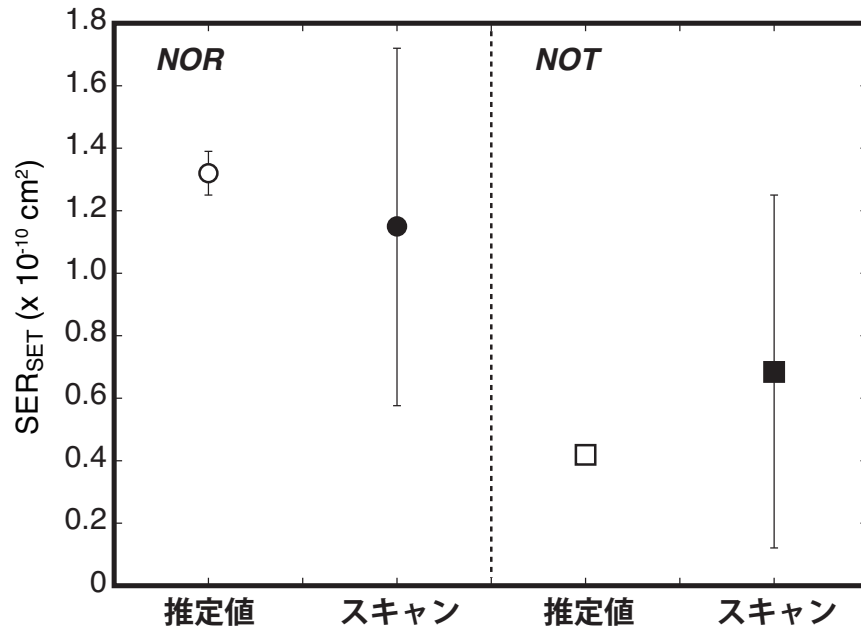


図 4.15 推定式による論理素子 1 段あたりの SER_{SET} の推定値とスキャン FF による論理素子 1 段あたりの SER_{SET} の測定値. NOT 素子の推定値におけるエラーバーは, 非常に小さく図中シンボル内に含まれる.

表 4.4 パルス幅分布から求めた, NOT 素子と NOR 素子での SER_{SET} .

論理素子種	今回の結果 [cm ²]	スキャン FF [cm ²]
NOR	$1.32 \times 10^{-10} (\pm 7.01 \times 10^{-12})$	$1.15 \times 10^{-10} (\pm 5.74 \times 10^{-11})$
NOT	$4.17 \times 10^{-11} (\pm 1.55 \times 10^{-12})$	$6.84 \times 10^{-11} (\pm 5.63 \times 10^{-11})$

以下に、本推定手法による推定結果が、スキャン FF による測定結果より精度よく求められることをそれぞれの誤差を比較することによって示す。本推定手法での SER_{SET} の誤差は 4.4 式で求めた標準偏差を照射 Fluence と測定対象論理素子の段数で除する事で求めた。一方、スキャン FF によって測定された SER_{SET} の誤差は、スキャン FF によって計数された SET によるソフトエラー数の平方根を取り照射 Fluence と測定対象論理素子の段数で除した値である。それぞれの誤差を比較するために次の仮定をおく。

(1) スキャン FF 内の論理素子で発生する SET パルス発生率は、本研究で測定した SET パルス発生率と等しい。

(2) 発生した SET パルスがスキャン FF にラッチされる確率は、本推定で用いたラッチ確率と等しい。

ここで、スキャン FF で計数される SET パルスによるソフトエラー率を N_{Scan} とすると、 N_{Scan} は、

$$N_{Scan} = \sum_{i=0}^{\infty} P_i n_i \quad (4.3)$$

と書け、計数値の標準偏差は

$$\sqrt{N_{Scan}} = \sqrt{\sum_{i=0}^{\infty} P_i n_i} \quad (4.4)$$

と求められる。

この値が、本推定手法における標準偏差 (4.4 式) に比べて大きければ以下の式が成り立つはずである。

$$\sqrt{\sum_{i=0}^{\infty} P_i n_i} > \sqrt{\sum_{i=0}^{\infty} (P_i \sqrt{n_i})^2} \quad (4.5)$$

4.5 式に 4.4 式を代入し、両辺を 2 乗して整理すると、以下の通りになる²。

$$\sum_{i=0}^{\infty} P_i n_i (1 - P_i) \geq 0 \quad (4.6)$$

ここで $P_i \leq 1$ であるため、4.6 式が成り立つことがわかる。この事より、本推定法ではスキャン FF によって測定された SER_{SET} に比べ非常に精度よく SER_{SET} を算出できることを示した。

以上の検証結果より、SET パルスの正確な発生確率をパルス幅の関数で測定した結果と SET が記憶素子にラッチされる確率から、論理素子のソフトエラー率を求める手法の有効性が実証できた。

² この時、両辺は正であるために不等号の向きは変わらない。

4.5 推定手法を用いた SER_{SET} の見積もり

本手法を用いれば、2.2 式、2.10 式からわかるように、スキャン FF を用いた測定では知る事ができない FF の動作周波数が変わったときの SER_{SET} が予測できるという利点がある。クロック周波数 910 MHz までは本研究で用いた NOR 素子、NOT 素子で発生する SET パルス幅に対してクロック周波数の方が長い。そのため、2.2 式、2.10 式より、図 4.16 に示すようにクロック周波数 910 MHz までは SER_{SET} がクロック周波数に比例して増加していくと言える。そして、910 MHz で SET パルスの発生率 σ_{SET} とほぼ等しくなる。0.2 μm FD-SOI プロセスを現在目標とされている動作周波数 100 MHz で動作させようとした場合、NOR 素子と NOT 素子による SER_{SET} はそれぞれ、 1.25×10^{-9} (cm^2)、 4.53×10^{-10} (cm^2) となることがわかる。このように、本手法では FF の動作周波数が変わったときにも SER_{SET} を予測できる。

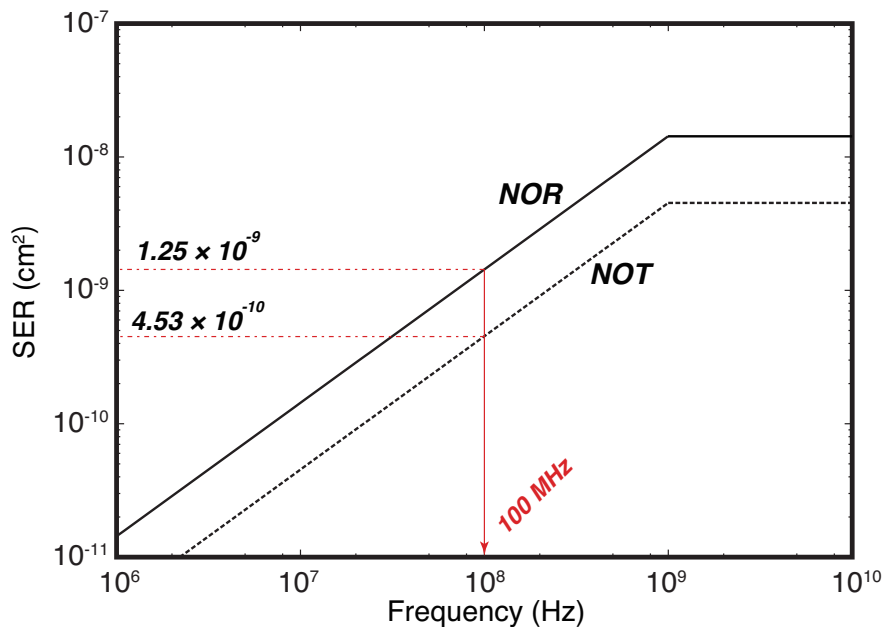


図 4.16 0.2 μm FD-SOI プロセスにおけるクロック周波数依存性。クロック周波数 910 MHz までは SER_{SET} がクロック周波数に比例して増加、910 MHz で SET パルスの発生率 σ_{SET} とほぼ等しくなる。

本結果を用いて、 $\text{LET} = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ の放射線環境下における 0.2 μm FD-SOI プロセスで作製された論理 LSI でのソフトエラー率 (SER_{TOTAL}) の定量的な見積もりを行う。 SER_{TOTAL} は、 SER_{SEU} と SER_{SET} を足し合わせた値であり、論理 LSI でのソフトエラー率を意味している。図 4.17 に、 $\text{LET} = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ の放射線環境下における 0.2 μm FD-SOI プロセスで作製された論理 LSI での SER_{TOTAL} 動作周波数依存

性を示す。 SER_{SET} は、今回推定した SER_{SET} を基にした論理素子 1 段あたりの値で図 4.16 に示した値である。 SER_{TOTAL} を求める際に用いた SER_{SEU} は、スキャン FF で測定された値を用いた [13]。 $0.2\ \mu\text{m}$ FD-SOI プロセスを現在目標とされている動作周波数 100 MHz で動作させようとした場合、NOR 素子による SER_{SET} は、 SER_{SEU} とほぼ等しくなり、NOT 素子による SER_{SET} は、 SER_{TOTAL} の 40% 程度に達し、これらの結果から SER_{SET} が顕在化してきていることが確認できる。さらに、実際の論理 LSI では 1 個の FF に論理素子が多い場合で 10 段以上接続されることもあり、論理回路の論理状態にもよるが、 SER_{SET} が図 4.17 より大きくなることが予想される。

図中の星印はスナップショット回路と同じ $0.2\ \mu\text{m}$ FD-SOI プロセスで作製された 128 kb SRAM へ $\text{LET} = 40\ \text{MeV}\cdot\text{cm}^2/\text{mg}$ のイオン照射時のソフトエラー率である [9]。この SRAM は、Body-Tie を持っており、この Body-Tie で Body 内の電荷を逃がすことによって寄生バイポーラ効果を低減している。これによって、SOI プロセスと Body-Tie を使用して作製した SRAM がバルクデバイスに比べ 1 桁程度低いソフトエラー率を示したことが報告されている [9]。SRAM の SER_{SEU} と論理 LSI の SER_{TOTAL} を比較すると、論理 LSI の SER_{TOTAL} の方が 2 ～ 3 倍程度大きい。この結果から、 $0.2\ \mu\text{m}$ FD-SOI プロセスを動作周波数 100 MHz で動作させようとした場合、同じテクノロジーで作製された SRAM 等のメモリ素子で発生するソフトエラー率に比べ、論理 LSI で発生するソフトエラーが大きくなることがわかった。そして本結果は今後、論理 LSI でのソフトエラー対策がますます重要になって行く事を示唆している。

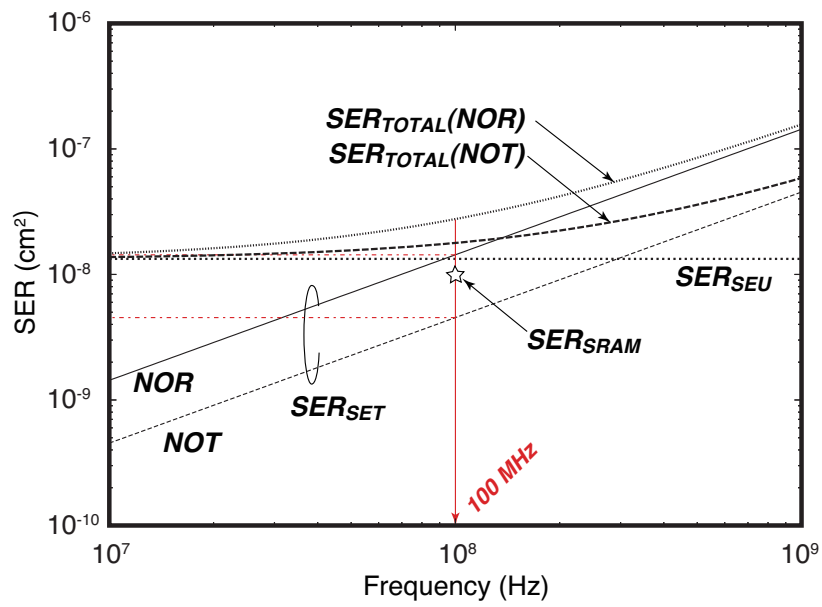


図 4.17 0.2 μm FD-SOI プロセスで作製された論理 LSI での論理素子 1 段あたりのソフトエラー率 (SER_{TOTAL}) の動作周波数依存性. SER_{SEU} は, スキャン FF で測定された値を用いた [13] 図中の星印はスナップショット回路と同じ 0.2 μm FD-SOI プロセスで作製された 128 kb SRAM へ $LET = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ のイオン照射時のソフトエラー率 [9].

4.6 SET 対策への提言 –1–

測定結果と本推定手法を用いる事によって SET パルス幅ごとの $SER_{SET}(T_{SET})$ を求めた結果、最頻値以上の幅を持つ SET パルス幅が SER_{SET} において支配的であった。Yanagawa 等によって開発された SER_{SET} 測定用のスキャン FF を実装した論理 LSI による SER_{SET} 測定結果との比較の結果、論理素子内での SET パルス発生率から SER_{SET} を精度よく求められる事が実証された。この事により、種々の論理素子での SET パルス発生率を測定する事で、実際の論理 LSI の SER_{SET} を推定できる事になった。本手法は、FF の動作周波数が変わったときにも SER_{SET} を予測できるという利点があり、設計段階において SER_{SET} を推定する事ができる。この手法を用いれば、種々の論理素子で発生する SET パルス幅を測定するだけで、論理 LSI の SER_{SET} に対して各論理素子がどれだけ寄与しているかを推定できるようになると言える。

0.2 μm FD-SOI プロセスを現在目標とされている動作周波数 100 MHz で動作させようとした場合の SER_{SET} を定量的に求めた結果、NOR 素子による SER_{SET} は、 SER_{TOTAL} の 10% 程度に達する。また、NOT 素子による SER_{SET} は、 SER_{TOTAL} の 4% 程度に達し、これらの結果から SER_{SET} が顕在化してきていると言える。さらに、論理素子が 10 段以上接続された FF では、 SER_{SET} が論理素子の段数倍になるため、 SER_{SET} が SER_{TOTAL} の中でも支配的になってくると言える。

4.7 本章のまとめ

本章では、SET パルスの正確な発生確率をパルス幅の関数 (正確な SET パルス幅分布) として測定し、その結果と各パルスが記憶素子にラッチされる確率から、論理素子の SER_{SET} を求めた。そして、Yanagawa 等によって開発された SER_{SET} 測定用のスキャン FF を実装した論理 LSI による SER_{SET} 測定結果 [13, 17] と比較することによって、本手法の検証を行った。

測定結果と本推定手法を用いる事によって SET パルス幅ごとの $SER_{SET}(T_{SET})$ を求めた結果、最頻値以上の幅を持つ SET パルス幅が SER_{SET} において支配的であった。Yanagawa 等によって開発された SER_{SET} 測定用のスキャン FF を実装した論理 LSI による SER_{SET} 測定結果との比較の結果、論理素子内での SET パルス発生率から SER_{SET} が求められる事が実証された。この事により、種々の論理素子での SET パルス発生率を測定する事で、実際の論理 LSI の SER_{SET} を推定できる事になった。本手法は、FF の動作周波数が変わったときにも SER_{SET} を予測できるという利点があり、設計段階において SER_{SET} を推定する事ができる。この手法を用いれば、種々の論理素子

で発生する SET パルス幅を測定するだけで、論理 LSI の SER_{SET} に対して各論理素子がどれだけ寄与しているかを推定できるようになると言える。

0.2 μm FD-SOI プロセスを現在目標とされている動作周波数 100 MHz で動作させようとした場合、NOR 素子による SER_{SET} は、 SER_{TOTAL} の 10% 程度に達する。また、NOT 素子による SER_{SET} は、 SER_{TOTAL} の 4% 程度に達し、これらの結果から SER_{SET} が顕在化してきていると言える。さらに、論理素子が 10 段以上接続された FF では、 SER_{SET} が論理素子の段数倍になるため、 SER_{SET} が SER_{TOTAL} の中でも支配的になってくると言える。SET パルス幅と回路パラメータ (Setup-hole time, 動作周波数) の関係がわかったので、それぞれがどうなれば、 SER_{SET} がどうなるかを議論できる。その結果、デバイスレベル、回路レベルでの対策が議論できる。

第 5 章

SET パルス幅分布の LET 依存性測定

5.1 緒言

SET パルスは，単一 LET のイオンが入射した場合でも，パルス幅に分布を持つことが報告されており，第 4 章に示した測定結果でもその分布を確認した．また，SET パルス幅が入射放射線の LET に依存することも報告されている [15,18,20] が，それは次のように二つの異なった傾向である．ある実験ではバルクデバイスで発生する SET パルス幅が入射粒子の LET の増加に対して直線的な増加を示している [15,18]．これは，SET パルスの原因であるデバイス内への電子正孔対生成量が付録 B.1 式に示すよう LET に比例するため，収集電荷量も LET に比例して大きくなった結果と考えられる．一方，デバイスシミュレーションでは，SOI デバイスで発生する SET パルス幅が LET の増加に対して飽和傾向を示している [20]．これは，LET に比例した電子正孔対生成量と収集電荷量では説明できない．このように，LET 依存性の詳細と SET パルス幅を支配する要因についてはわかっていない．また，SOI デバイスで発生する SET パルス幅分布の LET 依存性を測定した結果はこれまでなかった．そのため，0.2 μm FD-SOI プロセスで制作された NOT 素子内で発生する SET パルス幅分布の LET 依存性を測定した．

測定は，日本原子力研究開発機構高崎研究所の TIARA で行い，実効 LET 40 ～ 92 $\text{MeV}\cdot\text{cm}^2/\text{mg}$ までの重イオンを照射した．その結果，報告されていたデバイスシミュレーションの結果と同様，SET パルス幅分布の LET 依存性は飽和傾向を示した．この結果より，SET 対策への提言を行う．

5.2 実験方法

5.2.1 測定回路

SET パルス幅分布の LET 依存性測定のために、先に使用したスナップショット回路を使用した。試験対象論理回路は NOT 素子とし、NOT 素子 24 段が直列に接続されたものを用いた。直列に接続された測定対象論理回路とスナップショットは、同一チップの中に 8 セット実装されており、測定は 8 セット全ての測定結果を足し合わせたものである。本回路による測定原理は先に示した通りである。

5.2.2 実験条件

実験は、日本原子力研究開発機構高崎研究所の加速器施設 (TIARA) で行った。SET パルス幅分布の LET 依存性測定では、限られた測定時間の中で $40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 以上の広範囲の LET を持つイオンの照射が求められる。そのため、カクテルビームの Kr, Xe を試験に採用し $\text{LET} = 40, 66 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ の LET を得た。さらにそれ以外の LET を得るために、実効 LET (LET_{eff}) の考えを用いた。 LET_{eff} とは、Kr の場合を考えると図 5.1 に示すように、角度を持った入射によってイオンがデバイス中を通過する距離が伸びる。その結果、 $\text{LET} = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ の Kr がデバイス中に生成する電子正孔対の量が通過する距離の伸びた分だけ増える。その結果、この Kr が生成する電子正孔対の量は $\text{LET} = 56 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ のイオンが垂直に入射した際に生成する電子正孔対の量と同量となるため、実効的に $\text{LET} = 56 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ として用いることにするという考えであり、本研究分野で一般的に用いられる方法である。実際の試験では、テストチップをビーム軸に対して傾けることによって照射を行う。

この LET_{eff} の考えを用いて、Kr, Xe を 0° , 45° , Kr 49° で照射した際の LET_{eff} を求めた。 LET_{eff} 計算は SRIM コード [26] を用いて論理素子を構成する MOSFET のパッシベーション層 (チップ表面から SOI 層までの層) を通過した時のイオンエネルギーを計算した後、そのエネルギーのイオンが Si に付与する LET を計算した。計算モデルとして、パッシベーション層の厚さは $0.2 \mu\text{m}$ FD-SOI の断面電子顕微鏡写真 (図 5.2) より読み取り、 $7.0 \mu\text{m}$ であるとした。また、パッシベーション層の材質は、簡単のため金属配線層を無視して一様な SiO_2 と仮定した。 0° , 45° , 49° での計算結果を表 5.1 に示す。 LET_{eff} の値は SOI 層最上部での値である。LET 依存性測定ではこの 2 種のイオンを用いて 5 段階の LET_{eff} での照射を行った。

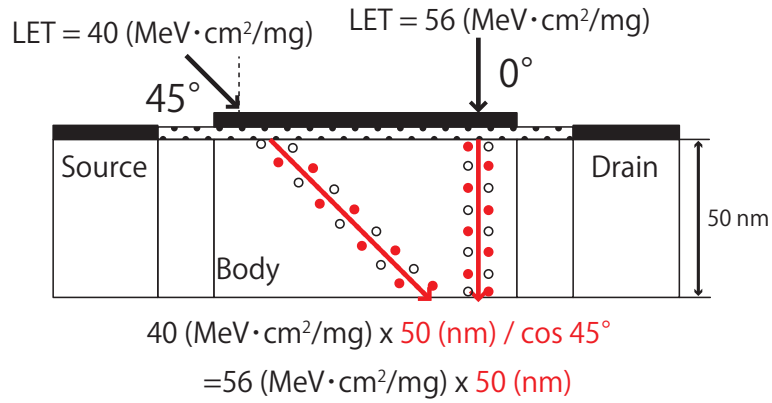


図 5.1 実効 LET の概念図.

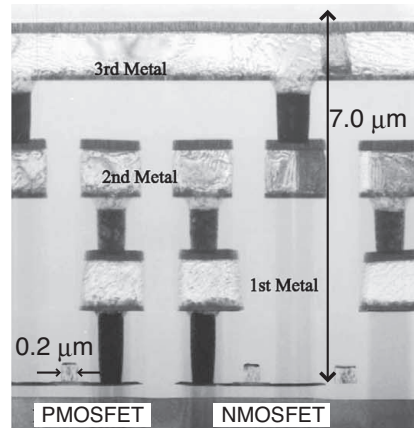


図 5.2 0.2 μm FD-SOI の断面電子顕微鏡写真 [27].

表 5.1 各イオン照射角度における LET_{eff} の計算値.

Ion	Angle [deg]	Accelerateed Energy [MeV]	Energy in SOI [MeV]	LET in SOI [MeV·cm ² /mg]	Range in Si [μm]
Kr	0	322	253	40	33
Kr	45	322	225	56	30
Kr	49	322	216	62	29
Xe	0	454	336	68	31
Xe	45	454	274	92	27

ここで、パッシベーション層の材質を一様な SiO_2 としたことによるエネルギーロスの誤差について考える。エネルギーロスとは、物質を通過するイオンが単位長さあたりに失うエネルギーのことで LET と同値である。そのため、エネルギーロスもイオンが通過する物質による。仮にパッシベーション層の半分が配線に用いられる金属 (Al) とした場合について考える。図 5.3 に本実験で用いた Kr と Xe のエネルギーと LET の関係を示す。Kr のエネルギーと LET の関係において矢印は、イオンの加速エネルギーと、 49° 照射時のパッシベーション層厚さ $10.6 \mu\text{m}$ 通過後のエネルギーを示している。パッシベーション層厚さ $10.6 \mu\text{m}$ 通過後のエネルギーはそれぞれパッシベーション層が全て SiO_2 の場合と半分が Al である場合のエネルギーを示している。Xe のエネルギーと LET の関係において矢印は、イオンの加速エネルギーと、 49° 照射時のパッシベーション層厚さ $10.6 \mu\text{m}$ 通過後のエネルギーを示している。パッシベーション層厚さ $10.6 \mu\text{m}$ 通過後のエネルギーはそれぞれパッシベーション層が全て SiO_2 の場合と半分が Al である場合のエネルギーを示している。図 5.3 からわかるように、パッシベーション層の材質によるエネルギーロスの差はわずかであり LET の差も小さい。この結果より、パッシベーション層は一様な SiO_2 としたことによるエネルギーロスの誤差はほとんどないと言える。

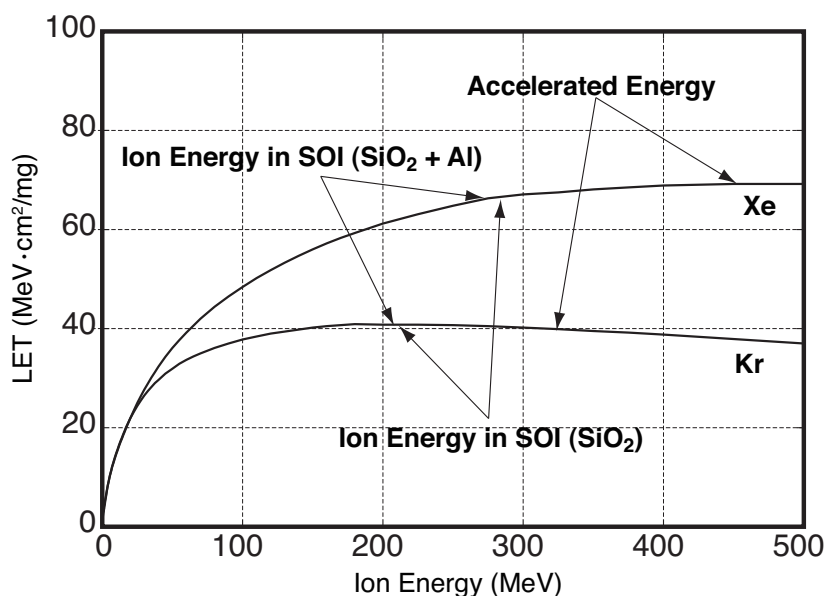


図 5.3 Kr, Xe の Si 中でのイオンエネルギーと LET の関係。

図 5.4 にチップに入射した Xe のエネルギーと LET の関係を示す。横軸はチップ深さとした。図からわかるように、SOI 層でのエネルギーロスがほとんどない。そのため、SOI 層中での LET はほぼ一定と考えられるため、SOI 層 (50 nm 厚) を通過するイオンの LET は一定とした。

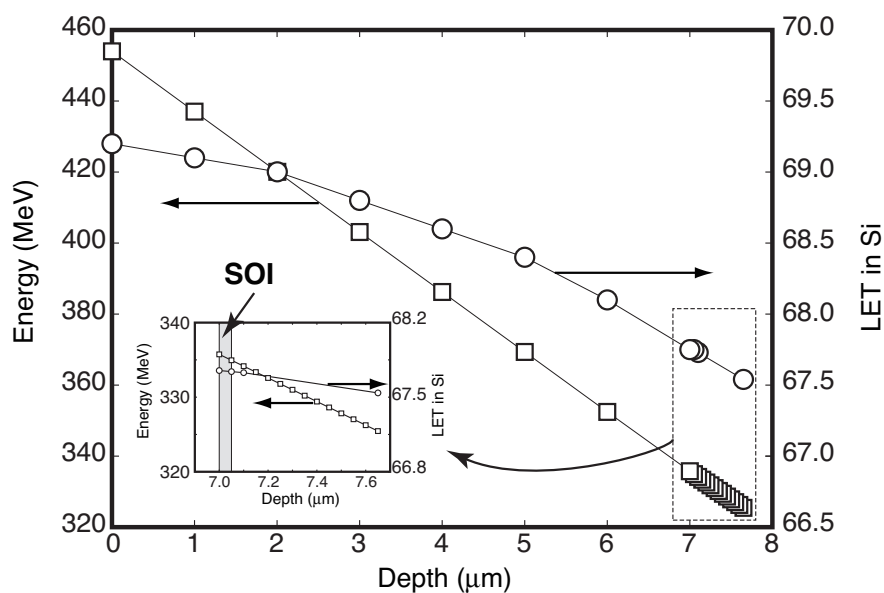


図 5.4 チップに入射した Xe のエネルギーと LET の関係。横軸はチップ深さ。

Flux は、Si-SSD によって 3.5×10^4 particles/cm² の Flux を測定した後に、 10^{-1} のアッテネータを抜き、ビームをサンプルに照射することで 10 倍程度に制御した。しかし、アッテネータの精度があまりよくないために、LET 依存性測定での照射 Fluence は参考値となる。

5.3 実験結果

図 5.5 ～ 5.9 に各ビーム条件で測定した SET パルス幅分布のヒストグラムを示す。それぞれのヒストグラムは、縦軸が取得したパルスの数、横軸が取得したパルスの幅を表している。図中の斜線部は、3 章で示した通り、スナップショットの較正を行う際に 0.3 ns の基準パルスが取得できる場合と取得できない場合があったため、較正の妥当性が保証されない範囲としている。ヒストグラムの 1 本の柱が表す SET パルス幅の範囲は 0.1 ns としてある。柱内に含まれる SET パルスの幅は、最短の柱で $0 \text{ (ns)} < T_{SET} \text{ (ns)} \leq 0.1 \text{ (ns)}$ である。以降、 $0.1 \text{ (ns)} < T_{SET} \text{ (ns)} \leq 0.2 \text{ (ns)}$... と続いていく。

Kr 322 MeV を 0° ($LET_{eff} = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) 照射で得られた SET パルス幅は、図 5.5 からわかるように、0.45 ns が最多の計数で、0.15 ns から 0.95 ns にわたって分布を持つ。また、分布の半値幅 (最多計数に対して半分の計数を示した幅) は、0.35 ns から 0.85 ns までの 0.5 ns であった。Kr 322 MeV を 45° ($LET_{eff} = 56 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) 照射で得られた SET パルス幅は、図 5.6 からわかるように、0.55 ns が最多の計数で、0.05 ns から 0.95 ns にわたって分布を持つ。また、分布の半値幅は、0.25 ns から 0.65 ns までの 0.4 ns であった。Kr 322 MeV を 49° ($LET_{eff} = 62 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) 照射で得られた SET パルス幅は、図 5.7 からわかるように、0.55 ns が最多の計数で、0.05 ns から 0.85 ns にわたって分布を持つ。また、分布の半値幅は、0.35 ns から 0.75 ns までの 0.4 ns であった。Xe 454 MeV を 0° ($LET_{eff} = 68 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) 照射で得られた SET パルス幅は、図 5.8 からわかるように、0.55 ns が最多の計数で、0.05 ns から 0.95 ns にわたって分布を持つ。また、分布の半値幅は、0.25 ns から 0.95 ns までの 0.7 ns であった。Xe 454 MeV を 45° ($LET_{eff} = 92 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) 照射で得られた SET パルス幅は、図 5.9 からわかるように、0.65 ns が最多の計数で、0.05 ns から 0.95 ns にわたって分布を持つ。また、分布の半値幅は、0.35 ns から 0.95 ns までの 0.6 ns であった。表 5.2 に以上の結果をまとめて示す。

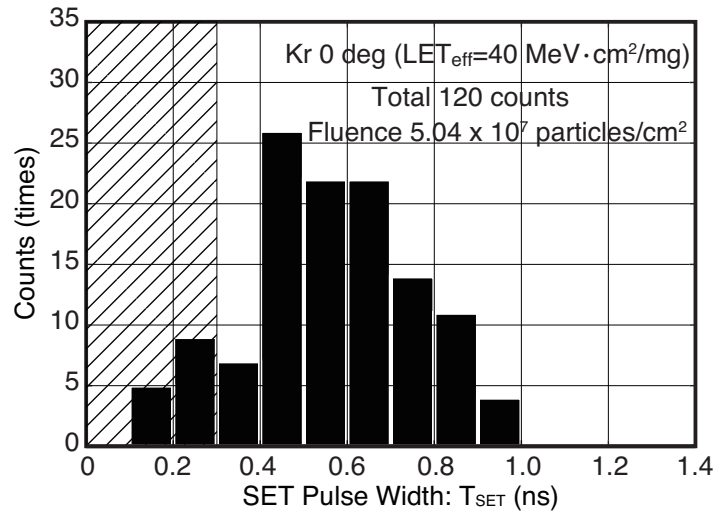


図 5.5 Kr をテストチップに対して 0° ($LET_{eff} = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) で照射した時の SET パルス幅分布.

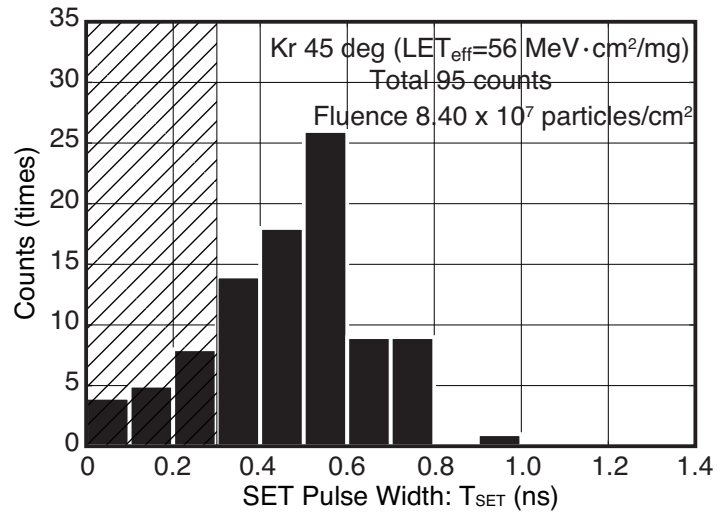


図 5.6 Kr をテストチップに対して 45° ($LET_{eff} = 56 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) で照射した時の SET パルス幅分布.

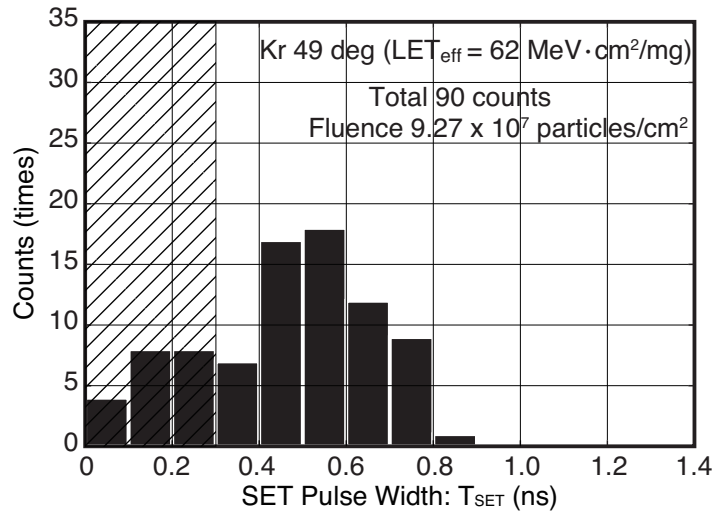


図 5.7 Kr をテストチップに対して 49° ($LET_{eff} = 62 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) で照射した時の SET パルス幅分布.

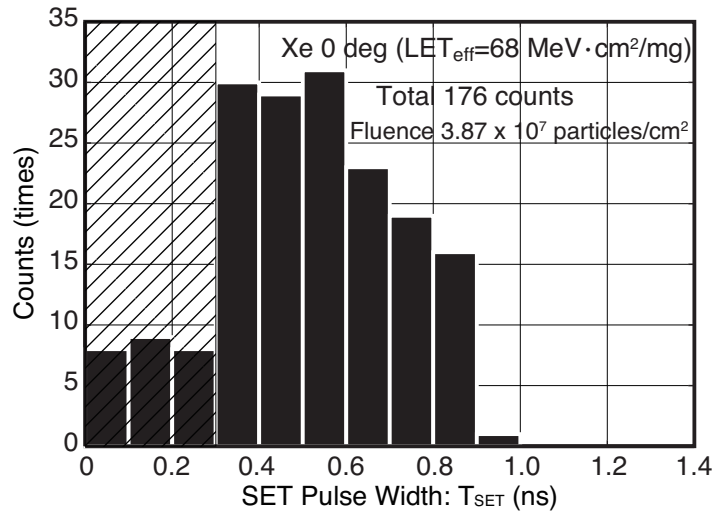


図 5.8 Xe をテストチップに対して 0° ($LET_{eff} = 66 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) で照射した時の SET パルス幅分布.

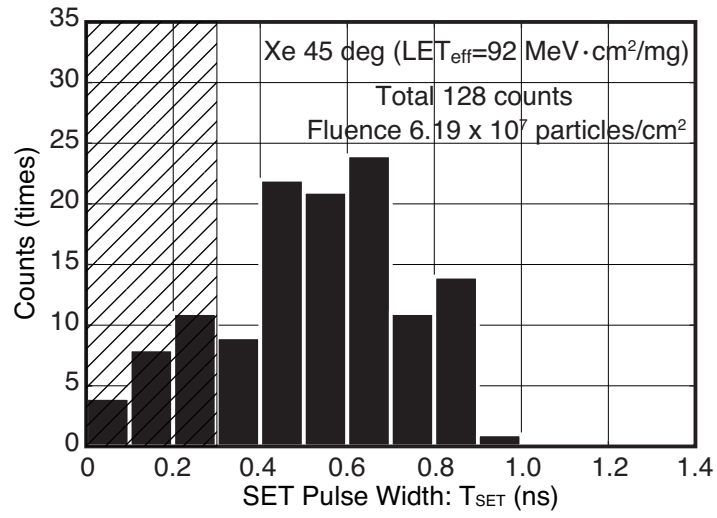


図 5.9 Xe をテストチップに対して 0° ($LET_{eff} = 92 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) で照射した時の SET パルス幅分布.

表 5.2 SET パルス幅分布の測定結果. *Fluence は参考値

Ion	Energy [MeV]	angle [deg]	LET [MeV·cm ² /mg]	Fluence* [particles/cm ²]	Counts [times]	最多計数幅 [ns]	分布幅 [ns]	半値幅 [ns]
Kr	322	0	40	5.04×10^7	120	0.45	0.15~0.95	0.5
Kr	322	45	56	8.40×10^7	95	0.55	0.05~0.95	0.4
Kr	322	49	62	9.27×10^7	90	0.55	0.05~0.85	0.4
Xe	454	0	68	3.87×10^7	176	0.55	0.05~0.95	0.7
Xe	454	45	92	6.19×10^7	128	0.65	0.05~0.95	0.6

図 5.10, 5.11 に本測定で行った較正直線の例を示す. 本測定 ($\text{Kr } LET_{eff} = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) では, $\text{Fluence} = 5.04 \times 10^7 (\text{particles}/\text{cm}^2)$ (33 krad 相当) を 7 回に分けて照射を行った. 各較正直線は 1 回目と 7 回目の照射前後に取得した較正直線である. どちらも照射前後での SET パルス幅と D-FF で取得される ‘1’ の数の変動が $\pm\text{FF1}$ 段程度であった. このときの ΔT は 0.1 ns 程度であるため, 本測定での SET パルス幅の誤差は 0.1 ns 程度と言える. 他のイオン条件においても同様の結果を確認している.

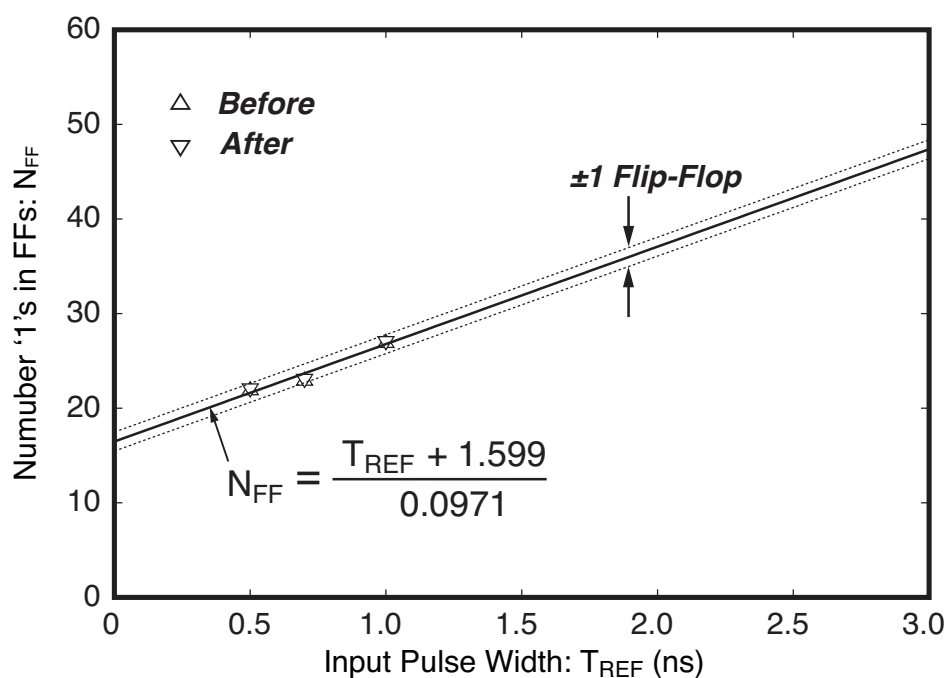


図 5.10 Kr をテストチップに対して 0° ($LET_{eff} = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) で照射した際に用いた較正直線, Fluence = 5.04×10^7 (particles/cm²) を 7 回に分けて照射した 1 回目の照射前後に取得した較正直線.

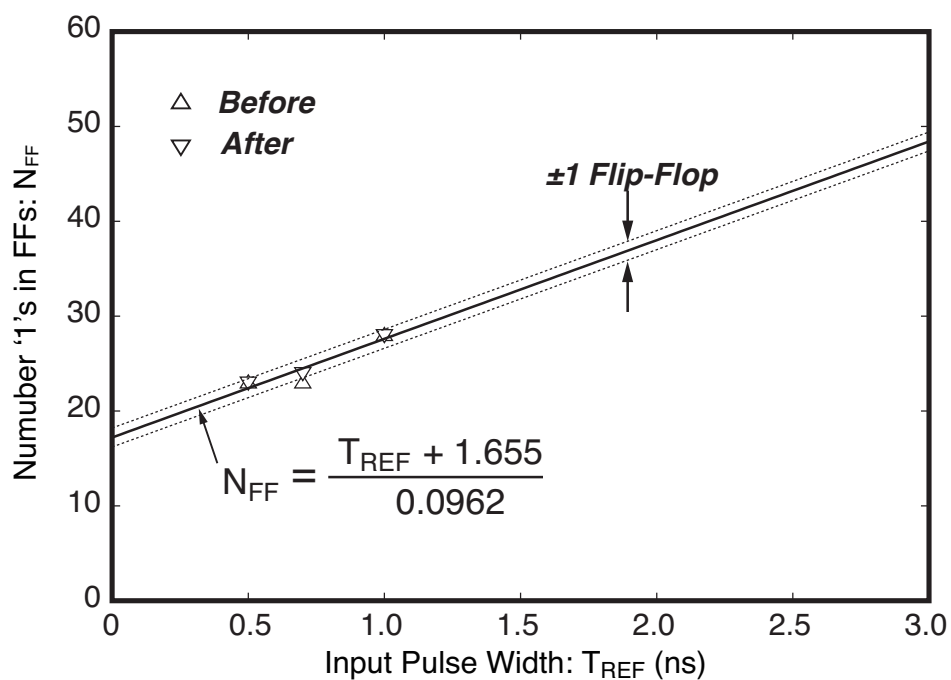


図 5.11 Kr をテストチップに対して 0° ($LET_{eff} = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) で照射した際に用いた較正直線, Fluence = 5.04×10^7 (particles/cm²) を 7 回に分けて照射した 7 回目の照射前後に取得した較正直線.

5.4 SET パルス幅の LET 依存性

SET パルス幅の LET 依存性について議論するために、取得された SET パルス幅の中でも最頻値を LET の関数で整理する。最頻値は、図 5.5～5.9 の SET パルス幅分布をガウス関数でフィッティングしその中心値 (Mode) を用いた。図 5.12～5.16 に、図 5.5～5.9 をガウス関数でフィッティングした結果を示す。また、表 5.3 にガウス関数のフィッティングパラメータをまとめる。

表 5.3 ガウス関数のフィッティングパラメータ。σ は分布の標準偏差。

Ion	LET [MeV·cm ² /mg]	Mode [ps]	σ [ps]
Kr	40	565.1 ± 19.71	200.9 ± 16.12
Kr	56	489.9 ± 20.12	176.1 ± 16.5
Kr	62	495.3 ± 26.4	219.3 ± 21.75
Xe	68	516.3 ± 21.8	226.8 ± 17.93
Xe	92	550.4 ± 26.4	230.2 ± 21.7

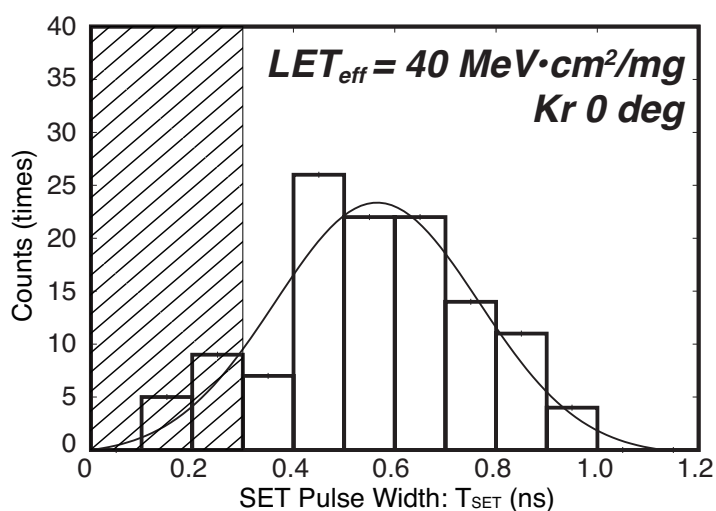


図 5.12 図 5.5 に対してガウスフィッティングを行った結果 ($LET_{eff} = 40 \text{ MeV} \cdot \text{cm}^2/\text{mg}$).

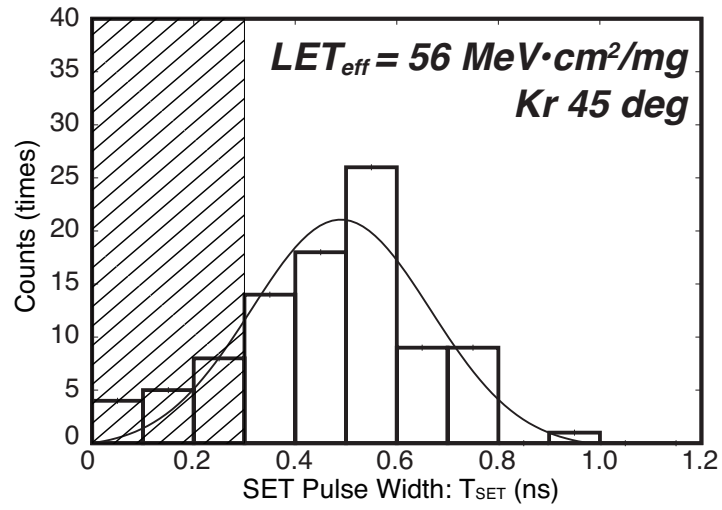


図 5.13 図 5.6 に対してガウスフィッティングを行った結果 ($LET_{eff} = 56 \text{ MeV}\cdot\text{cm}^2/\text{mg}$).

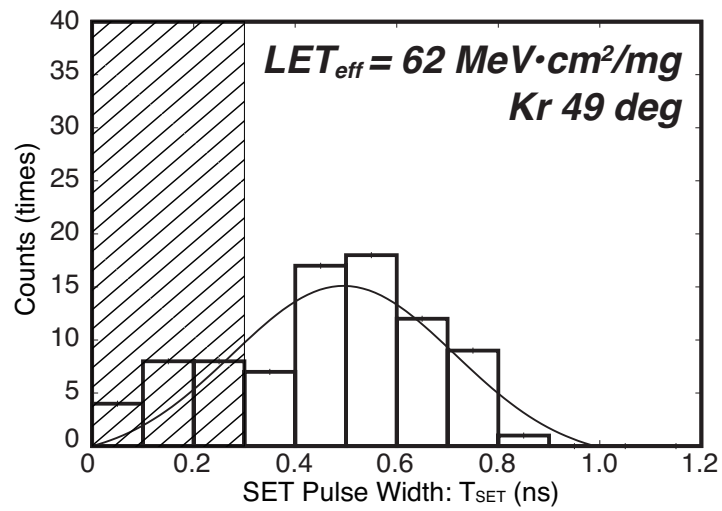


図 5.14 図 5.7 に対してガウスフィッティングを行った結果 ($LET_{eff} = 62 \text{ MeV}\cdot\text{cm}^2/\text{mg}$).

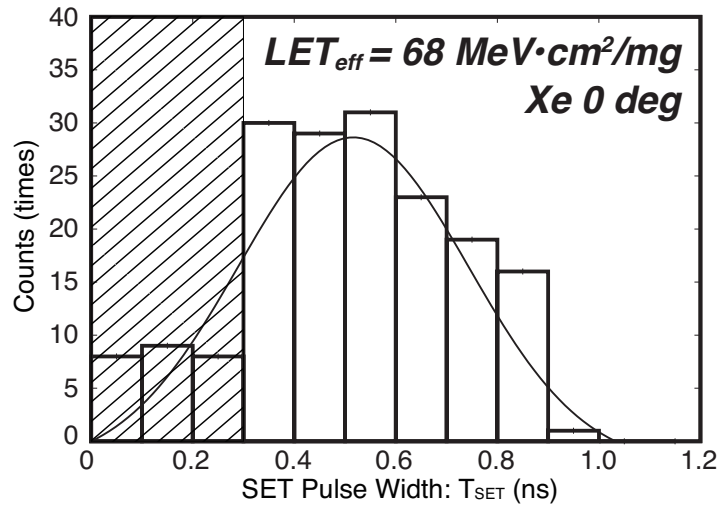


図 5.15 図 5.8 に対してガウスフィッティングを行った結果 ($LET_{eff} = 66 \text{ MeV}\cdot\text{cm}^2/\text{mg}$).

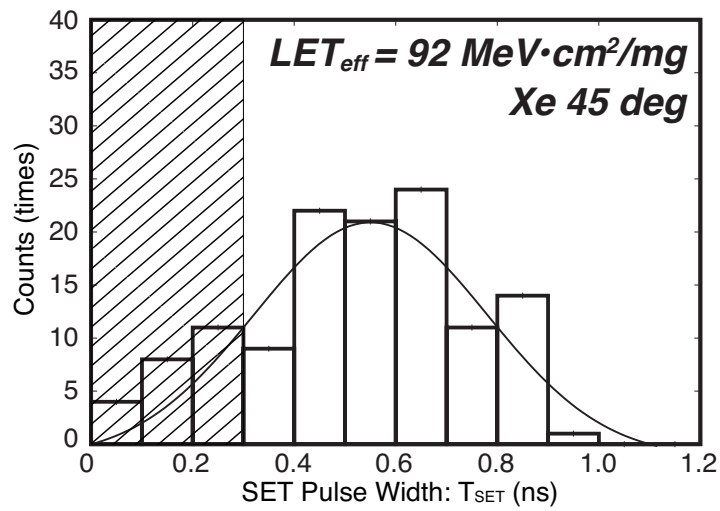


図 5.16 図 5.9 に対してガウスフィッティングを行った結果 ($LET_{eff} = 92 \text{ MeV}\cdot\text{cm}^2/\text{mg}$).

図 5.17 に最頻値 (Mode) と LET の関係を示す。図中のプロット，エラーバーは，それぞれ表 5.3 中 Mode の値と誤差に対応している。SET パルスの原因であるデバイス内への電子正孔対生成量は付録 B.1 式より LET に比例するが，最頻値は入射イオンの LET が 40 から 92 MeV·cm²/mg まで増加しても 0.49 ns ～ 0.56 ns とほぼ一定であった。図中に示すように最頻値に対して近似直線を引いたところ，傾きがほぼ '0' の直線であった。また，LET = 0 では T_{SET} も 0 のはずであり，LET = 40 MeV·cm²/mg 未満では， T_{SET} が 0 に向かって急激に小さくなることが予想できる。以上のことより，LET = 40 MeV·cm²/mg 以上における T_{SET} は飽和傾向を示していると見ることができる。これは，図 5.18 に示す，Eaton と Benedetto 等が行ったバルクプロセスで作製された NOT 素子で発生する SET パルス幅の LET 依存性測定結果 [15] と異なる結果であり，図 5.19 に示す Dodd 等が行った，SOI プロセスで作製された NOT 素子で発生する SET パルス幅の LET 依存性シミュレーション結果 [20] と一致している。SET パルス幅分布の最頻値が飽和傾向を示していた要因の一つとしてデバイス内に生成される過剰キャリアの再結合が考えられる。その理由としては，キャリア再結合率は，重イオンによってデバイス内に生成される電子正孔対の密度の関数で表されるためである。重イオンの入射 LET が大きくなるとデバイス内に生成される電子正孔対の密度が大きくなり過剰キャリアの再結合が増加する。そのため，SET パルスは直線的な増加を示さず，飽和傾向を示すと考えられる。

これまでバルクプロセスで作製された NOT 素子で発生する SET パルス幅分布の LET 依存性が，直線的増加を示すとも言われてきた。しかし，本測定結果により，0.2 μm FD-SOI プロセスで作製された NOT 素子で発生する SET パルス幅の LET 依存性は飽和傾向を示すことが実験によって初めて実証された。宇宙環境に存在する重イオンの最大 LET は 100 MeV·cm²/mg 程度 (図 A.5 より) である。この事実と本測定で得られた飽和傾向より，宇宙環境において 0.2 μm FD-SOI プロセスで制作された NOT 素子内で発生する SET パルスの幅は，最大で 1.0 ns であると言える。また，回路レベルの SET 対策の一つとして考えられている RC フィルタの時定数を最大で 1.0 ns とすればよいと言える。

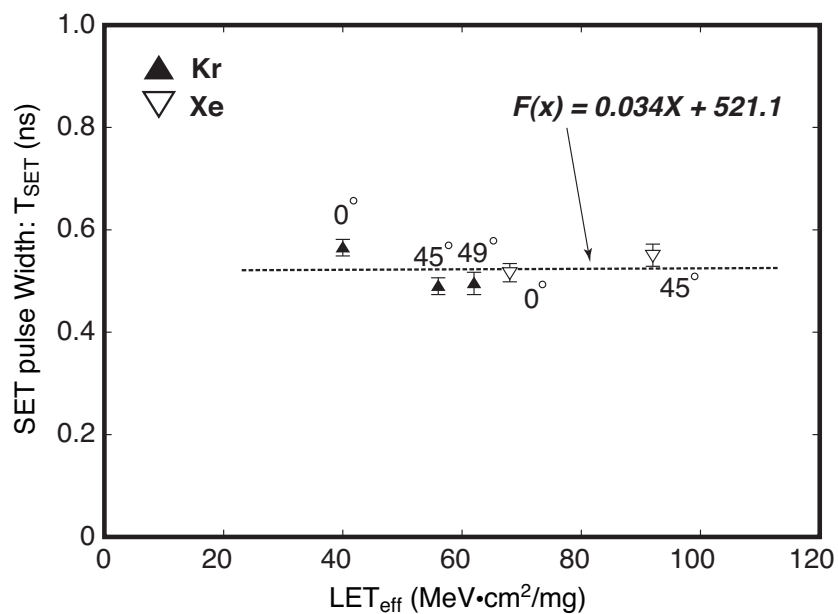


図 5.17 SET パルス幅分布中の最頻値 (Mode) の LET 依存性. エラーバーは, それぞれ表 5.3 中 Mode の値と誤差に対応している.

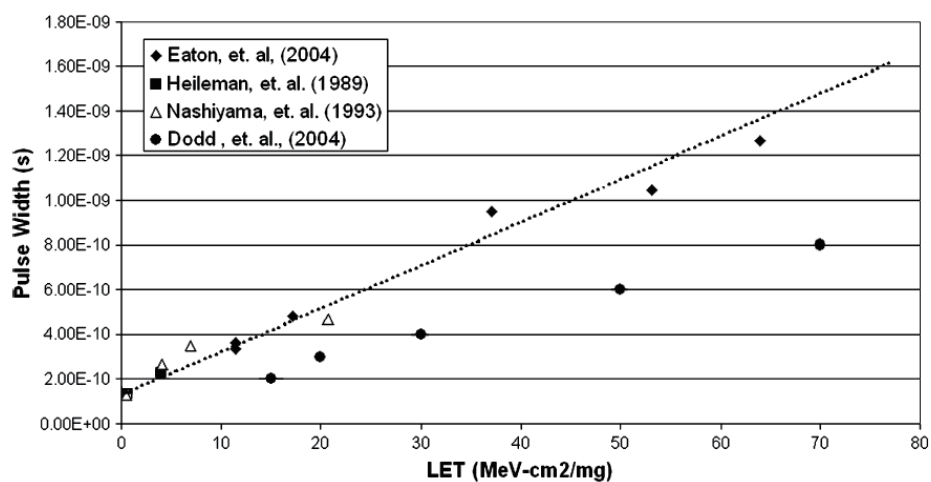


図 5.18 バルクプロセスで作製された NOT 素子で発生する SET パルス幅の LET 依存性測定結果 [15].

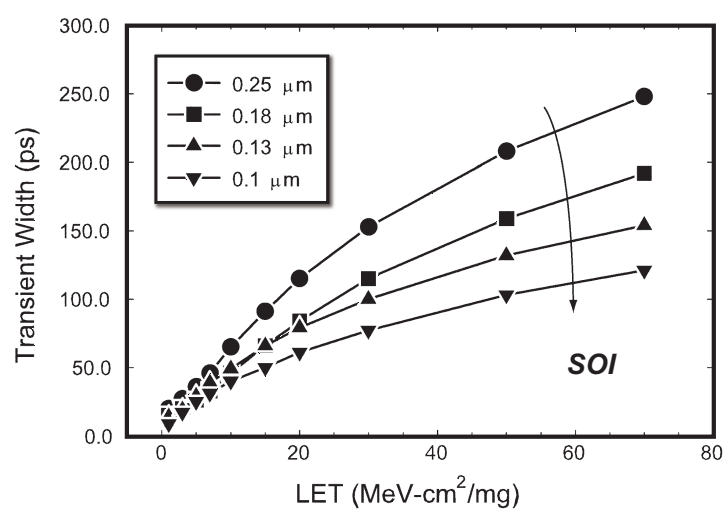


図 5.19 SOI プロセスで作製された NOT 素子で発生する SET パルス幅の LET 依存性シミュレーション結果 [20].

実験結果の再現性

Kr をテストチップに対して 0° ($LET_{eff} = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) で照射した結果 (図 5.5) は 4 章で示した NOT 素子での SET パルス発生率測定 (図 4.4) と同じビーム条件で得られたものである。これらを比較することによって、スナップショット回路を用いた SET パルス幅測定手法の再現性を議論する。それぞれの最頻値 (Mode) は、本測定結果で 0.565 ns 、第 4 章で示した NOT 素子での SET パルス発生率測定で 0.341 ns であった。また、SET パルス幅の分布範囲は、本測定結果で 0.15 ns から 0.85 ns 、第 4 章で示した NOT 素子での SET パルス発生率測定で 0.05 ns から 0.75 ns であった。本測定で得られた SET パルス幅が、第 4 章で示した NOT 素子での SET パルス発生率測定結果に対して 0.1 ns 長かった。

第 4 章で示した NOT 素子での SET パルス発生率測定でも SET パルス幅の測定誤差は較正直線より 0.1 ns 程度であるため、二つの測定結果を比較する場合最大で 0.2 ns 程度の誤差が生じる。第 4 章で示した NOT 素子での SET パルス発生率測定と本測定で得られた SET パルス幅の Mode の差は 0.2 ns 程度と誤差の範囲に含まれる。このことより、本測定結果が第 4 章で示した NOT 素子での SET パルス発生率測定で得られた SET パルス幅分布を再現していると言える。

照射イオン種、エネルギー依存性

図 5.20 に示すように、これまで $0.18 \mu\text{m}$ バルクデバイスの Drain に $\text{Ca } 6.2 \text{ MeV/nucleon}$ を 0° と 45° で照射し、Drain に収集される電荷を測定した結果、それぞれの収集電荷量が実効 LET の考えに従わずほぼ等しくなることが指摘されている [19]。図 5.20 は、SET パルス発生数の積算値を Drain に収集される電荷量の関数で示しており、Drain に収集される電荷量 $250 \sim 350 \text{ fC}$ に注目すると、 0° で照射した際の収集電荷量 250 fC に対して、 45° で照射した際の収集電荷量が 250 fC の $1.4 (= 1/\cos 45^\circ)$ 倍 350 fC と実効 LET の考えに従うが $150 \sim 250 \text{ fC}$ の間では、収集電荷量が 0° と 45° でほぼ等しい。この原因はまだ解明されていないが、重イオンがトランジスタ中に生成する電子正孔対の空間分布と、角度を持った入射によってトランジスタ中の収集領域が複雑に変化することに関係しているとも言われている [19]。重イオンが生成する電子正孔対の空間分布は重イオンのエネルギーと、イオン種によって異なることが知られており、高エネルギー ($> \text{数 GeV/ion}$) 重イオンではその電子正孔対が、重イオン経路から数 μm にわたって分布することもある [29]。今後テクノロジーの向上によって、重イオンが生成する電子正孔対の空間分布に比ベトランジスタサイズが小さくなるため、その影響が顕著になってくるという指摘もある [29]。そのため、これまでも実効 LET の有用性に関して、同一 LET であってもイオン種やイオンエネルギーが違う場合のイオン入射によるソ

フトエラーについての研究がなされている [29–31]. 図 5.17 に示すように, $LET = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 以上における T_{SET} の最頻値は $0.49 \text{ ns} \sim 0.56 \text{ ns}$ と, それぞれ 0.1 ns の測定誤差の範囲に分布していた. また, 本測定 of Kr 49° ($LET = 62 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) 照射と, Xe 0° ($LET = 66 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) 照射で得られた最頻値に注目すると, 両者の値はほぼ一致している. このことから $0.2 \mu\text{m}$ FD-SOI プロセスへ, Kr 322 MeV , Xe 454 MeV を照射を行い, さらに SET パルス幅分布の LET 依存性について最頻値を用いて議論する場合実効 LET の考えが適用可能であると考えられる.

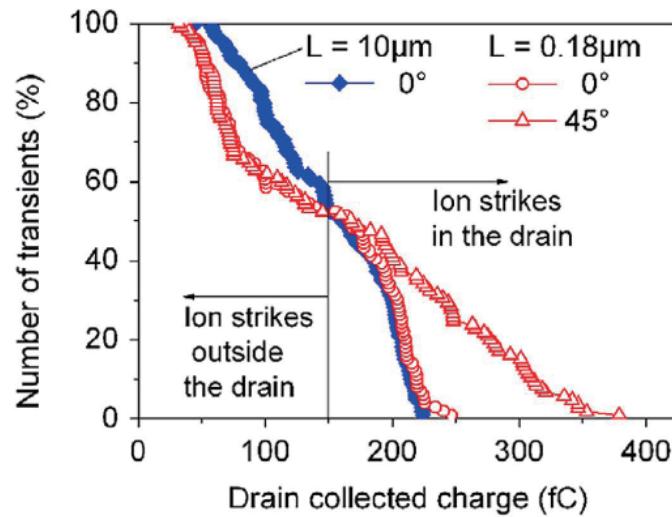


図 5.20 SET パルス発生数の積算値を Drain に収集される電荷量の関数で示しており, Drain に収集される電荷量 $250 \sim 350 \text{ fC}$ に注目すると, 0° で照射した際の収集電荷量 250 fC に対して, 45° で照射した際の収集電荷量が 250 fC の $1.4 (= 1/\cos 45^\circ)$ 倍 350 fC と実効 LET の考えに従うが $150 \sim 250 \text{ fC}$ の間では, 収集電荷量が 0° と 45° でほぼ等しい. [19].

宇宙環境下における SER_{SET} の見積もり

ここで, 実際の宇宙環境下で $LET = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 以上のイオン入射時の SER_{SET} の見積もりを以下の条件を用いて行った. 見積もりは, 第 4 章で得られた NOR 素子と NOT 素子 1 段あたりのソフトエラー率と付録 A の, 図 A.5 に示す銀河宇宙線の積算 LET スペクトルとの積を取ることで行った. 本実験結果で得られた飽和傾向より, $LET = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 以上のイオン入射によって NOT 素子内で発生する SET パルス幅分布は全て $LET = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ と同じであるとした. また, NOR 素子でも同様に $LET = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 以上のイオン入射によって発生する SET パルス幅分布は全て $LET = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ と同じであるとした. 図 A.5 より, 単位立体角辺りの $LET =$

40 MeV·cm²/mg 以上の重イオン Flux は、高度に依らず 10^{-7} (particles/m²·s) である。全方位を考えると 1.25×10^{-6} (particles/m²·s) となる。また、動作周波数 100 MHz で動作させようとした場合の NOR 素子と NOT 素子 1 段あたりのソフトエラー率はそれぞれ 1.25×10^{-9} (cm²), 4.53×10^{-10} (cm²) である。これらの積を取ると、実際の宇宙環境下で LET = 40 MeV·cm²/mg 以上のイオン入射時の論理素子 1 段あたりの SER_{SET} は、NOR 素子で 1.56×10^{-23} (Errors/s), NOT 素子で 5.66×10^{-24} (Errors/s) となる。1 個の記憶素子に接続される論理素子の段数が 10 段程度で、発生した SET が全て記憶素子まで達すると考えると、記憶素子 1 個あたりの SER_{SET} は NOR 素子で 1.56×10^{-22} (Errors/s), NOT 素子で 5.66×10^{-23} (Errors/s) となる。さらに、論理素子のつながった記憶素子が 10,000 個実装された論理 LSI を考えると、論理 LSI 1 個あたりの SER_{SET} は NOR 素子由来で 1.56×10^{-18} (Errors/s), NOT 素子由来で 5.66×10^{-19} (Errors/s) となる。これらを、平均 3 年間といわれる衛星のミッション期間内に発生するエラー数に換算すると 1.48×10^{-10} (Errors/3year), 5.35×10^{-11} (Errors/3year) に相当する。これより、宇宙環境下における 0.2 μ m FD-SOI プロセスで作製された論理 LSI での SER_{SET} は非常に小さいと期待できる。

5.5 SET 対策への提言 –2–

0.2 μm FD-SOI プロセスで作製された NOT 素子で発生する SET パルス幅の LET 依存性は飽和傾向を示すことが実験によって初めて実証された。この結果より、宇宙環境において 0.2 μm FD-SOI プロセスで制作された NOT 素子内で発生する SET パルスの幅は、最大で 1.0 ns であると言える。そのため、宇宙利用を目的とし本 NOT 素子に SET 対策を施す際は、考慮すべき最大パルス幅を 1.0 ns とすればよいと言える。また、回路レベルの SET 対策の一つとして考えられている RC フィルタの時定数を最大で 1.0 ns とすればよいとの知見を得た。

上記以外に、実験結果より得られた提言を述べる。まず、スナップショット回路を用いた SET パルス幅測定は測定結果に再現性があり、SET パルス幅測定手法として有効である。次に、0.2 μm FD-SOI プロセスへ、Kr 322 MeV, Xe 454 MeV を照射を行い、さらに SET パルス幅分布の LET 依存性について最頻値を用いて議論する場合実効 LET の考えが適用可能であると考えられる。最後に、実際の宇宙環境下で LET = 40 MeV $\cdot\text{cm}^2/\text{mg}$ 以上のイオン入射時の SER_{SET} の見積もりを以下の条件を用いて行った結果、0.2 μm FD-SOI プロセスで制作された論理 LSI を動作周波数 100 MHz で動作させようとした場合の論理素子 1 段あたりの SER_{SET} は、NOR 素子で 1.56×10^{-23} (Errors/s), NOT 素子で 5.66×10^{-24} (Errors/s) であった。1 個の記憶素子に接続される論理素子の段数は、10 段程度で発生した SET が全て記憶素子まで達すると考えると、記憶素子 1 個あたりの SER_{SET} は NOR 素子で 1.56×10^{-22} (Errors/s), NOT 素子で 5.66×10^{-23} (Errors/s) となる。さらに、論理素子のつながった記憶素子が 10,000 個実装された論理 LSI を考えると、論理 LSI 1 個あたりの SER_{SET} は NOR 素子由来で 1.56×10^{-18} (Errors/s), NOT 素子由来で 5.66×10^{-19} (Errors/s) となる。これらを、平均 3 年間といわれる衛星のミッション期間内に発生するエラー数に換算すると 1.48×10^{-10} (Errors/3year), 5.35×10^{-11} (Errors/3year) に相当する。これより、宇宙環境下における 0.2 μm FD-SOI プロセスで作製された論理 LSI での SER_{SET} は非常に小さいと期待できる。

5.6 本章のまとめ

バルクプロセスで作製された NOT 素子で発生する SET パルス幅の LET 依存性測定が行われており、SET パルス幅が入射重イオンの LET の増加に対して直線的な増加を示すという報告があった。一方、SOI デバイスに関して、SET パルス幅の LET 依存性シミュレーションが行われており、SET パルス幅が LET の増加に対して飽和傾向を示すと

いう報告があった。このように、発生する SET パルスの幅を決める要因はまだ明らかになっていなかった。また、SOI デバイスで発生する SET パルス幅分布の LET 依存性を測定した結果はこれまでなかった。そのため本章では、 $0.2\ \mu\text{m}$ FD-SOI プロセスで制作された NOT 素子内で発生する SET パルス幅分布の LET 依存性を測定した。

測定の結果、スナップショット回路を用いた SET パルス幅測定は測定結果に再現性があり、SET パルス幅測定手法として有効であることを実証した。これまで SET パルス幅分布の LET 依存性が直線的増加を示すとも言われてきたが、本測定結果により、 $0.2\ \mu\text{m}$ FD-SOI プロセスで作製された NOT 素子で発生する SET パルス幅の最頻値 LET 依存性は飽和傾向を示すことを実験によって初めて実証した。宇宙環境において $0.2\ \mu\text{m}$ FD-SOI プロセスで制作された NOT 素子内で発生する SET パルスの幅は、最大で $1.0\ \text{ns}$ であり、宇宙利用を目的とし本 NOT 素子に SET 対策を施す際は、考慮すべき最大パルス幅を $1.0\ \text{ns}$ とすればよいことがわかった。このことより、回路レベルの SET 対策の一つとして考えられている RC フィルタの時定数を最大で $1.0\ \text{ns}$ とすればよいとの知見を得た。

$0.2\ \mu\text{m}$ FD-SOI プロセスへ、Kr $322\ \text{MeV}$ 、Xe $454\ \text{MeV}$ を照射を行い、さらに SET パルス幅分布の LET 依存性について最頻値を用いて議論する場合実効 LET の考えが適用可能であると考えられることを示した。以上の結果を用いて、実際の宇宙環境下で $\text{LET} = 40\ \text{MeV}\cdot\text{cm}^2/\text{mg}$ 以上のイオン入射時の SER_{SET} の見積もりを以下の条件を用いて行った。その結果、 $0.2\ \mu\text{m}$ FD-SOI プロセスで制作された論理 LSI を動作周波数 $100\ \text{MHz}$ で動作させようとした場合の論理素子 1 段あたりの SER_{SET} は、NOR 素子で 1.56×10^{-23} (Errors/s)、NOT 素子で 5.66×10^{-24} (Errors/s) であった。1 個の記憶素子に接続される論理素子の段数は、10 段程度で発生した SET が全て記憶素子まで達すると考えると、記憶素子 1 個あたりの SER_{SET} は NOR 素子で 1.56×10^{-22} (Errors/s)、NOT 素子で 5.66×10^{-23} (Errors/s) となる。さらに、宇宙環境下における $0.2\ \mu\text{m}$ FD-SOI プロセスで作製された論理 LSI での平均 3 年間といわれる衛星のミッション期間内での SER_{SET} を見積もった結果、非常に小さい値であることを示した。

第 6 章

シミュレーションによる SET パルスの LET 依存性の要因解明

6.1 緒言

第 5 章では、SET パルス幅分布の LET 依存性が飽和傾向を示すことがわかった。これに対して、本章では、SET パルス幅を支配する要因を明らかにするため、デバイス・回路混合シミュレーション (Mixed-Mode Device Simulation) を行った結果について示す。さらに、SET パルス幅のイオン入射位置依存性を同様のシミュレーションで求めることによって SER_{SET} 対策への提言を行う。

論理素子に放射線が当たったときに発生する SET パルス波形を求める方法として Mixed-Mode Device Simulation という方法が広く使われている。この方法では論理素子を構成する複数の素子のうち、放射線が当たった素子だけを、物理デバイスモデル (数値モデル) で再現し、それ以外の素子を SPICE 等の等価回路モデルで再現する。これら異なるモデルについて、互いの境界条件を時々刻々と変えながら同時に解く方法である。

初めに、シミュレーションに用いた各種モデルについて説明を行う。その後、それらのモデルを用いて行ったシミュレーション結果を示す。

6.2 デバイス・回路混合シミュレーション

論理素子に放射線が当たったときに発生する SET パルス波形を求める方法として Mixed-Mode Device Simulation という方法が広く使われている。この方法では論理素子を構成する複数の素子のうち、放射線が当たった素子だけを、物理デバイスモデル (数値モデル) で再現し、それ以外の素子を SPICE 等の等価回路モデルで再現する。これら異なるモデルについて、互いの境界条件を時々刻々と変えながら同時に解く方法である。

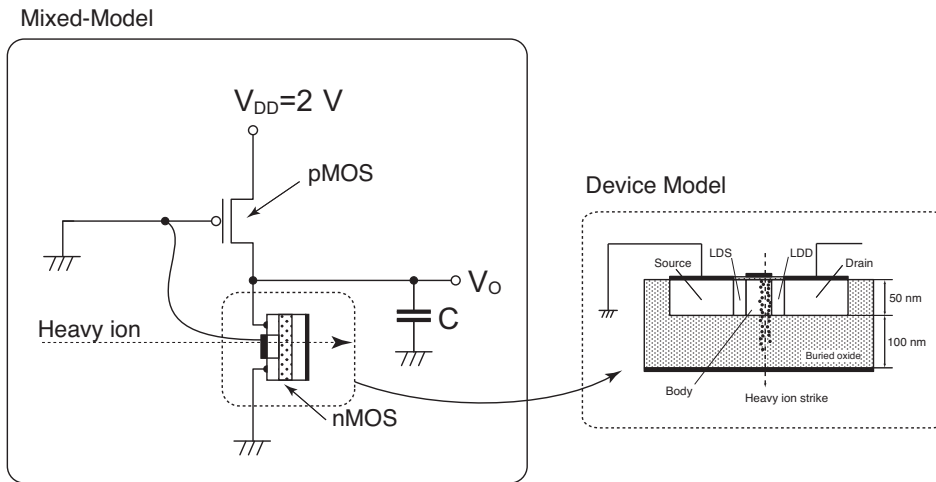


図 6.1 シミュレーションに用いた回路.

シミュレーションモデルは、図 6.1 に示すように、NOT 素子の Mixed-Model を用い NOT 素子内の n 型 FD-SOI MOSFET を数値モデル (Device Model) とした. n 型 MOSFET を数値モデルとした理由としては、より長い SET パルスを実シミュレーションするためである. 本研究で対象としている NOT 素子を構成する n 型 MOSFET と p 型 MOSFET では、p 型 MOSFET の Gate 面積の方が大きく、結果として p 型 MOSFET の抵抗値も n 型 MOSFET に比べ大きくなる. そのため、n 型 MOSFET へイオンが入射した場合に変動する電圧を回復させる電流値も小さくなる. 変動した電圧を回復させるための電流値が小さいため、それだけ回復に時間がかかり、パルスが長くなる. pMOS と出力付加容量は SPICE で再現した. シミュレーションには、Synopsys Sentaurus TCAD を用いた. 以下に、シミュレーションに用いた各モデルの詳細を示す.

シミュレーションは、[32–34] で用いられた NOT 素子モデル、物理デバイスモデル、物理モデルと同じものを用いた. 以下では、用いたモデルの説明を行う.

6.2.1 回路モデル

NOT 素子モデル

回路モデルは、図 6.2 に示す NOT 素子を想定し、次に説明する物理デバイスモデルで実装した nMOS に重イオンが入射した時の V_O での SET パルス幅を求めた. 電源電圧は 2 V とし、図 6.3 に示すように SET パルス幅は $1/2V_{DD}$ の時間幅とした. PMOS トランジスタは、BSIM3 SPICE モデルによる等価回路を用いて実装し、Gate 長と幅はともに $1.0 \mu\text{m}$ とした. NOT の入力は接地してあり、出力付加容量 2.8 fF 一定と仮定した. 出力付加容量は、次段に NOT 素子が接続した状態を模擬するものであり、次段 NOT 素子のゲート容量を理論的に計算した値である [32–34]. この回路モデルと、物理デバイス

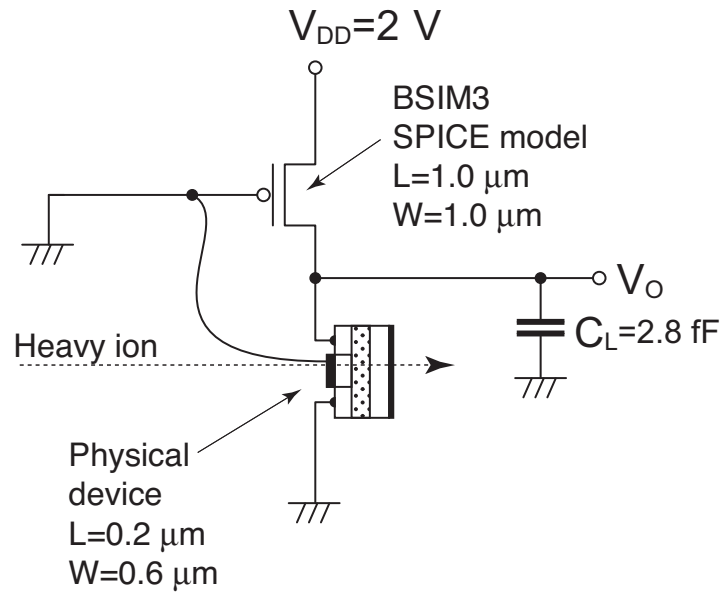


図 6.2 SPICE を用いて仮定した NOT 素子等価回路.

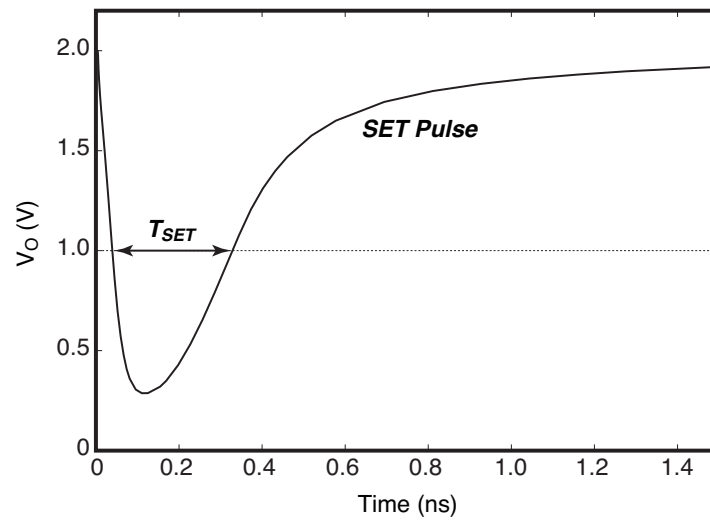


図 6.3 SET パルス波形の例と, SET パルス幅. SET パルス幅は $1/2V_{DD}$ の時間幅とした.

モデルは, SET パルスのおおまかな特性を再現しており, 定性的な振る舞いを検証するものである. そのため, 本モデルは実験で用いた実際のデバイスそのものを表す物ではない.

物理デバイスモデル

nMOS は, $0.2\ \mu\text{m}$ FD-SOI プロセスを想定し, 図 6.4 に示す物理デバイスモデルを用いた [32–34]. $100\ \text{nm}$ 厚の埋め込み酸化膜層 (Buried Oxide 層: BOX 層) 上に $50\ \text{nm}$ 厚の SOI 層を有しており, その上に $5\ \text{nm}$ 厚の酸化膜層がある. ゲート長は, $0.2\ \mu\text{m}$ で,

Source, Drain 領域と Body 領域との境界にはそれぞれ $0.1\ \mu\text{m}$ の Light Doped Source 領域 (LDS) と Light Doped Drain 領域 (LDD) がある。ゲート幅は、 $0.6\ \mu\text{m}$ とした。次に示す SET パルス幅のイオン入射位置依存性要因説明シミュレーションの結果より、重イオンの入射はゲート中心から $0.05\ \mu\text{m}$ の位置への垂直入射を想定し、SOI 層内での LET は一定とした。また、物理デバイスモデルでの計算時間を短縮するため、図 6.5 に示すようにゲート幅 $0.6\ \mu\text{m}$ の半分のデバイスモデルでの計算を行い、ゲート幅方向の対称性を利用して、ゲート幅 $0.6\ \mu\text{m}$ で計算を行ったのと等価の結果を得た [32–34]。

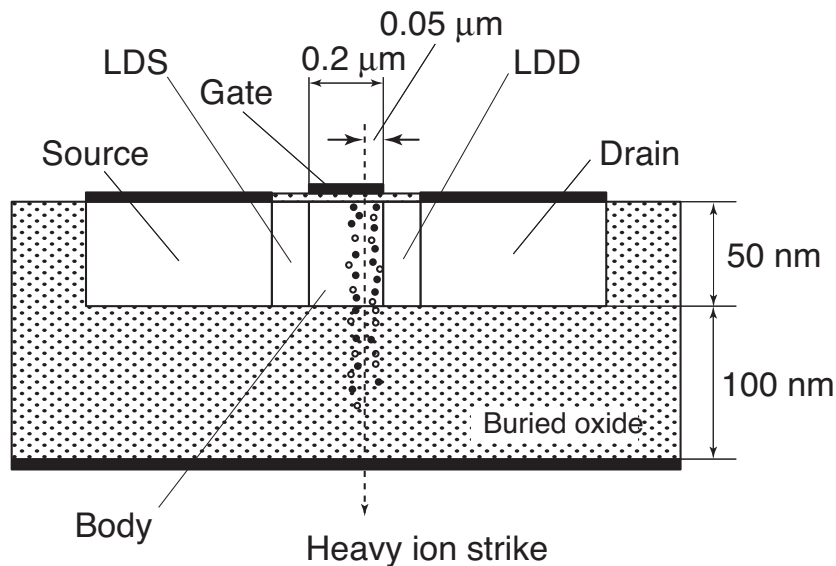


図 6.4 $0.2\ \mu\text{m}$ FD-SOI プロセスの nMOS を想定した物理デバイスモデル。

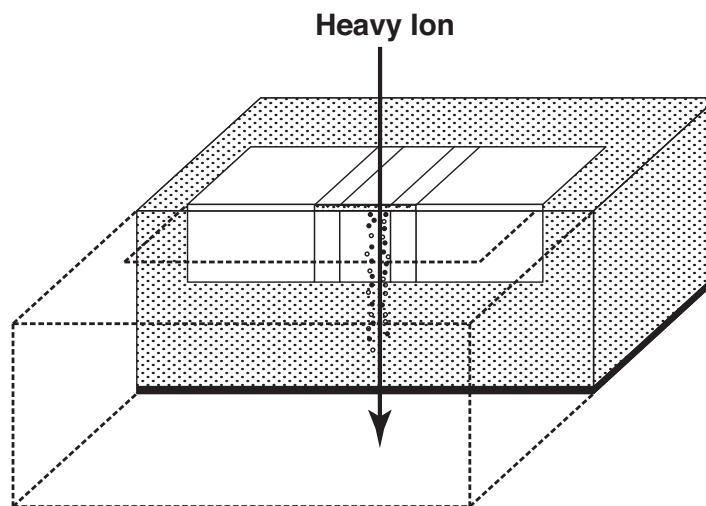


図 6.5 対称性を利用した計算の概念図。

6.2.2 物理モデル

物理デバイスモデルでの各現象については以下の物理モデルを用いて計算を行っている。

- 1) Carrier recombination: Shockley-Read-Hall, Auger, Radiative, InterfaceSRH.
- 2) Carrier generation: Shockley-Read-Hall, Auger, Radiative, Band-to-band, Avalanche.
- 3) Intrinsic carrier concentration: Bandgap narrowing.
- 4) Mobility: Doping-dependent, High-field.
- 5) Carrier transport equations: Hydrodynamic.

6.2.3 電子正孔対生成モデル

デバイスシミュレーションにおいて、イオンの入射は、図 6.6 に示すようにイオンの経路に沿って電子正孔対の分布を置くことで模擬している。

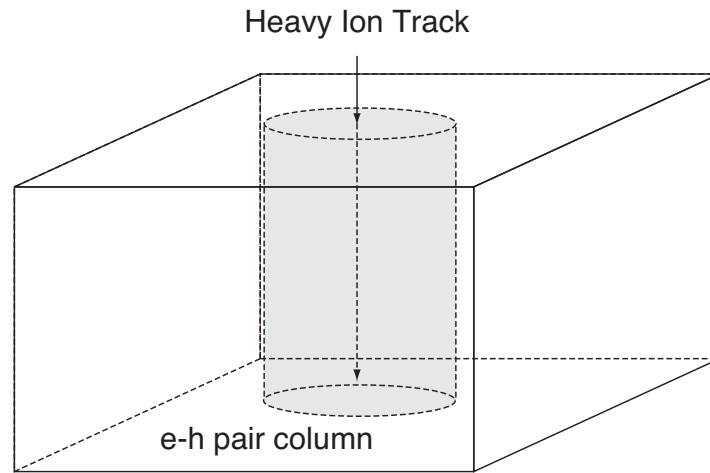


図 6.6 イオン入射による電子正孔対.

一般的に電子正孔対生成モデルは、以下の式を用いて生成電子正孔対量、空間分布、時間変化を表現する [35].

$$G(l, w, t) = G_{LET}(l) \times R(w, l) \times T(t) \quad (6.1)$$

式 6.1 中の $T(t)$ は、電子正孔対生成量の時間変化を定義する関数で以下のように表される。

$$T(t) = \frac{2 \cdot \exp\left(-\left(\frac{t - time}{s_{hi}}\right)^2\right)}{s_{hi} \sqrt{\pi} (1 - \operatorname{erf}\left(\frac{time}{s_{hi}}\right))} \quad (6.2)$$

ここで, s_{hi} は, 電子正孔対の生成が始まる時間で, 0.7 ps とした. $time$ は, 単位時間辺りの生成量のピーク時間を定義しており 5 ps とした.

6.1 式中の $R(w, l)$ は, 電子正孔対の空間分布を定義する関数で以下に示すようにガウス関数型, もしくは指数関数型で電子正孔対密度を表現する.

ガウス関数型

$$R(w, l) = e^{-\left(\frac{w}{w_t}\right)^2} \quad (6.3)$$

指数関数型

$$R(w, l) = e^{-\left(\frac{w}{w_t}\right)} \quad (6.4)$$

ここで, w_t は, 分布関数の半値幅で 70 nm とした.

6.1 式中の $G_{LET}(l)$ は生成電子正孔対量を定義する関数で, 電子正孔対の空間分布をガウス関数型で表現するか, 指数関数型で表現するかによって関数が異なる.

ガウス関数型の時

$$G_{LET}(l) = LET_f(l) \times \frac{1}{2\pi w_t^2} \quad (6.5)$$

指数関数型の時

$$G_{LET}(l) = LET_f(l) \times \frac{1}{\pi w_t^2} \quad (6.6)$$

ここで $LET_f(l)$ は生成電子正孔対量で, 付録 B.1 式から求められるように pC/ μ m で入力するか, pairs/cm³ で入力するかを選べる.

6.3 実際の電子正孔対生成モデルの導入

これまでの、6.1 式にあるように、簡易的な電子正孔対生成モデルしか用いられてこなかった。しかし、実験をより忠実に再現するためには、イオンがデバイス内に生成する電子正孔対分布を正確に入力する必要がある。そこで、本シミュレーションでは、Kobetich と Katz の理論 [36,37] を基に、実際に実験に用いたイオンがデバイス内に生成する電子正孔対分布を求めた。そして、その電子正孔対分布を電子正孔対生成モデルとして独自の方法で導入した。本電子正孔対生成モデルを用いたシミュレーション結果と、簡易的なガウス関数型の電子正孔対生成モデルを用いた時のシミュレーション結果の比較については、付録 E を参照されたい。

6.3.1 Kobetich と Katz の理論

Kobetich と Katz の理論とは重イオンが水に入射した時に発生する δ 線の数 (n) を半径方向の距離 (t) の関数で表す解析式のことをいい、入射物質のパラメータを加えることによって水以外の物質内での線量分布を求められるようにしたものである [36,37]。6.7 式に Kobetich と Katz の式を示す。

$$n(t) = \frac{2\pi N Z^{*2} e^2}{m v^2 t^2} \left[1 - \beta^2 \frac{t}{t_m} + \frac{\pi \beta z}{137} \left(\frac{t}{t_m} \right)^{1/2} \left(1 - \frac{t}{t_m} \right) \right] \quad (6.7)$$

n : δ 線の数.

m : 電子の質量 [$9.11 \times 10^{-31} kg$].

c : 光速 (真空中) [$2.99792458 \times 10^8 m/s$].

N : 水中の電子密度 [$electrons/cm^3$].

e : 電気素量 [$1.602 \times 10^{-19} C$].

Z^* : 実効電荷 (effective charge).

t_m : δ 線の最大飛程. [g/cm^2]

ここで Z^* は実効電荷 (effective charge) と呼ばれるもので、入射粒子の Z (原子番号) と β から、以下の式で求められる。

$$Z^* = Z[1 - \exp(-125\beta Z^{-2/3})] \quad (6.8)$$

以下に示す式は、Waligorski 等がアルミニウム中での線量分布 (D [Gy]) を求めるために 6.7 式を拡張した式である [38].

$$D_1(t) = \frac{Ne^4 Z^{*2}}{\alpha mc^2 \beta t} \left[\frac{(1 - \frac{t+\theta}{T+\theta})^{1/\alpha}}{t + \theta} \right] \quad (6.9)$$

t : イオン経路に垂直方向の半径 [nm].

m : 電子の質量 [$9.11 \times 10^{-31} kg$].

c : 光速 (真空中) [$2.99792458 \times 10^8 m/s$].

β : v/c (v : 入射イオンの速度 [m/s]).

N : 水中の電子密度 [$electrons/cm^3$].

e : 電気素量 [$1.602 \times 10^{-19} C$].

Z^* : 実効電荷 (effective charge).

θ と T は、以下に示すアルミニウム中の電子の飛程 r (g/cm^2) とエネルギーの関係をを用いて表されている.

$$r = kw^\alpha \quad (6.10)$$

ここで k は定数 ($6 \times 10^{-6} [g/cm^2 keV^\alpha]$), w は δ -線の運動エネルギー,

$$\alpha = \begin{cases} 1.079 & w < 1 \text{ keV} \\ 1.667 & w > 1 \text{ keV} \end{cases} \quad (6.11)$$

である. また, 入射物質のイオン化ポテンシャルを I , δ -線が入射物質をイオン化するまでの飛程を θ また, δ -線の最大エネルギーを W とおくと 6.10 式の関係より T と θ はそれぞれ,

$$\theta = kI^\alpha \quad (6.12)$$

$$T = kW^\alpha \quad (6.13)$$

と表せる. 以上が Waligorski 等によってアルミニウム中での線量分布を求めるために拡張された式である. Fageeha 等はシリコン中での線量分布を求めるため, 以下のように修正項 $k(t)$ を加えた. この修正された式は, 多くの実験データやモンテカルロ計算との比較によって, その有用性が確認されている [29, 40–42]. 本シミュレーションでは, Fageeha 等によってさらにシリコン中での線量分布を求めるために拡張された 6.14 式を用いて電子正孔対分布を求めた [39].

$$D(t) = D_1(t)[1 + k(t)] \quad (6.14)$$

修正項 $k(t)$ は以下に示す通りである.

$$k(t) = A\beta^B(t - 0.1)\exp(-t/c) \quad (6.15)$$

ここで, $B = 0.215$, $C = 3.127 - 0.434\beta$,

$$A = \begin{cases} 0 & \beta < 0.0081 \text{ のとき} \\ 112\beta - 0.899 & 0.0081 < \beta < 0.091 \text{ のとき} \\ 0.674\beta + 0.921 & \beta > 0.091 \text{ のとき} \end{cases} \quad (6.16)$$

である. この修正式を用いる場合, 水中の電子密度 N を以下の式に基づいてシリコンの電子密度に変更する必要がある.

$$N = A_v \frac{\rho Z}{A} \quad (6.17)$$

A_v はアボガドロ数 ($6.02 \times 10^{23} [\text{mol}^{-1}]$), ρ , Z , A はそれぞれシリコンの密度, 原子番号, 質量数である. 以上の式から重イオンによるシリコン中の線量分布を求める. 重イオン入射による電子正孔対分布は, 半径 t での線量 (Gy) をシリコン単位体積辺りのエネルギー付与 (eV/cm^3) に変換し, 付録 B.1 式のようにシリコン中での電子正孔対生成エネルギーで除することで単位体積辺りの電子正孔対密度 (cm^3) が導出できる.

図 6.7 に 6.14 式によって求めた実際的な電子正孔対生成モデルと, 6.3 式を用いて求めたガウス関数型電子正孔対生成モデルの例を示す. 電子正孔対生成モデルは, 電子正孔対生成密度をイオン経路に垂直な半径の関数で表される. 実線は, 実験で用いた Xe がシリコン中に作る電子正孔対の密度分布を表す実際的な電子正孔対生成モデルであり, 破線は LET $105 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ のイオンがシリコン中に作る電子正孔対の密度分布を 6.3 式で表したガウス関数型の電子正孔対生成モデルである. 両者は, 同じ量の電子正孔をシリコン中に生成する. Xe 289 MeV のイオンがシリコンへ付与する LET は $66 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ であるが, 電子正孔対生成モデル上では, LET $105 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 相当の電子正孔対をシリコン中に生成する. これは, 6.14 式を導出する際に参照した実験値とモンテカルロ計算の精度の限界からきた誤差であると考えられる. 10 keV 以下の電子の検出は非常に難しく, 精度の良い実験結果は皆無であり, その結果, 実験結果を参照するモンテカルロ計算の精度も 10 keV 以下では保証されていない. そのため, 今回シミュレーションに用いる実際的な電子正孔対生成モデルは, 総生成電子正孔対量から算出した LET 相当のイオンとして扱った.

実際的な電子正孔対生成モデルにおける電子正孔対密度の最大値は, $10^{24} (1/\text{cm}^3)$ に達するが, この最大生成電子正孔対量の妥当性について考える. Si 1 cm^3 当たりの原子数は $5 \times 10^{22} (\text{atm}/\text{cm}^3)$ と実際的な電子正孔対生成モデルにおける電子正孔対密度の最大

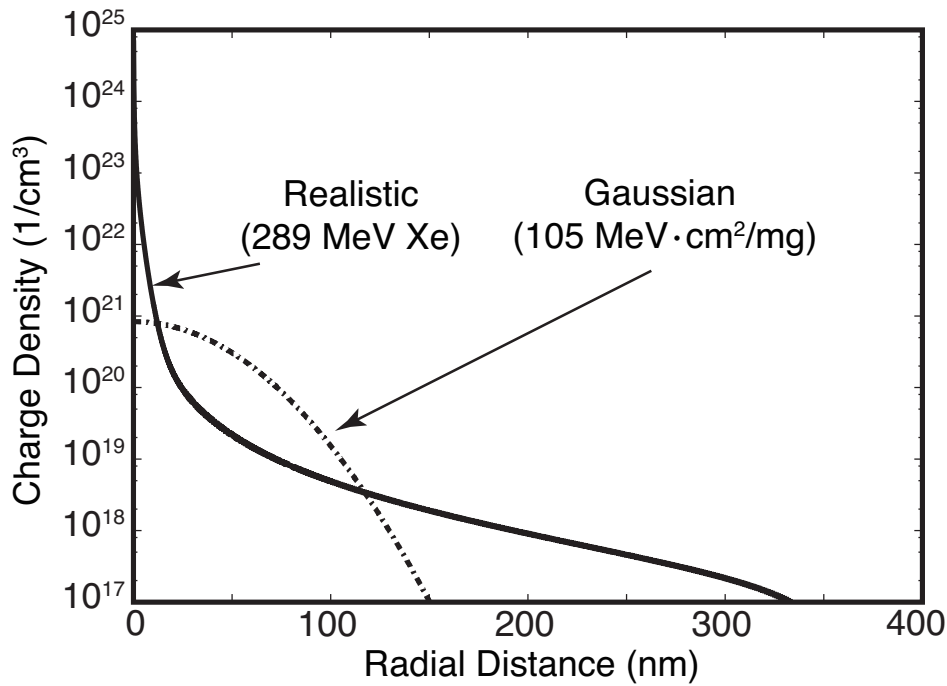


図 6.7 実際の電子正孔対生成モデル (実線) と、ガウス関数型の電子正孔対生成モデル (破線).

値に対して $1/20$ 程度である。価電子を考えると，Si 原子の価電子数は 4 で，Si $1 \text{ (cm}^3\text{)}$ 当たりの価電子数は $2 \times 10^{23} \text{ (electrons/cm}^3\text{)}$ となるが，この価電子が全て電離したとしても $10^{24} \text{ (1/cm}^3\text{)}$ に対して $1/5$ である。ここで，イオン経路からの半径方向の分布を考える。イオン経路からの半径 $1 \sim 5 \text{ \AA}$ までの実際の電子正孔対生成モデルにおける電子正孔対密度は， $10^{24} \sim 10^{22} \text{ (1/cm}^3\text{)}$ にわたって分布している。しかし，Si の格子定数は 5.43 \AA であるため，イオン経路からの半径 $1 \sim 5 \text{ \AA}$ 間に上記のような電子正孔対の大きな密度勾配は存在しないはずである。そこで，イオン経路からの半径 $1 \sim 5 \text{ \AA}$ までの実際の電子正孔対生成モデルにおける電子正孔対密度 $10^{24} \sim 10^{22} \text{ (1/cm}^3\text{)}$ を積分しイオン経路からの半径で除すことで得られる平均値 (約 $10^{23} \text{ (1/cm}^3\text{)}$) を最大電子正孔対密度とみなすことにする。すると，Si $1 \text{ (cm}^3\text{)}$ 当たりの価電子数 $2 \times 10^{23} \text{ (electrons/cm}^3\text{)}$ と一致し，イオン経路からの半径 $1 \sim 5 \text{ \AA}$ における実際の電子正孔対生成モデルによる電子正孔対量は妥当な値であると考えられる。ただし以降では，簡単の為に，イオン経路からの半径 $1 \sim 5 \text{ \AA}$ までの密度分布を平均化せずに，計算を行う。この場合，電子正孔対密度の最大値 $10^{24} \text{ (1/cm}^3\text{)}$ に対して，Si $1 \text{ (cm}^3\text{)}$ 当たりの価電子数 $2 \times 10^{23} \text{ (electrons/cm}^3\text{)}$ と両者の差が $1/5$ 程度と小さいことと， $10^{24} \text{ (1/cm}^3\text{)}$ の電子正孔対密度の領域が非常に短いため，後のシミュレーション結果に対して大きな影響を与えることはないと思われ。

6.3.2 デバイスシミュレーションへの導入

実際的な電子正孔対生成モデルを用いた LET 依存性をシミュレーションするために、実験に用いた Kr, Xe, 以外にも、加速器実験でよく用いられる, Ar (200 MeV), Ni (180 MeV), Au (300 MeV) についても実際的な電子正孔対生成モデルを作製した。それぞれの電子正孔対生成モデルを図 6.8~6.12 に示す。

デバイスシミュレーションでは、ガウス関数型 (6.3 式), 指数関数型 (6.4 式) の電子正孔対分布関数しか入力できないため、先の解析式 (6.14 式) によって求めた実際的な電子正孔対生成モデルをそのままデバイスシミュレーションに入力することは出来ない。そのため、図 6.8~6.12 に示すように 7~8 個の指数関数型電子正孔対生成モデル (一点破線) の重ね合わせによって実際的な電子正孔対生成モデル (黒破線) に対して近似 (赤実線) した。そして、この 5~7 個の指数関数型電子正孔対生成モデル (一点破線) をデバイスシミュレーションに入力した。指数関数型電子正孔対生成モデル (一点破線) は最小二乗法で求めた。それぞれの図中には、実際的な電子正孔対生成モデルの総生成電子正孔対量から算出した LET を示してある。

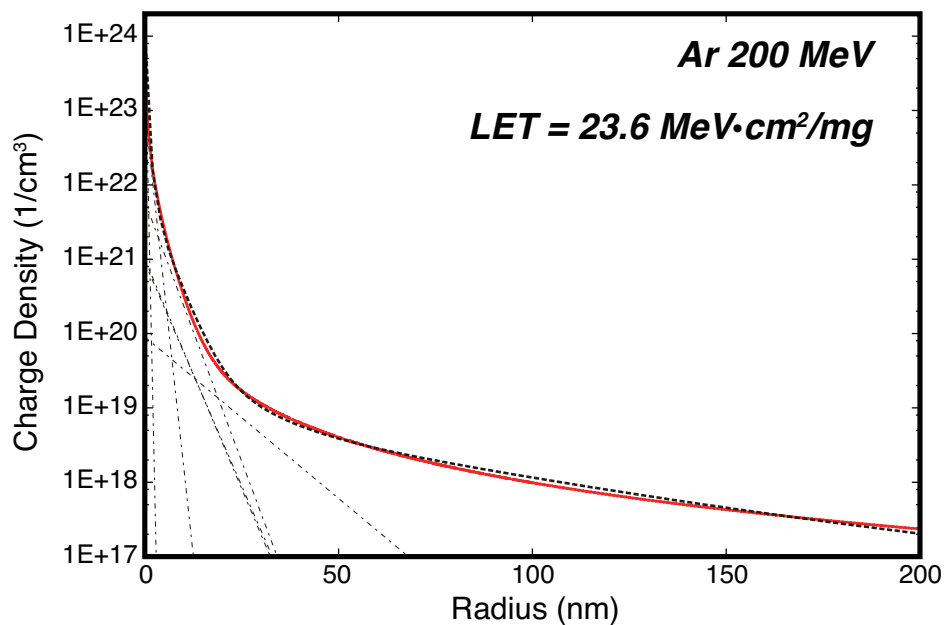


図 6.8 Ar 200 MeV における実際的な電子正孔対生成モデル (赤実線) と近似曲線 (黒破線)。近似曲線のために重ね合わせた 8 本の指数関数型電子正孔対生成モデルを一点破線で表してある。

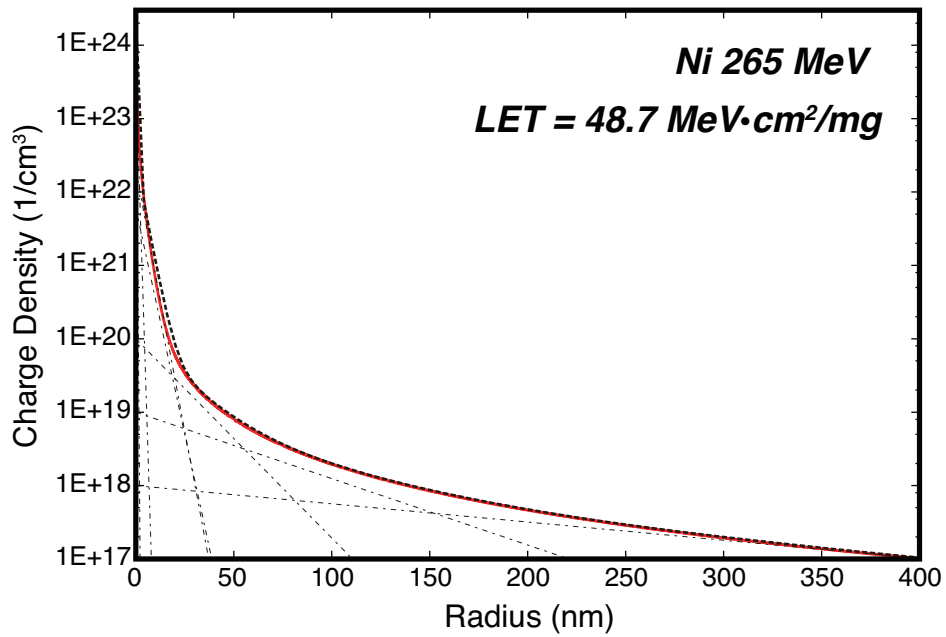


図 6.9 Ni 265 MeV における実際的な電子正孔対生成モデル (赤実線) と近似曲線 (黒破線)。近似曲線のために重ね合わせた 7 本の指数関数型電子正孔対生成モデルを一点破線で表してある。

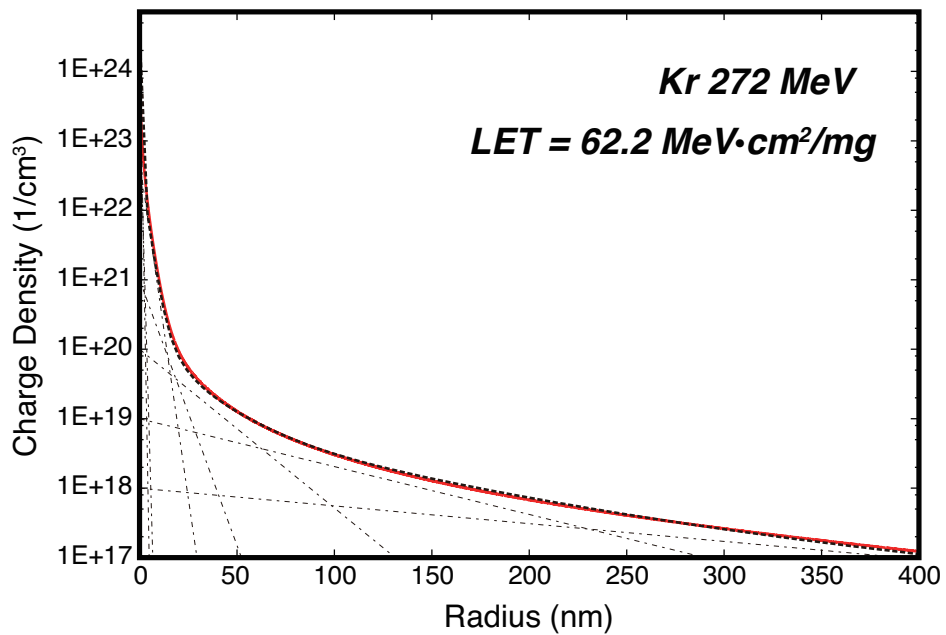


図 6.10 Kr 272 MeV における実際的な電子正孔対生成モデル (赤実線) と近似曲線 (黒破線)。近似曲線のために重ね合わせた 7 本の指数関数型電子正孔対生成モデルを一点破線で表してある。

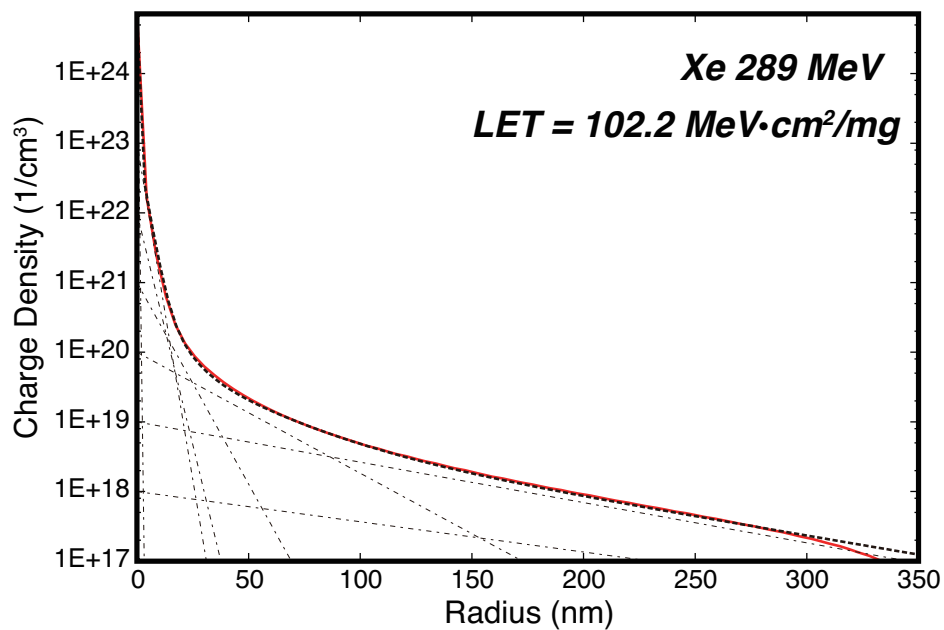


図 6.11 Xe 289 MeV における実際的な電子正孔対生成モデル (赤実線) と近似曲線 (黒破線). 近似曲線のために重ね合わせた 7 本の指数関数型電子正孔対生成モデルを一点破線で表してある.

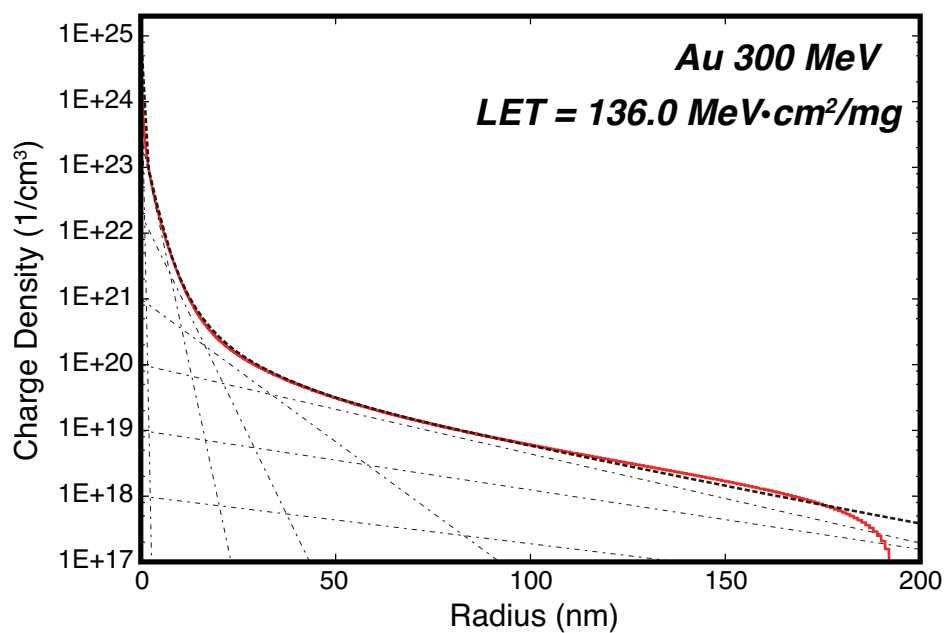


図 6.12 Au 300 MeV における実際的な電子正孔対生成モデル (赤実線) と近似曲線 (黒破線). 近似曲線のために重ね合わせた 7 本の指数関数型電子正孔対生成モデルを一点破線で表してある.

表 6.1 各電子正孔対生成モデルのエネルギーと生成電子数.

Ion	Energy [MeV]	生成電子正孔対量 (6.14 式) [e-h pairs/nm]	生成電子正孔対量 (近似値) [e-h pairs/nm]
Ar	200	1490	1472
Ni	265	3070	3041
Kr	272	4700	3890
Xe	289	6990	6470
Au	300	9170	8510

6.4 シミュレーション結果

シミュレーションは、以下の3点に注目して行った。

- 1) SET パルス幅のイオン入射位置依存性
- 2) SET パルス幅へのキャリア再結合の影響
- 3) SET パルス幅へのキャリア再結合プロセスの影響

1) SET パルス幅のイオン入射位置依存性

実験において、SET パルス幅分布の最頻値が飽和傾向を示していた。この飽和傾向を示す要因を解明するためには、最頻値の幅を持つ SET パルスの LET 依存性をシミュレーションすることが必要である。そのため、初めに SET パルス幅のイオン入射位置依存性をシミュレーションし最頻値の幅を持つ SET パルス発生箇所の特定制を行った。また、最頻値以上の SET パルス幅の発生箇所を特定することができれば、デバイス中のどこに対策を施せば良いかも明らかにできる。

シミュレーションには、図 6.4 に示す 3 次元物理デバイスモデルを用いた [32–34]。100 nm 厚の埋め込み酸化膜層 (Buried Oxide 層: BOX 層) 上に 50 nm 厚の SOI 層を有しており、その上に 5 nm 厚の酸化膜層がある。ゲート長は、 $0.2\ \mu\text{m}$ で、Source, Drain 領域と Body 領域との境界にはそれぞれ $0.1\ \mu\text{m}$ の Light Doped Source 領域 (LDS) と Light Doped Drain 領域 (LDD) がある。ゲート幅は、 $0.6\ \mu\text{m}$ とした。ゲート長方向だけではなく、ゲート幅方向への重イオン入射依存性をシミュレーションするため図 6.5 に示すような対称性はない。図 6.13 はシミュレーションに用いた物理デバイスモデルを上から見た図である。イオン入射領域は、図 6.13 中の斜線部内であり、Body 中心を原点にゲート長方向を x 軸、ゲート幅方向を z 軸とし、 $x = -0.1 \sim 0.2\ \mu\text{m}$ の間かつ、 $z = -0.25 \sim 0.25\ \mu\text{m}$ の間である。イオン入射位置は、中心から x 軸、 z 軸それぞれ $0.05\ \mu\text{m}$ ごととした。簡単のため、本シミュレーションで用いた電子正孔対生成モデルはガウス関数型で $\text{LET} = 40\ \text{MeV}\cdot\text{cm}^2/\text{mg}$ を想定し、SOI 層内での LET は一定とした。また、6.2.2 に示す物理モデルのパラメータも簡単のためデフォルト値を用いた。

図 6.14 に SET パルス幅のイオン入射位置依存性シミュレーション結果を示す。図 4.9 でも示した通り SET パルス幅の x 軸方向の入射位置依存性は、 $x = 0.1\ \mu\text{m}$ で最大値を示し、SET パルスはゲート長の 1.5 倍程度の領域で発生する。図 6.14 より、 $z = -0.25 \sim 0.25\ \mu\text{m}$ の範囲では z 軸方向の入射位置依存性はほとんどないことがわかる。また、シミュレーションによって SET パルス幅分布が得られることがわかった。

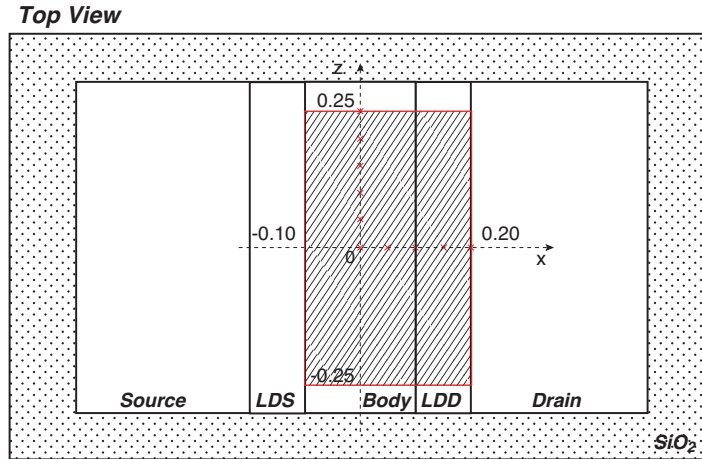


図 6.13 SET パルス幅のイオン入射位置依存性シミュレーションに用いた物理デバイスモデルを上から見た図. $0.2 \mu\text{m}$ FD-SOI プロセスを想定し 100 nm 厚の埋め込み酸化膜層 (Buried Oxide 層: BOX 層) 上に 50 nm 厚の SOI 層を有しており, その上に 5 nm 厚の酸化膜層がある. ゲート長は $0.2 \mu\text{m}$ で, Source, Drain 領域と Body 領域との境界にはそれぞれ $0.1 \mu\text{m}$ の LDS と LDD がある. ゲート幅は $0.6 \mu\text{m}$ とした. ゲート長方向だけではなく, ゲート幅方向へのイオン入射依存性をシミュレーションするため図 6.5 に示すような対称性はいっていない. 重イオン入射位置は図 6.13 中の斜線部内であり, Body 中心を原点に Gate 長方向を x 軸, ゲート幅方向を z 軸とし, $x = -0.1 \sim 0.2 \mu\text{m}$ の間かつ, $z = -0.25 \sim 0.25 \mu\text{m}$ の間に中心から x 軸, z 軸それぞれ $0.05 \mu\text{m}$ ごととした.

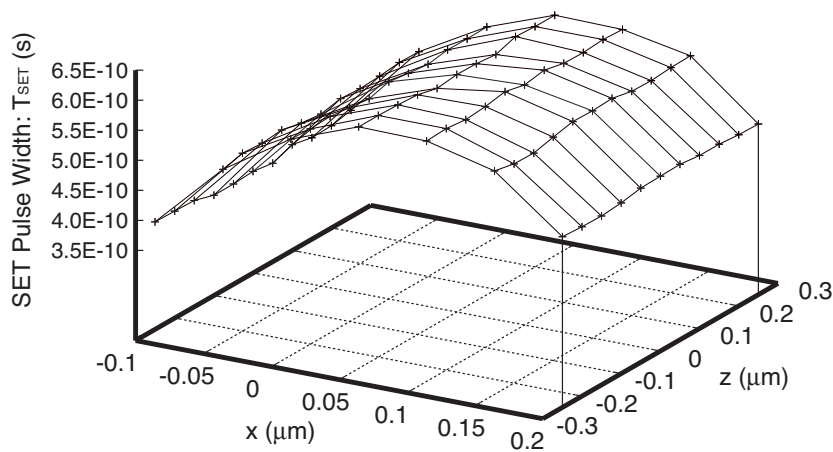


図 6.14 SET パルス幅のイオン入射位置依存性シミュレーション結果. x 軸, z 軸は図 6.13 の x 軸, z 軸に対応.

SET パルス幅のイオン入射位置依存性は、主に寄生バイポーラ効果のイオン入射位置依存によるものである [19]。寄生バイポーラ効果は、デバイス内に生成された過剰キャリアによって Body 内の静電ポテンシャルが下がり、Source 内の電子が Drain に流れ込む現象である。また、一般的に寄生バイポーラ効果は、Body 中に生成された過剰キャリアの量に比べ収集電荷量が多く観測される現象である。図 6.15 に PD-SOI デバイスにおけるバイポーラゲイン ($\beta = \text{Drain に収集される電荷量/重イオンによってデバイス内に生成される電荷量}$) の実測値を示す [19]。実測時、イオンはデバイス全体に照射されており、図 6.15 の分布は、デバイス上の様々な位置で発生したパルスによる Drain 収集電荷を示している。この時、ゲインは 1 ～ 10 まで分布しておりバイポーラゲインにイオン入射位置依存性があるとわかる。

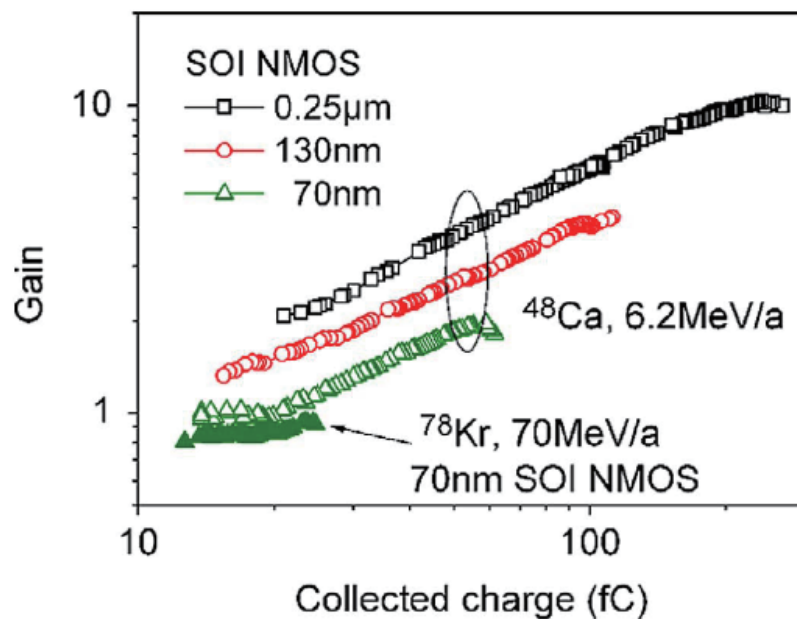


図 6.15 PD-SOI デバイスにおけるバイポーラゲイン ($\beta = \text{Drain に収集される電荷量/重イオンによってデバイス内に生成される電荷量}$) の実測値 [19]。

図 6.16 に、この SET パルス幅のイオン入射位置依存性シミュレーションで得られた SET パルス幅をこれまでの実験結果と同様のヒストグラムで表す。ヒストグラムの 1 本の柱が表す SET パルス幅の範囲は 0.1 ns としてある。柱内に含まれる SET パルスの幅は、最短の柱で $0 \text{ (ns)} < T_{SET} \text{ (ns)} \leq 0.1 \text{ (ns)}$ である。以降、 $0.1 \text{ (ns)} < T_{SET} \text{ (ns)} \leq 0.2 \text{ (ns)}$... と続いていく。ヒストグラムからわかる通り、シミュレーションで得られた SET パルス幅分布は、0.55 ns に最頻値を持ち、0.35 ns から 0.65 ns にわたって分布を持つ。ここで、最頻値以上 ($T_{SET} \geq 0.55 \text{ ns}$) の幅を持つ SET パルス発生箇所を図 6.17 に示す。図中赤線内は、図 6.13 に示す重イオン入射領域に対応し、図中斜線部は、最頻値以

上 ($T_{SET} \leq 0.55$ ns) の幅を持つ SET パルス発生領域を示している。図 6.17 より、最頻値以上の幅を持つ SET パルスが発生するのは Body 中心から x 軸方向に $0.15 \mu\text{m}$ までの領域であることがわかる。このことより、本章では以降、最頻値を想定したシミュレーションを行うため、イオンが $x = 0.05 \mu\text{m}$ に入射することを想定する。また、最頻値以上の SET パルス幅の発生箇所を特定することができた。この結果より、Body 中心から x 軸方向に $0.15 \mu\text{m}$ までの領域に何らかの対策を施すことによって SET パルスによるソフトウェアの低減が期待される。

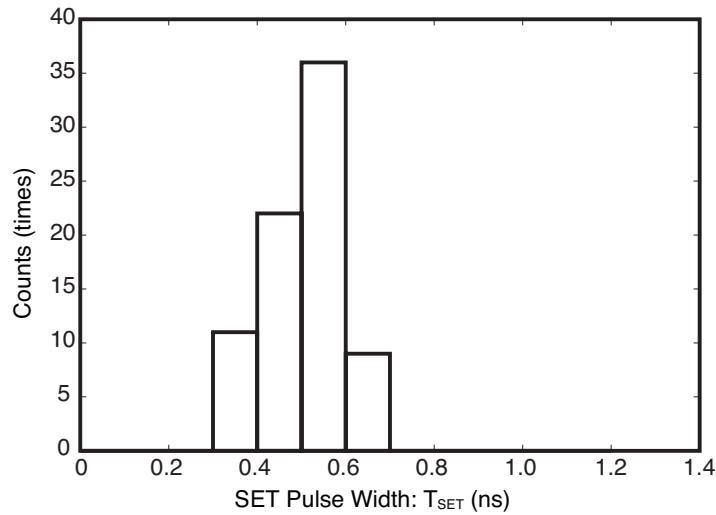


図 6.16 SET パルス幅のイオン入射位置依存性シミュレーションで得られた SET パルス幅分布のヒストグラム。

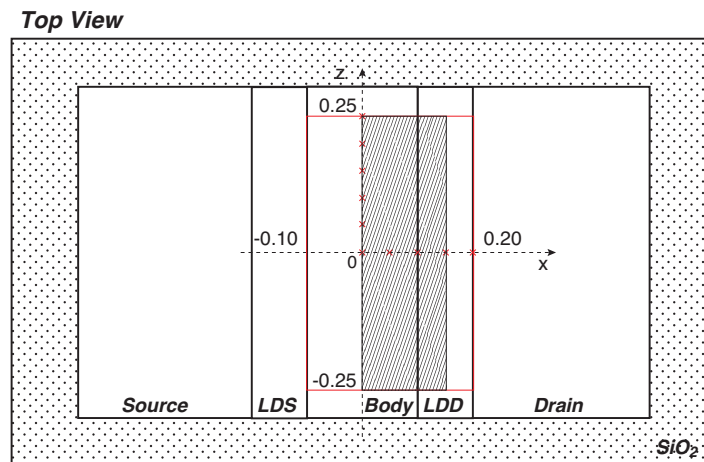


図 6.17 最頻値以上 ($T_{SET} \leq 0.55$ ns) の幅を持つ SET パルス発生領域。図中赤線内は、図 6.13 に示す重イオン入射領域に対応し、図中斜線部は、最頻値以上 ($T_{SET} \geq 0.55$ ns) の幅を持つ SET パルス発生領域を示している。

2) SET パルス幅へのキャリア再結合の影響

第5章において、入射イオンの LET の増加によって生成電荷量が増加するにもかかわらず、SET パルス幅分布の最頻値はほぼ一定の飽和傾向を示していた。この要因の一つとして、デバイス内に生成される過剰キャリアの再結合が考えられる。その理由としては、キャリア再結合率は、イオンによってデバイス内に生成される電子正孔対の密度の関数で表されるためである。そのため、イオンの入射 LET が大きくなるとデバイス内に生成される電子正孔対の密度が大きくなり SET パルスは直線的な増加を示さず、飽和傾向を示すと考えた。図 6.7 のように等量の電子正孔対生成量であっても実際の電子正孔対生成モデルは、ガウス関数型電子正孔対生成モデルに比べてイオン経路中心付近で高密度の電子正孔対分布を持ち、半径 50 ～ 100 nm の領域に生成する電子正孔対量は総生成電子正孔対量の 80% 程度を占める。そのため、高密度の領域での再結合量が増加し、ガウス関数型の電子正孔対生成モデルを用いた場合に比べ、より現実的な増加傾向を再現できる。そこで、ここでは実際の電子正孔対生成モデルを用い SET パルス幅の LET 依存性をシミュレーションすることで SET パルス幅へのキャリア再結合の影響を明らかにする。

デバイスシミュレータで用いられている各再結合プロセスのモデル式やパラメータは、これまでバルクデバイスにおけるシミュレーションで一般的に用いられてきた。しかし、バルクデバイスに比べ動作領域が非常に薄い SOI デバイスに、これらのパラメータがそのまま適用できるかについての明確な議論はなされていない。そのため、SOI デバイスにおいて 6.2.2 に示した通り、Auger, Shockley-Read-Hall, Radiative, InterfaceSRH の 4 つの再結合プロセスが SET パルスにどれだけ寄与しているかをシミュレーションするためには、これら再結合パラメータの妥当性について検討を行う必要がある。以下で、各再結合プロセスのモデル式を示し、本シミュレーションにおける再結合パラメータの妥当性について検討を行う。バルクデバイスにおいて、重イオン入射による過剰キャリア発生時には、上記の再結合プロセスの中で、Auger 再結合と SRH 再結合が支配的であり [43]、さらに過剰キャリアの密度が 10^{19} ($1/\text{cm}^3$) を超えると Auger 再結合が支配的になると言われている [44]。

初めに図 6.18 にそれぞれの再結合プロセスの模式図を示す。Auger 再結合は伝導帯 (Conduction Band) に存在する電子 (Electron) が、価電子帯 (Valence Band) の正孔 (Hole) と再結合し、余ったエネルギーで伝導帯に存在する他の電子を励起する過程をいう。Shockley-Read-Hall (SRH) 再結合は、欠陥等でできたエネルギー順位 (E_{Trap}) へ電子、正孔共に落ちることで再結合する過程であり、再結合時に余ったエネルギーをフォノンとして放出する。Radiative 再結合は、SRH 再結合と同様の過程であるが、再結合時に余ったエネルギーを光子として放出する。InterfaceSRH は、SRH と同様のプロセスであるが、SOI/SiO₂ 界面での再結合である。

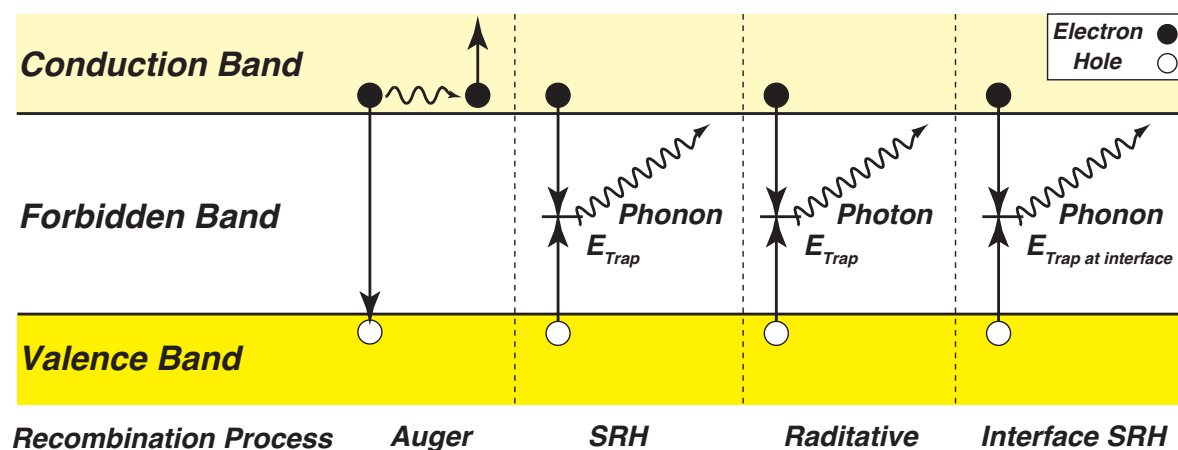


図 6.18 Auger, Shockley-Read-Hall, Radiative, InterfaceSRH の再結合プロセスの模式図。

Auger 再結合プロセス

Auger 再結合の再結合率 (R^A) は以下のモデル式で表される [35].

$$R^A = (C_n n + C_p p) (np - n_i^2, eff) \quad (6.18)$$

ここで, C_n , C_p は温度 (T) と過剰キャリア密度 (n) 依存の Auger 係数で, 以下の式で表されている.

$$C_n(T, n) = \left(A_{A,n} + B_{A,n} \left(\frac{T}{T_0} \right) + C_{A,n} \left(\frac{T}{T_0} \right)^2 \right) \left(1 + H_n e^{-\frac{n}{N_{0,n}}} \right) \quad (6.19)$$

$$C_p(T, p) = \left(A_{A,p} + B_{A,p} \left(\frac{T}{T_0} \right) + C_{A,p} \left(\frac{T}{T_0} \right)^2 \right) \left(1 + H_p e^{-\frac{n}{N_{0,p}}} \right) \quad (6.20)$$

A_A, B_A, C_A, H, N_0 は材料で決まる係数で, シリコンの場合の値 (デフォルト値) は表 6.2 に示してある [35]. これらの係数は, 実験的に求められたものである.

Auger 再結合は重イオンの入射による過剰キャリア生成から 10 ~ 100 ps の間に起こる現象であることが知られている [43]. 今回用いた電子正孔対生成モデルは, 図 6.7 に示すように高キャリア密度 ($= 10^{24} \text{ 1/cm}^3$) である. しかし, Auger 再結合率のキャリア密度依存性の実験データは, キャリア密度 $= 10^{20} \text{ (1/cm}^3\text{)}$ までしか示されていないため [45], 6.18 式が高キャリア密度に適用できるかを確認する必要がある. 先行研究において, 本研究と同じ Auger 再結合モデルと高キャリア密度の電子正孔対生成モデルを用い, バルクデバイスでのソフトエラー率シミュレーションを行った結果が示されており, 実験結果と一応の一致を示している [46]. このシミュレーションには, Kobetich と Katz の理論を基に作製された Monte Carlo コードで計算された実際的な電子正孔対の密度分布が用いられており, その最大密度は $10^{24} \text{ (1/cm}^3\text{)}$ であった. 以上のことより, Auger 再結合に関して, 6.18 式と表 6.2 のパラメータを本シミュレーションに適用することが可能であると考えられる.

表 6.2 シリコンでの Auger 係数を求める際に用いる係数. シリコンの場合の値 (デフォルト値) [35].

Symbol	$A_A \text{ [cm}^6\text{/s]}$	$B_A \text{ [cm}^6\text{/s]}$	$C_A \text{ [cm}^6\text{/s]}$	H [1]	$N_0 \text{ [cm}^{-3}\text{]}$
Electrons	0.67×10^{-13}	2.45×10^{-31}	-2.2×10^{-32}	3.46667	1×10^{18}
Holes	0.72×10^{-31}	4.50×10^{-33}	2.63×10^{-32}	8.25688	1×10^{18}

Shockley-Read-Hall (SRH) 再結合プロセス

Shockley-Read-Hall (SRH) 再結合の再結合率 R_{net}^{SRH} は以下のモデル式で表される [35].

$$R_{net}^{SRH} = \frac{np - n_{i,eff}^2}{\tau_p(n + n_1) + \tau_n(p + p_1)} \quad (6.21)$$

n, p はそれぞれ電子, 正孔の密度で, $n_{i,eff}^2$ は, 真性キャリア密度で Si では 1.45×10^{10} (cm^{-3}) である. ここで, n_1, p_1 は, 欠陥順位 E_{Trap} で決まる値で,

$$n_1 = n_{i,eff} e^{\frac{E_{Trap}}{kT}} \quad (6.22)$$

$$p_1 = n_{i,eff} e^{\frac{-E_{Trap}}{kT}} \quad (6.23)$$

で表される. また, τ_n, τ_p は少数キャリアのライフタイムで,

$$\tau_n = \tau_{n,min} + \frac{\tau_{n,max} - \tau_{n,min}}{1 + \left(\frac{N_i}{N_{n,ref}}\right)^\gamma} \quad (6.24)$$

$$\tau_p = \tau_{p,min} + \frac{\tau_{p,max} - \tau_{p,min}}{1 + \left(\frac{N_i}{N_{p,ref}}\right)^\gamma} \quad (6.25)$$

で表される. ここで τ_{max}, τ_{min} は, それぞれキャリアライフタイムの最大値, 最小値であり, 電子については $\tau_{n,max}, \tau_{n,min}$, 正孔については $\tau_{p,max}, \tau_{p,min}$ と表してある. N_{ref} は, 経験式である 6.24, 6.25 式を実験値にフィッティングするためのパラメータであり, 電子については $N_{n,ref}$, 正孔については $N_{p,ref}$ で表してある.

N_i はドーピング密度である. γ は定数で “1” である. SRH 再結合率は, 材料と過剰キャリア密度の他にドーピング密度, デバイスの処理条件に強く依存する値である. シミュレーションマニュアルにおいて SRH 再結合率をシミュレーションのフィッティングパラメータとして扱うことが推奨されており [35], 一般的に τ_{max}, N_{ref} を操作することで SRH 再結合率を操作する. SRH 再結合は, デバイス中の欠陥状態にもよるが, 重イオンの入射による過剰キャリア生成から数 μs 程度の間に起こる現象であることが知られている [43]. あるシミュレーションでは, 重イオン入射によって発生する電荷の収集量が, SRH 再結合のキャリアライフタイムに依存することが示されており, キャリアライフタイムが短いほど電荷の収集量が小さくなることが示されている [47]. そのため, 本シミュレーションで用いるキャリアライフタイムの検討を行った.

FD-SOI デバイスのシミュレーションにおいて, N_{ref}, τ_{max} を操作することでキャリアライフタイム τ_p を 50 ns 程度にし, FD-SOI の I-V 特性予想がシミュレーションされている [48]. このキャリアライフタイム (50 ns [48]) は, 他の文献で用いられているキャ

リアライフタイムの中で最も短い値である。そこで、本シミュレーションモデルにおいても、 N_{ref} と τ_{max} を操作し、文献値と同等のキャリアライフタイム $\tau_p = 21 \text{ ns}$ とし最も収集電荷量が小さくなる場合の SET パルス幅シミュレーションを行う。この時の τ_n は 70 ns である。これは、SRH 再結合パラメータのデフォルト値における τ_n と τ_p の比 (τ_n/τ_p) が約 3 であったため、 τ_p の 3 倍程度の値を用いた。

Radiative 再結合プロセス

Radiative 再結合の再結合率 R は以下のモデル式で表される [35].

$$R = C \cdot (np - n_{i,eff}^2) \quad (6.26)$$

ここで、 C は材料で決まる係数で、GaAs で $C = 2 \cdot 10^{-10} \text{ (cm}^3/\text{s)}$ 、Si では $C = 10^{-15} \text{ (cm}^3/\text{s)}$ である。シミュレータで Si の計算を行う時は、係数 C の値が非常に小さいため、Radiative 再結合の再結合率 R を 0 として計算するようマニュアルに記載されている [35]。そのため、 $R = 0$ 、つまり Radiative 再結合は考慮しなかった。

InterfaceSRH 再結合プロセス

InterfaceSRH 再結合の再結合率 $R_{surf,net}^{SRH}$ は以下のモデル式で表される [35].

$$R_{surf,net}^{SRH} = \frac{np - n_{i,eff}^2}{(n + n_1)/s_p + (p + p_1)/s_n} \quad (6.27)$$

ここで、 n_1, p_1 は、SOI/SiO₂ 間の欠陥順位 E_{Trap} で決まる値で、

$$n_1 = n_{i,eff} e^{\frac{E_{Trap}}{kT}} \quad (6.28)$$

$$p_1 = n_{i,eff} e^{\frac{-E_{Trap}}{kT}} \quad (6.29)$$

で表される。また、 s は再結合速度で、

$$s = s_0 \left[1 + \left(s_{ref} \frac{N_i}{N_{ref}} \right)^\gamma \right] \quad (6.30)$$

で表される。

N_i はドーピング密度である。 γ, s_{ref} は定数でそれぞれ “1” と 1×10^3 である。また s_0 は、再結合速度であり、デフォルト値は電子、正孔とも同じ値で $1 \times 10^3 \text{ (cm/s)}$ である。SOI ウェハ (SOI 層 $20 \text{ }\mu\text{m}$) において SOI/SiO₂ 界面の再結合速度が測定されており、再結合速度は 1800 (cm/s) であった [49]。この値を用いて SET パルス幅のシミュレーションをした結果、InterfaceSRH は、SET パルス幅にほとんど影響を与えないことを確認した。そのため、以下のシミュレーションでは、InterfaceSRH 再結合を考慮しない。

以上の検討の結果より，以下のシミュレーションは，Auger 再結合, SRH 再結合を考慮して行う．シミュレーションにおけるイオン入射位置は，図 6.17 に示す最頻値の幅を持つ SET パルス発生領域の中から， $x = 0.05 \mu\text{m}$, $z = 0 \mu\text{m}$ とした．この位置における SET パルス幅の LET 依存性をシミュレーションモデルであるキャリア再結合を考慮した場合と，考慮しない場合についてシミュレーションした．

図 6.19 に，シミュレーション結果を示す．シミュレーションの結果，再結合を考慮しない場合の SET パルス幅は，LET の増加に伴って直線的な増加を示した．それに対して，再結合を考慮した場合，再結合を考慮しない場合に比べ SET パルス幅は短くなり，さらに実験結果と同様に LET $40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 以上の LET 領域で飽和傾向を示した．これは図 6.20 に示した Dodd 等のシミュレーション結果とも一致する．これによって，第 5 章において SET パルス幅の LET 依存性が再結合を示した要因が再結合であること，さらに，SET 低減には，再結合に寄与するパラメータの操作が有効であると言える．

一方，バルクデバイスで発生する SET パルスのパルス幅 LET 依存性は，図 5.18 [15] に示した通り，LET の増加に対して直線的な増加を示していた．この，バルクデバイスとの SOI デバイスの増加傾向の違いについても考察が必要であるが，バルクデバイスモデルを用いたシミュレーションの結果が得られておらず，この違いに関する議論は今後の課題とさせていただく．

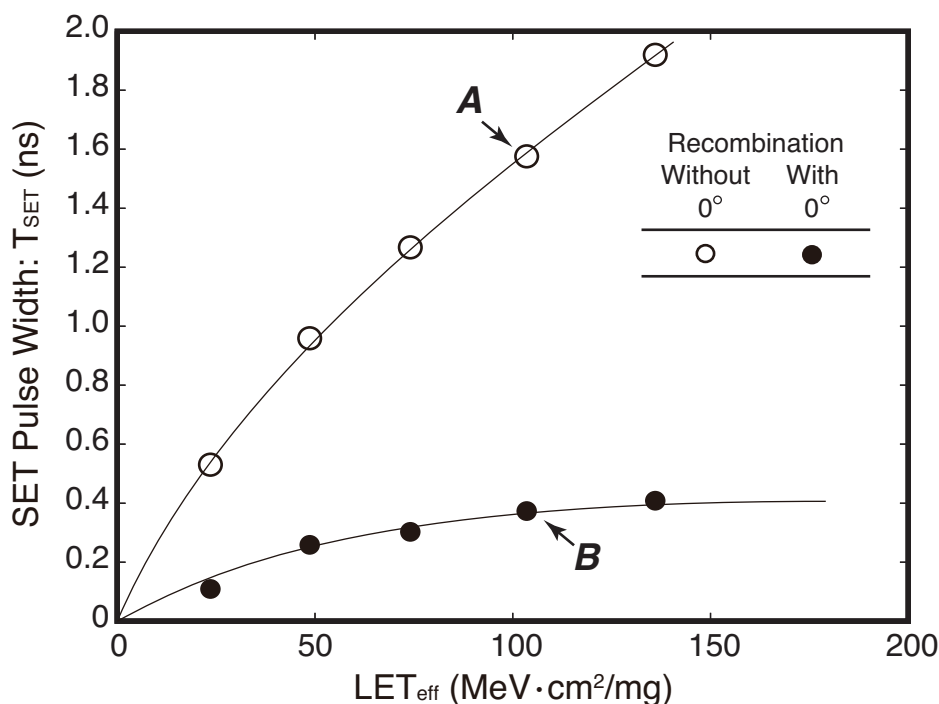


図 6.19 再結合を考慮した場合，考慮しない場合について，実際の電子正孔対生成モデルを用いた SET パルス幅の LET 依存性．図中 A, B 点は図 6.21 中の A, B 点对应している．

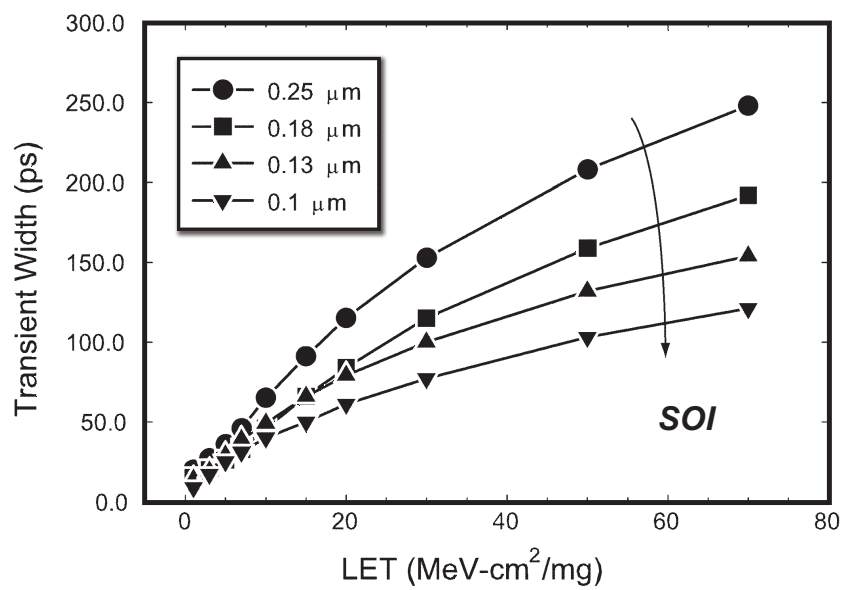


図 6.20 シミュレーションによる SOI デバイス中で発生する SET パルス幅の LET 依存性 [20].

3) SET パルス幅へのキャリア再結合プロセスの影響

再結合が SET パルス幅の増加傾向を支配する一つの要因であることを明らかにしたので、次に、SOI デバイスにおいて Auger 再結合, SRH 再結合プロセスが、それぞれ SET パルス幅にどれだけ寄与しているかをシミュレーションした。図 6.21 に、SET パルス幅シミュレーション結果を示す。図 6.21 は、再結合を全て考慮しない場合 (All OFF) と、Auger のみ考慮した場合 (Auger ON), Shockley-Read-Hall(キャリアライフタイム $\tau_n = 70$ ns, $\tau_p = 21$ ns) のみ考慮した場合 (SRH ON), 全て考慮した場合 (All ON) について SET パルス幅を求め比較した結果であり、図中 A, B 点は図 6.19 中の A, B 点に対応している。SRH 再結合プロセスのみを考慮した場合 (SRH ON) では、他の文献で用いられている中でも最も短いキャリアライフタイム ($\tau_n = 70$ ns, $\tau_p = 21$ ns) を用いている。しかし、結果の SET パルス幅は Auger 再結合に比べ十分長く、このことより SET パルス幅に対して Auger 再結合が支配的であることが確認でき、Auger 再結合の大きい材料 (ひずみ Si 等) を用いることによって、SET パルス幅が短くなると考えられる [50]。

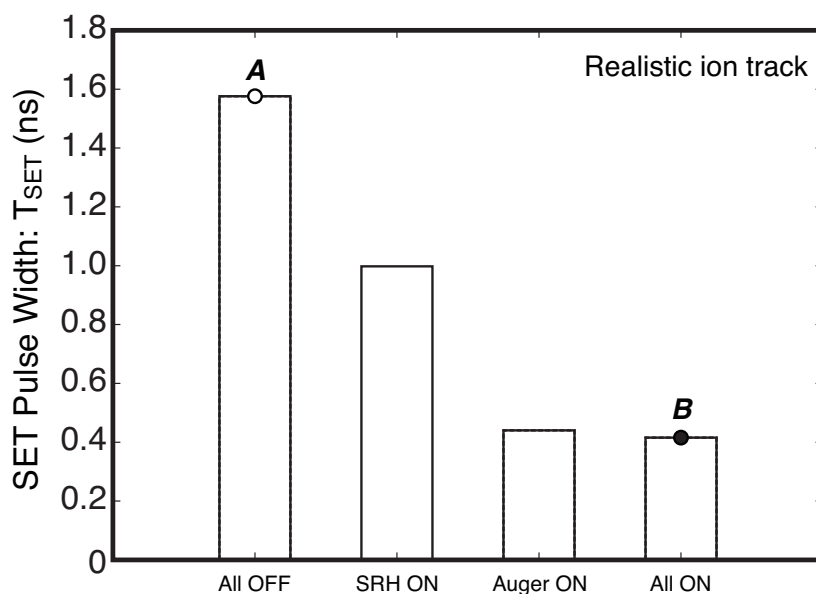


図 6.21 LET 105 MeV·cm²/mg 相当の実験的な電子正孔対生成モデルについて、再結合を全て考慮しない場合 (All OFF) と、Auger のみ考慮した場合 (Auger ON), Shockley-Read-Hall(キャリアライフタイム $\tau_n = 70$ ns, $\tau_p = 21$ ns) のみ考慮した場合 (SRH ON), 全て考慮した場合 (All ON) について SET パルス幅を求め比較した結果。図中 A, B 点は図 6.19 中の A, B 点に対応している。

これまでの結果より SET 低減には、再結合に寄与するパラメータの操作が有効であることがわかった。そして、通常の SOI デバイスでは、Auger 再結合が SET パルス幅にとって支配的であることがわかった。そこで、以下では、Auger 再結合, SRH 再結合に寄与するデバイスパラメータの操作を行った場合、SET パルスはどれだけ短くなるか検討を行った。

まず Auger 再結合について、高速かつ低消費電力が求められる分野での応用が見込まれている SiGe によるひずみ Si を用いた場合の、Auger 係数の増加を想定した。Auger 係数の増加分は、Si の格子定数が Ge の格子定数まで引き延ばされた場合を想定した。Ge の格子定数は、Si より 4% 程度大きく、その際、Auger 係数は 4% 程度増加する [50]。そして再結合率も 4% 程度増加する。この値を用いて SET パルス幅シミュレーションを行った結果、ひずみ Si による 4% 程度の再結合率の増加が SET パルス幅に与える影響は全くなく、ひずみを導入しない場合と同じ SET パルス幅であった。このことより、ひずみ Si による 4% 程度の再結合率の増加では SET パルス幅の低減が見込めないということがわかった。

次に、SRH 再結合について、Au による再結合中心を SOI 層全体に導入することを想定した。Au を想定した根拠としては、Au による不純物エネルギー準位が、Si のエネルギーバンドギャップ中心に最も近く再結合率が最大になるためである。想定した Au の濃度は、Si への固溶度の最大値である 10^{17} ($1/\text{cm}^3$) [51] として SET パルス幅をシミュレーションした。その結果を図 6.22 に示す。図 6.22 は、図 6.21 同様、再結合を全て考慮しない場合と (All OFF), Auger のみ考慮した場合 (Auger ON), Shockley-Read-Hall (Au 濃度 10^{17} ($1/\text{cm}^3$): キャリアライフタイム $\tau_n = 2$ ns, $\tau_p = 1$ ns 相当) のみ考慮した場合 (SRH ON), 全て考慮した場合 (All ON) について SET パルス幅を求め比較した結果である。図中点線は、図 6.21 の値を示している。図 6.22 からわかるように、Au による再結合中心を SOI 層全体に (10^{17} $1/\text{cm}^3$) 導入することを想定した場合、SET パルス幅を約 50% 低減できることがわかった。これに対して、Au による再結合中心を SOI 層全体に 10^{16} ($1/\text{cm}^3$) 導入することを想定した場合、シミュレーション結果は示していないが、SET パルス幅が図 6.22 中点線とほとんど変わらない長さになる。このことより、SET パルス幅低減の実現には、Au による再結合中心の濃度を $10^{16} \sim 10^{17}$ ($1/\text{cm}^3$) に調整することが必要である。しかし、Si 中への Au の固溶度 $10^{16} \sim 10^{17}$ ($1/\text{cm}^3$) は、温度 $1000^\circ\text{C} \sim 1300^\circ\text{C}$ におけるものであり、Au による再結合中心を SOI 層全体に導入することは現実的ではないと言える。

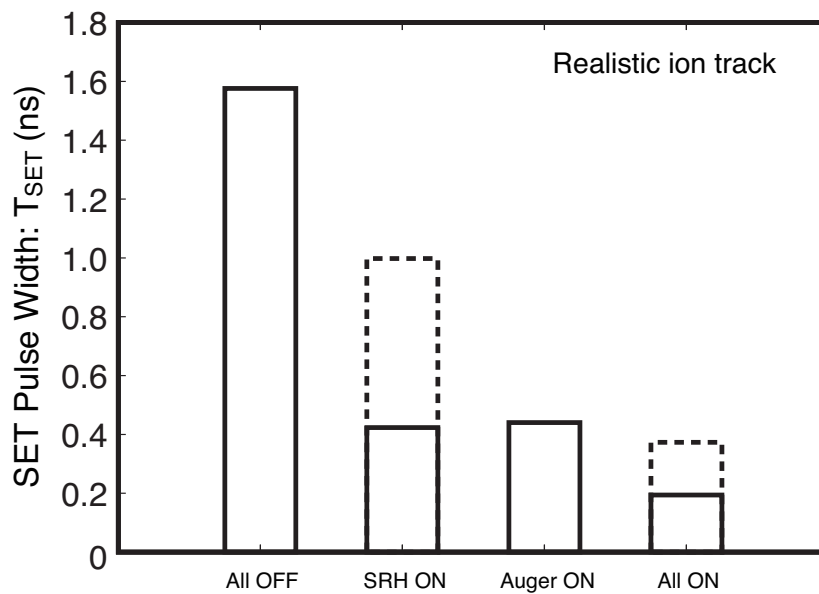


図 6.22 図 6.21 同様，LET 105 MeV·cm²/mg 相当の実際的な電子正孔対生成モデルについて，再結合を全て考慮しない場合と (All OFF)，Auger のみ考慮した場合 (Auger ON)，Shockley-Read-Hall(Au 濃度 10¹⁷ (1/cm³): キャリアライフタイム τ_n = 2 ns, τ_p = 1 ns 相当) のみ考慮した場合 (SRH ON)，全て考慮した場合 (All ON) について SET パルス幅を求め比較した結果

ここでは，再結合に寄与するパラメータの操作が有効であると推測し，ひずみ Si による Auger 係数の増加と，Au による再結合中心の導入を想定したが，以上のパラメータ操作では SET パルス幅の低減が現実にはできないことがわかった．操作することで，SET パルス幅の低減を実現する可能性のある他のデバイスパラメータとして，キャリア移動度とドーピングプロファイルが挙げられるが，これらについて本研究での検証は行わない．

ここで、図 6.23 に再結合に寄与するパラメータの操作によって SET パルス幅が低減された場合の SER_{SET} を見積もった結果を示す。見積もりは、第 4 章で得られた NOR 素子 1 段あたりの SET パルス発生率 (図 4.3) を基に行った。 SER_{SET} は、Au による再結合中心をデバイス全体に (10^{17} 1/cm^3) 導入し、発生する SET パルス幅が 0.5 倍になった場合について求めた。このとき用いたラッチ確率は論理 LSI を動作周波数 100 MHz で動作させようとした場合のものを用了。図中 $T_{SET} \times 1$ は、測定によって得られた CSE_{SET} であり、 $T_{SET} \times 0.5$ は SET パルス幅が 0.5 倍になった場合について求めた CSE_{SET} である。 $T_{SET} = 0$ の時の CSE_{SET} が各条件における NOR 素子 1 段あたりの SER_{SET} に相当する。見積もりの結果、今後再結合に寄与するパラメータの操作によって SET パルス幅が 0.5 倍になった場合、 SER_{SET} が 0.5 倍になる。同様の、見積もりを SET パルス幅が 0.3, 3 倍になった時についても行った結果 SER_{SET} は、それぞれ 0.3, 3 倍となった。このことより、SET パルス幅が 0.3 ~ 3 倍になった時の SER_{SET} は、それぞれパルス幅に比例して増加することがわかった。

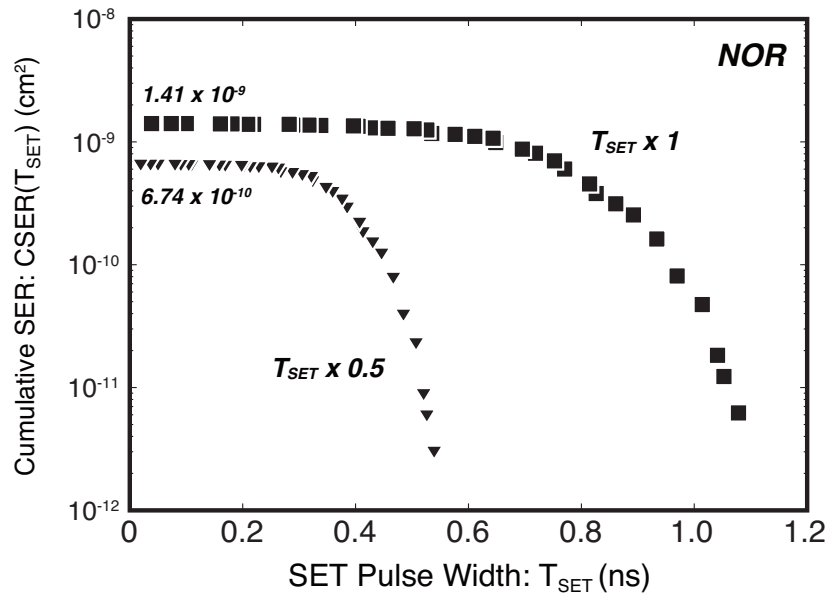


図 6.23 Au による再結合中心をデバイス全体に (10^{17} 1/cm^3) 導入し、発生する SET パルス幅が 0.5 倍になった場合の SER_{SET} 。ラッチ確率は論理 LSI を動作周波数 100 MHz で動作させようとした場合のものを用了。

6.5 SET 対策への提言 –3–

再結合が SET パルス幅の増加傾向を支配する一つの要因であり，SET 低減には，再結合に寄与するパラメータの操作が有効である．再結合プロセスの中でも，Auger 再結合プロセスが支配的であった．仮に，再結合に寄与するパラメータの操作によって SET パルス幅が低減された場合の SER_{SET} を見積もった結果，SET パルス幅が 0.5 倍になった場合， SER_{SET} が 0.5 倍になった．同様の，見積もりを SET パルス幅が 0.3, 3 倍になった時についても行った結果 SER_{SET} は，それぞれ 0.3, 3 倍となった．このことより，SET パルス幅が 0.3 ～ 3 倍になった時の SER_{SET} は，それぞれパルス幅に比例して増加することがわかった．

6.6 本章のまとめ

本章では，SET パルス幅を支配する要因を明らかにするため，デバイス・回路混合シミュレーション (Mixed-Mode Device Simulation) を行った．シミュレーションを行うにあたり，キャリア再結合が SET パルス幅の増加傾向を支配する一つの要因であると予想し，キャリア再結合パラメータの検討を行った．パラメータの検討を行いシミュレーションした結果，予想通り再結合が SET パルス幅の増加傾向を支配する一つの要因であることが明らかとなり，SET 低減には，再結合に寄与するパラメータの操作が有効であることがわかった．また，再結合プロセスの中でも Auger 再結合が支配的であることを明らかにした．

デバイスレベルの SET 対策として，再結合に寄与するパラメータの操作ができた場合 SET パルス幅はどの程度短くなるかのシミュレーションも行った．その結果，現実的ではないが，再結合中心として Au を $10^{17} \sim 10^{17}$ ($1/\text{cm}^3$) 導入することで最大 50% の SET パルス幅低減が見込まれることがわかった．その上で，仮に SET パルス幅が低減された場合の SER_{SET} を見積もった．その結果，SET パルス幅が 0.3 ～ 3 倍になった時の SER_{SET} は，それぞれパルス幅に比例することがわかり，デバイスレベルの対策も SER_{SET} 低減に有効であることがわかった．

第 7 章

総括

7.1 総括

本研究は、論理 LSI 中で発生する SET パルスに起因するソフトエラー率の測定手法を提案し、また、SET パルス幅 LET 依存性の詳細と SET パルス幅を支配する要因を解明を行うことによって、SET 対策のために必要な基礎的知見を得ることを目的として行った。これまでは、論理 LSI の動作周波数が比較的低速で、 SER_{SET} は無視できるほど小さかったため SET によるソフトエラーに関する研究はされていなかった。近年、論理 LSI の高速化に伴い SER_{SET} が無視できなくなってきたが、 SER_{SET} を見積もる手法や、 SER_{SET} を低減するための対策はなかった。

これまでに、SET パルスが記憶素子にラッチされる確率を SET パルス幅の関数で求めることができると言われていた [12]。また、イオンの入射位置によって発生する SET パルスの幅が異なるために、単一線エネルギー付与 (LET) のイオンを照射しても、SET パルス幅が分布を持つことが報告されている [15, 16, 18, 19]。以上のことをふまえ、種々の論理素子の正確な SET パルス発生率をパルス幅の関数 (SET パルス発生率) として測定し、その結果と各パルスが記憶素子にラッチされる確率から、種々の論理素子における SER_{SET} が推定できる推定式が提案されていたが、推定式の実証はされていなかった。SET パルス幅分布が入射放射線の LET に依存することも報告されているが、LET 依存性の詳細と SET パルス幅を支配する要因についてはわかっていない。SET パルス幅分布の LET 依存性と、幅の決定要因を明らかにできれば直接的な SER_{SET} 低減策の提案につながると考えた。本研究では、1) SET パルス発生率の測定とソフトエラー率の推定、2) SET パルス幅分布の LET 依存性測定、3) シミュレーションによる SET パルス幅 LET 依存性の要因解明の検討をした。その結果として、以下の結論と SET 対策への提言を示す。

1) SET パルス発生率の測定とソフトエラー率の推定

第4章において、SET パルスの正確な発生確率をパルス幅の関数 (正確な SET パルス幅分布) として測定し、その結果と各パルスが記憶素子にラッチされる確率から、論理素子の SER_{SET} を求めた。そして、Yanagawa 等によって開発された SER_{SET} 測定用のスキャン FF を実装した論理 LSI による SER_{SET} 測定結果 [13, 17, 66] と比較することによって、本手法の検証を行った。

測定結果と本推定手法を用いる事によって SET パルス幅ごとの $SER_{SET}(T_{SET})$ を求めた結果、最頻値以上の幅を持つ SET パルス幅が SER_{SET} において支配的であった。Yanagawa 等によって開発された SER_{SET} 測定用のスキャン FF を実装した論理 LSI による SER_{SET} 測定結果との比較の結果、論理素子内での SET パルス発生率から SER_{SET} が求められる事が実証された。この事により、種々の論理素子での SET パルス発生率を測定する事で、実際の論理 LSI の SER_{SET} を推定できる事になった。本手法は、FF の動作周波数が変わったときにも SER_{SET} を予測できるという利点があり、設計段階において SER_{SET} を推定する事ができる。この手法を用いれば、種々の論理素子で発生する SET パルス幅を測定するだけで、論理 LSI の SER_{SET} に対して各論理素子がどれだけ寄与しているかを推定できるようになると言える。

0.2 μm FD-SOI プロセスを現在目標とされている動作周波数 100 MHz で動作させようとした場合、NOR 素子による SER_{SET} は、 SER_{TOTAL} の 10% 程度に達する。また、NOT 素子による SER_{SET} は、 SER_{TOTAL} の 4% 程度に達し、これらの結果から SER_{SET} が顕在化してきていると言える。さらに、論理素子が 10 段以上接続された FF では、 SER_{SET} が論理素子の段数倍になるため、 SER_{SET} が SER_{TOTAL} の中でも支配的になってくると言える。SET パルス幅と回路パラメータ (Setup-hole time, 動作周波数) の関係がわかったので、それぞれがどうなれば、 SER_{SET} がどうなるかを議論できる。その結果、デバイスレベル、回路レベルでの対策が議論できる。

2) SET パルス幅分布の LET 依存性測定

第 5 章において、 $0.2\ \mu\text{m}$ FD-SOI プロセスで制作された NOT 素子内で発生する SET パルス幅分布の LET 依存性を測定した。SET パルス幅の LET 依存性において、実験においては SET パルス幅が入射重イオンの LET の増加に対して直線的な増加を示すという報告があった。一方、デバイスシミュレーションでは、SET パルス幅が LET の増加に対して飽和傾向を示すという報告があった。このように、発生する SET パルスの幅を決める要因はまだ明らかになっていなかった。また、SOI デバイスで発生する SET パルス幅分布の LET 依存性を測定した結果はこれまでなかった。そのため本章では、 $0.2\ \mu\text{m}$ FD-SOI プロセスで制作された NOT 素子内で発生する SET パルス幅分布の LET 依存性を測定した。

測定の結果、スナップショット回路を用いた SET パルス幅測定は測定結果に再現性があり、SET パルス幅測定手法として有効であることを実証した。これまで SET パルス幅分布の LET 依存性が直線的増加を示すとも言われてきたが、本測定結果により、 $0.2\ \mu\text{m}$ FD-SOI プロセスで作製された NOT 素子で発生する SET パルス幅の最頻値 LET 依存性は飽和傾向を示すことを実験によって初めて実証した。宇宙環境において $0.2\ \mu\text{m}$ FD-SOI プロセスで制作された NOT 素子内で発生する SET パルスの幅は、最大で $1.0\ \text{ns}$ であり、宇宙利用を目的とし本 NOT 素子に SET 対策を施す際は、考慮すべき最大パルス幅を $1.0\ \text{ns}$ とすればよいことがわかった。このことより、回路レベルの SET 対策の一つとして考えられている RC フィルタの時定数を最大で $1.0\ \text{ns}$ とすればよいとの知見を得た。

$0.2\ \mu\text{m}$ FD-SOI プロセスへ、Kr $322\ \text{MeV}$ 、Xe $454\ \text{MeV}$ を照射を行い、さらに SET パルス幅分布の LET 依存性について最頻値を用いて議論する場合実効 LET の考えが適用可能であると考えられることを示した。以上の結果を用いて、実際の宇宙環境下で $\text{LET} = 40\ \text{MeV}\cdot\text{cm}^2/\text{mg}$ 以上のイオン入射時の SER_{SET} の見積もりを以下の条件を用いて行った。その結果、 $0.2\ \mu\text{m}$ FD-SOI プロセスで制作された論理 LSI を動作周波数 $100\ \text{MHz}$ で動作させようとした場合の論理素子 1 段あたりの SER_{SET} は、NOR 素子で 1.56×10^{-23} (Errors/s)、NOT 素子で 5.66×10^{-24} (Errors/s) であった。1 個の記憶素子に接続される論理素子の段数は、10 段程度で発生した SET が全て記憶素子まで達すると考えると、記憶素子 1 個あたりの SER_{SET} は NOR 素子で 1.56×10^{-22} (Errors/s)、NOT 素子で 5.66×10^{-23} (Errors/s) となる。さらに、宇宙環境下における $0.2\ \mu\text{m}$ FD-SOI プロセスで作製された論理 LSI での平均 3 年間といわれる衛星のミッション期間内での SER_{SET} を見積もった結果、非常に小さい値であることを示した。

3) シミュレーションによる SET パルス幅 LET 依存性の要因解明

第 6 章では，SET パルス幅を支配する要因を明らかにするため，デバイス・回路混合シミュレーション (Mixed-Mode Device Simulation) を行った．シミュレーションを行うにあたり，キャリア再結合が SET パルス幅の増加傾向を支配する一つの要因であると予想し，キャリア再結合パラメータの検討を行った．パラメータの検討を行いシミュレーションした結果，予想通り再結合が SET パルス幅の増加傾向を支配する一つの要因であることが明らかとなり，SET 低減には，再結合に寄与するパラメータの操作が有効であることがわかった．また，再結合プロセスの中でも Auger 再結合が支配的であることを明らかにした．

デバイスレベルの SET 対策として，再結合に寄与するパラメータの操作ができた場合 SET パルス幅はどの程度短くなるかのシミュレーションも行った．その結果，現実的ではないが，再結合中心として A_u を $10^{17} \sim 10^{17}$ ($1/\text{cm}^3$) 導入することで最大 50% の SET パルス幅低減が見込まれることがわかった．その上で，仮に SET パルス幅が低減された場合の SER_{SET} を見積もった．その結果，SET パルス幅が 0.3 ～ 3 倍になった時の SER_{SET} は，それぞれパルス幅に比例することがわかり，デバイスレベルの対策も SER_{SET} 低減に有効であることがわかった．

参考文献

- [1] 五家 建夫, 松本 晴久, “高エネルギー環境,” 通信総合研究所季報, vol. 1, no. 2, pp. 249–256, 1997.
- [2] SPENVIS WEB ページ <http://www.spenvis.oma.be/>.
- [3] CREME96 WEB ページ <https://creme96.nrl.navy.mil/>.
- [4] Geant4 WEB ページ <http://www.geant4.org/>.
- [5] W. L. Brown, T. M. Buck, L. V. Medford, E. W. Thomas, H. K. Gummel, G. L. Miller, and F. M. Smits, “The spacecraft radiation experiments,” NASA SP-32, vol. 1, June 1963.
- [6] D. Binder, E. C. Smith, and A. B. Holman, “Satellite anomalies from galactic cosmic rays,” *IEEE Trans. Nucl. Sci.*, vol. NS-2, no. 6, pp. 2675–2680, Dec. 1975.
- [7] E. Ibe, Y. Yahagi, F. Kataoka, Y. Saito, A. Eto, M. Sato, H. Kameyama, and M. Hidaka, “A self-consistent integrated system for terrestrial-neutron induced single event upset of semiconductor devices at the ground,” presented at the *IEEE 1st International Conference on Information Technology and Applications*, Bathurst, Australia, Nov. 25–28th, 2002, Paper No. 273-21.
- [8] “A static RAM says goodbye to data errors,” *IEEE Spectrum*, pp. 14–15. Feb. 2004.
- [9] K. Hirose, H. Saito, Y. Kuroda, S. Ishii, Y. Fukuoka, and D. Takahashi, “SEU resistance in advanced SOI-SRAMs fabricated by commercial technology using a rad-hard circuit design,” *IEEE Trans. Nucl. Sci.*, vol. 49, no. 6, pp. 2965–2968, Dec. 2002.
- [10] S. Buchner, M. Baze, D. Brown, D. McMorrow, and J. Melinger, “Comparison of error rates in combinational and sequential logic,” *IEEE Trans. Nucl. Sci.*, vol. 44, no. 6, pp. 2209–2216, Dec. 1997.
- [11] S. P. Buchner and M. P. Baze, in: “2001 IEEE Nuclear and Space Radiation Effects Conference Short Course Notebook,” Vancouver, BC, Canada, 2001,

Chap. V.

- [12] D. Alexandrescu, L. Anghel, and M. Nicolaidis, “New Methods for Evaluating the Impact of Single Event Transients in VDSM ICs,” in *Proceedings of the 17th IEEE International Symposium on Defect and Fault-Tolerance in VLSI Systems*, pp. 99–107, 2002.
- [13] Y. Yanagawa, D. Kobayashi, K. Hirose, T. Makino, H. Saito, H. Ikeda, S. Onoda, T. Hirao, T. Ohshima, “Experimental verification of scan-architecture-based evaluation technique of SET and SEU soft-error rates at each flip-flop in logic VLSI systems” presented at the 8th European Workshop on Radiation Effect on Components and Systems (RADECS 2008), Jyväskylä, Finland, Sep. 10–12, 2008.
- [14] P. Eaton, J. Benedetto, D. Mavis, K. Avery, M. Sibley, M. Gadlage, and T. Turflinger, “Single event transient pulse width measurements using a variable temporal latch technique,” *IEEE Trans. Nucl. Sci.*, vol. 51, no. 6, pp. 3365–3368, Dec. 2004.
- [15] J. M. Benedetto, P. H. Eaton, D. G. Mavis, M. Gadlage, and T. Turflinger, “Variation of digital SET pulse-widths and the implication for single event hardening of advanced CMOS processes,” *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, pp. 2114–2119, Dec. 2005.
- [16] Y. Yanagawa, K. Hirose, H. Saito, D. Kobayashi, S. Fukuda, S. Ishii, D. Takahashi, K. Yamamoto and Y. Kuroda, “Direct measurement of SET pulse width in 0.2- μ m SOI logic cells irradiated by heavy ions,” *IEEE Trans. Nucl. Sci.*, vol. 53, no. 6, pp. 3575–3578, Dec. 2006.
- [17] 柳川 善光, “論理 LSI における放射線起因ソフトエラーの測定手法に関する研究,” 博士学位論文, 東京大学大学院 工学系研究科 電子工学専攻, 2008.
- [18] B. Narasimham, B. L. Bhuvu, R. D. Schrimpf, L. W. Massengill, M. J. Gadlage, O. A. Amusan, W. T. Holman, A. F. Witulski, W. H. Robinson, J. M. Benedetto, and P. H. Eaton, “Characterization of digital single event transient pulse-widths in 130-nm and 90-nm CMOS Technologies,” *IEEE Trans. Nucl. Sci.*, vol. 54, no. 6, pp. 2506–2511, Dec. 2007.
- [19] V. Ferlet-Cavrois, P. Paillet, M. Gaillardin, D. Lambert, J. Baggio, J. R. Schwank, G. Vizkelethy, M. R. Shaneyfelt, K. Hirose, E. W. Blackmore, O. Faynot, C. Jahan, and L. Tosti, “Statistical analysis of the charge collected in SOI and bulk devices under heavy ion irradiation – implications for digital SETs,” *IEEE Trans. Nucl. Sci.*, vol. 53, no. 6, pp. 3242–3252, Dec. 2006.
- [20] P. E. Dodd, M. R. Shaneyfelt, J. A. Felix, and J. R. Schwank, “Production

- and propagation of single-event transients in high-speed digital logic ICs,” *IEEE Trans. Nucl. Sci.*, vol. 51, no. 6, pp. 3278–3284, Dec. 2004.
- [21] B. Narasimham, V. Ramachandran, B. L. Bhuva, R. D. Schrimpf, A. F. Witulski, W. T. Holman, L. W. Massengill, J. D. Black, W. H. Robinson, and D. Mc-Morrow, “On-chip characterization of single event transient pulse-widths,” *IEEE Trans. Device and Materials Reliability*, vol. 6, no. 4, pp. 542–549, Dec. 2006.
- [22] M. P. Baze, and S. P. Buchner, “Attenuation of single event induced pulses in CMOS combinational logic,” *IEEE Trans. Nucl. Sci.*, vol. 44, no. 6, pp. 2217–2223, Dec. 1997.
- [23] 日本原子力研究開発機構 WEB ページ <http://www.jaea.go.jp/>.
- [24] A. Virtanen, J. Hyvonen, K. Ranttila, I. Rekikoski, and J. Tuppurainen, “Heavy ion and proton test site at JYFL-accelerator laboratory,” *Nucle. Instr. and Meth. in Phys. Res. A*, vol. 426, pp. 68–71, 1999.
- [25] T. Makino, M. Hagiwara, T. Itoga, and M. Baba, “Online monitor of heavy ion flux in an ion irradiation apparatus for semiconductor irradiation test,” *Nucl. Instr. and Meth. in Phys. Res. A*, vol. 589, no. 3, pp. 345–349, 2008.
- [26] James F. Ziegler SRIM & TRIM WEB ページ. <http://www.srim.org/>.
- [27] F. Ichikawa, Y. Nagatomo, Y. Kawakura, M. Itoh, S. Itoh, S. Itoh, H. Matsushashi, T. Ichimori, N. Hirashita, and S. Baba, “Fully depleted SOI process and device technology for digital and RF application,” *Solid-State Electronics*, 48, pp. 999–1006, 2004.
- [28] P. Shivakumar, M. Kistler, S. W. Keckler, D. Burger, and L. Alvisi, “Modeling the effect of technology trend on the soft error rate of combinational logic,” in *Proceedins of the International Conference on Dependable Systems and Networks*, 2002, pp. 389–398.
- [29] P. E. Dodd, O. Musseau, M. R. Shaneyfelt, F. W. Sexton, C. D’hose, G. L. Hash, M. Martinez, R. A. Loemker, J.-L. Leray, and P. S. Winokur, “Impact of ion energy on single-event upset,” *IEEE Trans. Nucl. Sci.*, vol. 45, no. 6, pp. 2483–2491, Dec. 1998.
- [30] P. E. Dodd, J. R. Schwank, V. Ferlet-Cavrois, P. Paillet, J. Baggio, G. L. Hash, J. A. Felix, K. Hirose, and H. Saito, “Heavy ion energy effects in CMOS SRAMs,” *IEEE Trans. Nucl. Sci.*, vol. 54, no. 4, pp. 889–893, Aug. 2007.
- [31] R. A. Reed, R. A. Weller, M. H. Mendenhall, J. M. Lauenstein, K. M. Warren, J. A. Pellish, R. D. Schrimpf, B. D. Sierawski, L. W. Massengill, P. E. Dood, M. R. Shaneyfelt, J. A. Felix, J. R. Schwank, N. F. Haddad, R. K. Lawrencw,

- J. H. Bowman, and R. Cnde, “Impact of ion energy and species on single event effect analysis,” *IEEE Trans. Nucl. Sci.*, vol. 54, no. 6, pp. 2312–2321, Dec. 2007.
- [32] D. Kobayashi, H. Saito, K. Hirose, “Estimation of single event transient voltage pulses in VLSI circuits from heavy-ion-induced transient currents measured in a single MOSFET,” *IEEE Trans. Nucl. Sci.*, vol. 54, no. 4, pp. 1037–1041, Aug. 2007.
- [33] D. Kobayashi *et al.* “Fast and physically-accurate estimation of single event transient pulses from radiation-induced transient currents measured in a single MOSFET: a simulation-based case study in bulk CMOS logic circuits,” presented at the 2007 IEEE Workshop on Silicon Errors in Logic – System Effects (SELSE3), Austin, TX, Apr. 3-4, 2007.
- [34] D. Kobayashi, K. Hirose, T. Makino, H. Ikeda, and H. Saito, “Feasibility study of a table-based SET-pulse estimation in logic cells from heavy-ion-induced transient currents measured in a single MOSFET,” *IEEE Trans. Nucl. Sci.*, vol. 54, no. 6, pp. 2347–2354, Dec. 2007.
- [35] DESSIS User’s Manual, ISE TCAD Release 10.0, Integrated Systems Engineering, Zurich, Switzerland.
- [36] E. J. Kobetich, and R. Katz, “Energy deposition by electron beams and δ rays,” *Phys. Rev.*, vol. 170, no. 2, pp. 391–396, 1968.
- [37] R. Katz, K. S. Loh, L. Daling, and G. R. Huang, “An analytic representation of the radial distribution of dose from energetic heavy ions in water, Si, LiF, NaI, and SiO₂,” *Radiat. Eff. Defects Solids*, vol. 114, no. 1, pp. 15–20, 1990.
- [38] M. P. R. Warigórski, R. N. Hamm, and R. Katz, “The radial distribution of dose around the path of a heavy ion in liquid water,” *Int. J. Radiat. Appl. Instrum. D*, vol. 11, no. 6, pp. 309–319, 1986.
- [39] O. Fageeha, J. Howard, and R. C. Block, “Distribution of radial energy deposition around the track of energetic charged particles in silicon,” *J. Appl. Phys.*, vol. 75, no. 5, pp. 2317–2327, Dec. 1994.
- [40] W. J. Staport, and P. T. McDonald, “Practical approach to ion track energy distribution,” *J. Appl. Phys.*, vol. 64, no. 9, pp. 4430–4434, Dec. 1988.
- [41] S. Onoda, T. Hirao, J. S. Laird, K. Mishima, K. Kawano, and H. Itoh, “Transient currents generated by heavy ions with hundreds of MeV,” *IEEE Trans. Nucl. Sci.*, vol. 53, no. 6, pp. 3731–3737, Dec. 2006.
- [42] J. S. Laird, T. Hirao, S. Onoda, and H. Itoh, “High-injection carrier dynamics generated by MeV heavy ions impacting high-speed photodetectors,”

- J. Appl. Phys.*, vol. 98, pp. 013530–14, 2005.
- [43] T. Weatherford, “2002 IEEE Nuclear and Space Radiation Effects Conference (NSREC) Short Course Notebook,” Phoenix, AZ, 2004, Section. IV.
 - [44] P. V. Dressendorfer, “1998 IEEE Nuclear and Space Radiation Effects Conference (NSREC) Short Course Notebook,” Newport Beach, CA, 1998, Section. III.
 - [45] R. Hácker, and A. Hangleiter, “Intrinsic upper limits of the carrier lifetime in silicon,” *J. Appl. Phys.*, vol. 75, no. 11, pp. 7570–7572, June, 1994.
 - [46] R. C. Martin, and N. M. Ghoniem, “The size effect of ion charge tracks of single event multiple-bit upset,” *IEEE Trans. Nucl. Sci.*, vol. NS-34, no. 6, pp. 1305–1309, 1987.
 - [47] K. Castellani-Coulié, M. Mia, M. Munteanu, J. L. Autran, V. Ferlet-Cavrois, P. Paillet, and J. Baggio, “Influence of simulation parameters on the bipolar amplification in fully-depleted SOI technologies under heavy-ion irradiations”, *RADECS Conf. Proceedings*, G–2, 19–23 September 2005.
 - [48] J.-Y. Choi, and J. G. Fossum, “Analysis and control of floating-body bipolar effect in fully depleted submicrometer SOI MOSFET’s,” *IEEE Trans. Electron Devices*, vol. 38, no. 6, pp. 1384–1391, 1991.
 - [49] T. Kuwayama, M. Ichimura, and E. Arai, “Interface recombination velocity of silicon-on-insulator wafers measured by microwave reflectance photoconductivity decay method with electric field,” *Appl. Phys. Lett.*, vol. 83, no. 5, pp.928–930, 2003.
 - [50] P. L. Gourley, and J. P. Wolfe, “Properties of the electron hole liquid in Si: Zero stress to the high-stress limit,” *Phys. Rev. B*, vol. 21, no. 10, pp. 5970–5998, Nov. 1981.
 - [51] F. A. Trumbore, “Solid solubilities of of impurity elements in germanium and silicon,” *Bell Syst. Tech. J.*, 39, p. 205, 1960.
 - [52] A. Holmes-Siedle, and L. Adams, “Handbook of radiation effect second edition,” Oxford university press, 2002.
 - [53] G. K. Lum, “2004 IEEE Nuclear and Space Radiation Effects Conference (NSREC) Short Course Notebook,” Atlanta, GA, 2004, Chap. I.
 - [54] J. L. Barth, C. S. Dyer, and E. G. Stassionopoulos, “Space, atmospheric, and terrestrial radiation environments,” *IEEE Trans. Nucl. Sci.*, vol. 50, no. 3, pp. 466–482, 2003.
 - [55] J. H. Adams, “Cosmic ray effects on microelectronics, part IV,” Naval Research Laboratory Memorandum Report, 5901.

- [56] E. J. Daly, J. Lemaire, D. Heynderickx, and D. J. Rodgers, “Problems with model of the radiation belts,” *IEEE Trans. Nucl. Sci.*, vol. 43, no. 2, pp. 403–415, 1996.
- [57] J. W. Wilson, F. A. Cucinotta, J. L. Shinn, L. C. Simonsen, R. R. Dubey, W. R. Jordan, T. D. Jones, C. K. Chang, and M. Y. Kim, “Shielding from solar particle event exposures in deep space,” *Radiat. Meas.*, vol. 30, pp. 316–382, 1999.
- [58] J. A. Simpson, “Elemental and iso-topic composition of the galactic cosmicray,” *Ann. Rev. Nucl. Part. Sci.*, 33, pp. 323–381, 1983.
- [59] R. A. Mewaldt, “Elemental composition and energy spectra of galactic cosmic rays,” interplanetary Particle Environment, J. Feynman and S. Gabriel, Eds., JPL Pub. 88-29, p. 21.
- [60] E. Normand, “Single Event Upset at Ground Level,” *IEEE Trans. Nucl. Sci.*, vol. 43, no. 6, pp. 2742–2750, 1996.
- [61] T. Weatherford, in: “2002 IEEE Nuclear and Space Radiation Effects Conference (NSREC) Short Course Notebook,” Phoenix, AZ, 2002, Chap. IV.
- [62] J. G. Pickel, “1983 IEEE Nuclear and Space Radiation Effects Conference (NSREC) Short Course Notebook,” Gatlinburg, TN, 1983, Chap. 3.
- [63] V. Ferlet-Cavrois, G. Vizkelethy, P. Paillet, A. Torres, J. R. Schwank, M. R. Shaneyfelt, J. Baggio, J. du Port de Pontcharra, and L. Tosti, “Charge enhancement effect in NMOS bulk transistors induced by heavy ion irradiation—comparison with SOI,” *IEEE Trans. Nucl. Sci.*, vol. 51, no. 6, pp. 3255–3262, Dec. 2004.
- [64] S. Pindl, J. Berthold, T. Huntner, S. Reif, D. Schumann, and H. Philipsborn, “A 130-nm channel length partially depleted SOI CMOS-Technology,” *IEEE Trans. Electron Devices*, vol. 46, no. 7, pp. 1562–1566, 1999.
- [65] A. H. Johnston, “Radiation Effects in advanced microelectronics technologies,” *IEEE Trans. Nucl. Sci.*, vol. 45, no. 3, pp. 1339–1354, 1998.
- [66] Y. Yanagawa, D. Kobayashi, H. Ikeda, H. Saito, and K. Hirose, “Scan-architecture-based evaluation technique of SET and SEU soft-error rates at flip-flop in logic VLSI systems,” *IEEE Trans. Nucl. Sci.*, vol. 55, no. 4, pp. 1947–1952, Aug. 2008.

研究業績

投稿論文

- T. Makino, M. Hagiwara, T. Itoga, and M. Baba, “Online monitor of heavy ion flux in an ion irradiation apparatus for semiconductor irradiation test,” *Nucl. Instr. and Meth. in Phys. Res. A*, vol. 589(3), pp. 345–349, 2008.
- D. Kobayashi, K. Hirose, T. Makino, H. Ikeda, and H. Saito, “Feasibility study of a table-based SET-pulse estimation in logic cells from heavy-ion-induced transient currents measured in single MOSFET,” *IEEE Trans. Nucl. Sci.*, vol. 54, no. 6, pp. 2347–2354, Dec. 2008.
- T. Makino, D. Kobayashi, K. Hirose, Y. Yanagawa, H. Saito, H. Ikeda, D. Takahashi, S. Ishii, M. Kusano, S. Onoda, T. Hirao, and T. Ohshima, “LET dependence of single event transient pulse-width in SOI logic cell,” *IEEE Trans. Nucl. Sci.*, vol. 56, no. 1, pp. 202–207, Feb. 2009.
- Y. Yanagawa, D. Kobayashi, K. Hirose, T. Makino, H. Saito, H. Ikeda, S. Onoda, T. Hirao, and T. Ohshima, “Experimental verification of scan-architecture-based evaluation technique of SET and SEU soft-error rates at each flip-flop in logic VLSI systems,” 査読中.
- T. Makino, D. Kobayashi, K. Hirose, D. Takahashi, S. Ishii, M. Kusano, S. Onoda, T. Hirao, and T. Ohshima, “Soft error rate estimation in a logic LSI from SET pulse-width measurement,” 投稿準備中.

国際会議

- T. Makino, D. Kobayashi, K. Hirose, Y. Yanagawa, H. Saito, H. Ikeda, D. Takahashi, S. Ishii, M. Kusano, S. Onoda, T. Hirao, and T. Ohshima, “LET dependence of single event transient pulse-width in SOI logic cell,” *IEEE International Nuclear and Space Radiation Effects Conference*, (NSREC2008), Tucson, AZ, Jul. 2008.
- Y. Yanagawa, D. Kobayashi, K. Hirose, T. Makino, H. Saito, H. Ikeda, S. Onoda, T. Hirao, and T. Ohshima, “Experimental verification of scan-architecture-based evaluation technique of SET and SEU soft-error rates at each flip-flop in logic VLSI systems” presented at the 8th European Workshop on Radiation Effect on Components and Systems (RADECS2008), Jyväskylä, Finland, Sep. 10–12, 2008.
- T. Makino, D. Kobayashi, K. Hirose, Y. Yanagawa, H. Saito, H. Ikeda, D. Takahashi, S. Ishii, M. Kusano, S. Onoda, T. Hirao, and T. Ohshima, “Study of single event transient pulse-width in SOI logic cell,” The 8th International Workshop on Radiation Effects on Semiconductor Devices for Space Application (8th RASEDA), Tsukuba, Japan, Dec. 2008.
- D. Kobayashi, T. Makino, K. Hirose, “Analytical expression for temporal width characterization of radiation-induced pulse noises in SOI CMOS logic gates,” 2009 IEEE International Reliability Physics Symposium, Quebec, Canada, Apr. 2009, 投稿済.
- T. Makino, D. Kobayashi, K. Hirose, D. Takahashi, S. Ishii, M. Kusano, S. Onoda, T. Hirao, and T. Ohshima, “Soft error rate estimation in a logic LSI from SET pulse-width measurement,” 投稿準備中.

研究会等

- 小林大輔, 柳川善光, 会見真宏, 牧野高紘, 福田盛介, 廣瀬和之, 池田博一, 齋藤宏文, 石井茂, 高橋大輔, 山本健輔, 池淵 博, 黒田 能克, “宇宙用 SOI 半導体部品の処理能力向上のための放射線誘起過渡現象の研究,” 宇宙科学シンポジウム, 宇宙科学研究本部, 2007 年 1 月.
- 牧野高紘, 小林大輔, 廣瀬和之, 柳川善光, 齋藤宏文, 池田博一, 高橋大輔, 石井茂,

草野将樹, 池淵 博, 黒田 能克, “民生 SOI 技術に基づく高信頼・高性能宇宙用論理 LSI の研究,” 宇宙科学シンポジウム, 宇宙科学研究本部, 2008 年 1 月.

- 牧野高紘, 小林大輔, 廣瀬和之, 柳川善光, 齋藤宏文, 池田博一, 高橋大輔, 石井茂, 草野将樹, 小野田忍, 平尾敏雄, 大島武, “宇宙用論理 LSI で発生する放射線誘起スパイクノイズの研究,” 宇宙・航行エレクトロニクス研究会 (SANE), 信学技報 SANE2008-25(2008-6) pp. 67-72., JAXA 筑波宇宙センター, 2008 年 6 月.
- 牧野高紘, 小林大輔, 廣瀬和之, 柳川善光, 齋藤宏文, 池田博一, 高橋大輔, 石井茂, 草野将樹, 小野田忍, 平尾敏雄, 大島武, “SOI 論理セル内で発生する SET パルス幅の LET 依存性,” 第 69 回秋期応用物理学会学術講演会, 4a-E-4 中部大学 2008 年 9 月.
- 牧野高紘, 小林大輔, 廣瀬和之, 高橋大輔, 石井茂, 草野将樹, 小野田忍, 平尾敏雄, 大島武, “SET パルスによるソフトエラー率の推定,” 第 56 回春期応用物理学関係連合講演会, 30p-V-16 筑波大学 2009 年 3 月.

謝辞

本研究は、総合研究大学院大学 物理科学研究科 宇宙科学専攻 博士後期課程において行われたものであり、総合研究大学院大学 物理科学研究科 宇宙科学専攻 准教授 廣瀬和之先生には3年もの間、始終懇切丁寧な御指導を賜り、多くの研究機会をいただいた事に心より感謝いたします。

本博士論文の審査にあたり、貴重な御教示と御討論を頂きました、総合研究大学院大学 物理科学研究科 宇宙科学専攻 教授 池田博一 先生、宇宙航空研究開発機構 宇宙科学研究本部 宇宙探査工学研究系 教授 田島道夫 先生、総合研究大学院大学 物理科学研究科 宇宙科学専攻 准教授 戸田知朗 先生、日本大学 理工学部 電子情報工学科 准教授 高橋芳浩 先生に心より御礼申し上げます。

本研究を遂行するにあたっては、宇宙航空研究開発機構 宇宙科学研究本部の皆様にも多大な御助力をいただきました。本研究に貴重な御教示と御討論を頂きました、宇宙航空研究開発機構 宇宙科学研究本部 教授 齋藤宏文 先生、研究全般にわたり常に親身になって相談に乗っていただき、また貴重な御指導を賜りました、宇宙航空研究開発機構 宇宙科学研究本部 助教 小林大輔 博士、ゼミにおいて貴重な御教示と御討論を頂きました、宇宙航空研究開発機構 宇宙科学研究本部 助教 福田盛介 博士、テスト回路の基礎から、テストプログラム作成、データ処理において多大なご助力をいただきました、東京大学大学院 工学研究科 柳川善光 博士 (現 日立中央研究所) に深く感謝いたします。

テストチップの作製と放射線照射試験の一部は、三菱重工業株式会社 名古屋誘導システム製作所の技術協力のもとで行われました。黒田能克 氏、池淵博 氏、石井茂 氏、高橋大輔 氏、山本健輔 氏、草野将樹 氏を始めとする関係者皆様に深く御礼申し上げます。

本研究の放射線照射試験は、独立行政法人 日本原子力研究開発機構との共同研究に基づき、TIARAにおいて実施されたものであります。実験の遂行にあたり昼夜を問わず多大な御助力を賜りました、同機構 高崎量子応用研究所 大島武 博士、平尾敏雄 博士、小野田忍 博士を始めとする関係者の皆様方に心より感謝いたします。

また、放射線照射試験に関して貴重なご意見とトレーニングの場を与えていただきました、東北大学 サイクロトロン RI センター 名誉教授 馬場護 先生、放射線計測に関してご意見、協力いただいた高エネルギー加速器研究機構 助教 萩原雅之 博士、理化学研究所 大強度放射光施設 (SPring-8) 糸賀俊朗 博士、東北大学 サイクロトロン RI センターのイオン源開発にご尽力いただいた東北大学 サイクロトロン RI センター 助教 涌井崇志 博士に深く御礼申し上げます。

日常生活から研究、事務処理まで大変お世話になりました、宇宙航空研究開発機構 宇宙科学研究本部 廣瀬研究室 西川三千代 氏に御礼申し上げます。

本研究を進める上で、廣瀬研究室の学生の皆様には公私共に大変お世話になりました。学生生活を送る上で常に有益な情報を与えてくださいました鈴木治彦 氏 (現 サンケン電気株式会社) に感謝いたします。また、研究室での日常生活を通じて様々な面から支えてくださいました研究室の学生の皆様に重ねて感謝の意を表します。

本研究はここに挙げた方を始めとする非常に多くの方々の御指導、御支援を賜りながらなされたものであります。皆様に改めて深く御礼申し上げます。

最後に、私の研究生活を支えてくれた友人と家族に心から感謝します。ありがとうございました。

付録 A

宇宙の放射線環境

地球周辺には、太陽系内外の星の活動に起源を持つ荷電粒子によって、過酷な放射線環境が形成されている。地球周辺に存在する放射線は大きく分けて、捕足放射線帯、太陽宇宙線、及び銀河宇宙線の 3 種類に分類することができる。捕足放射線帯は、地磁場によって太陽および銀河から放出された荷電粒子が捕獲されたもので数 100 MeV 程度の陽子 (プロトン) や電子で構成されている。太陽宇宙線は、太陽フレアとも呼ばれ、太陽活動によって生成された比較的高エネルギー (~ 1 GeV) のプロトン等が主な成分である。銀河宇宙線は、超新星爆発で発生した粒子が銀河系加速によって加速された超高エネルギー ($\sim 10^{11}$ GeV) の粒子で、プロトンの他に重イオンも 10% 程度含まれる。人工衛星に搭載された半導体集積回路は、これらの放射線によって半導体集積回路の劣化や誤動作等様々な障害が引き起こされ問題となっている。以下では、それぞれの放射線の詳細について述べる。

1 捕足放射線帯

捕足放射線帯は、地磁場によって放射線が捕獲されたものであり、図 A.2 に捕足放射線帯のモデル図を示す [54]。図 A.2 は、エネルギー 50 MeV 以上の陽子 (プロトン) の粒子数 (Flux: protons/cm² · s) を高度 (地球半径の比) の関数で表している。図 A.2 に示すように比較的地球に近い内帯と、その外側の外帯によって構成されている。内帯は、上空 500 km から 20,000 km までの放射線層であり主な組成はプロトン、外帯は、上空 20,000 から 50,000 km までの放射線層であり主な組成は電子である [52]。これら放射線帯に含まれる粒子のエネルギーは最大でも数 100 MeV、と比較的低いが、プロトンおよび電子の Flux が 1 秒当たり約 10^6 particles/cm² のように非常に多い。プロトンおよび電子の供給機構としては、次に説明する太陽宇宙線と銀河宇宙線が、大気上層部と衝突して中性子ができ、それが 10.8 分の半減期で崩壊し電子 (β 線) を放出してプロトンに変わって供

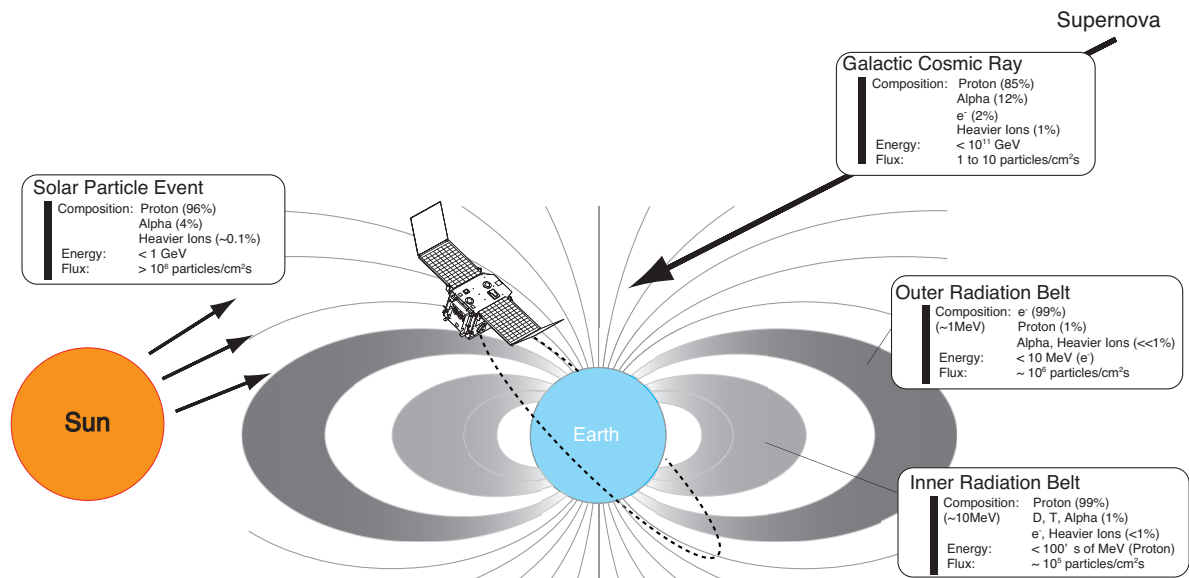


図 A.1 宇宙の放射線環境と組成の一例 [52, 53] (太陽活動によってこれらの組成は変化する [55]).

給される機構が考えられている。これらの捕獲放射線は、主に放射線帯を通る軌道を周回する衛星においてソフトエラーを引き起こす [56]。

2 太陽宇宙線

太陽宇宙線は、太陽活動によって生成され地球に飛来する放射線であり、太陽フレアと太陽コロナ質量噴出 (Coronal Mass Ejection, CME) によって放出されたものである。太陽フレアと CME によって生成される太陽宇宙線の主な組成は、プロトン、重イオンである。本研究では、 α 粒子 (He の原子核) 以上の重さを持つ荷電粒子を「重イオン」と定義する。

太陽宇宙線の組成は、太陽活動の状況に応じて組成や放出量が大きく変化することが知られており、Flux は最大で 1 秒当たり約 10⁵ particles/cm² 程度、エネルギーは最大で 1 GeV 程度、である [57]。太陽活動に由来する放射線は、主に極地方のはるか上空を周回する衛星や、惑星探査機などにおいてソフトエラーを引き起こす。

3 銀河宇宙線

銀河宇宙線は、超新星爆発で発生した放射線が、銀河系加速により加速された超高エネルギーの放射線であり、プロトン、重イオンから構成される。前述の 2 つの放射線に比べて Flux は 1 秒当たり 1~10 particles/cm² と少ないものの、そのエネルギーは 10¹¹

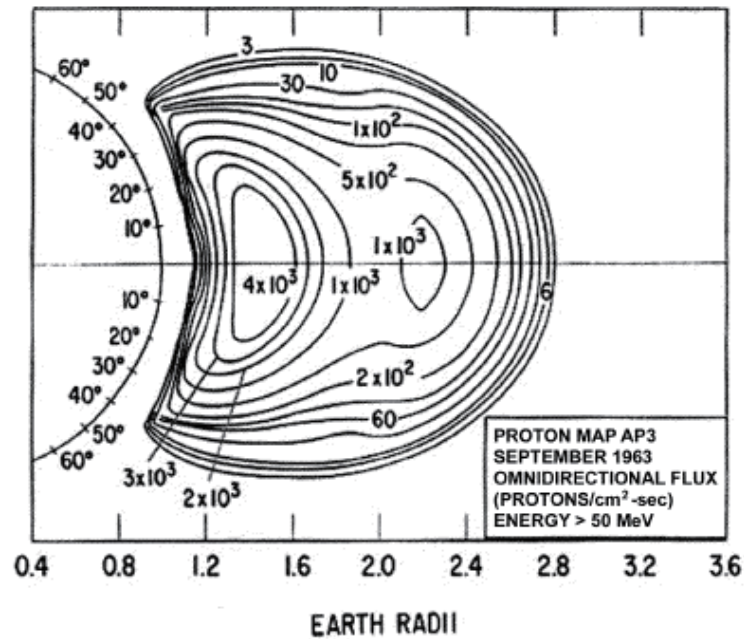


図 A.2 捕足放射線帯のモデル図. エネルギー 50 MeV 以上のプロトン Flux を高度 (地球半径の比) の関数で表している. 地球半径は, 6371 km である [54].

GeV に達することがある [58].

図 A.3 に銀河宇宙線の元素分布を示す [59]. 縦軸は, Si の Flux(単位時間あたり, 単位面積に入射する粒子数,)を 10^6 とした時の相対値, 横軸は重イオンの電荷である. 成分は, 全体の 98% がプロトンと重イオンで, 2% が電子や陽電子である. さらにプロトンと重イオン 98% の内訳はプロトンが 87%, 重イオンが 13% で, 重イオンの中でも α 粒子が 92%, 残り 8% がそれ以上の重イオンである. Fe に大きなピークがあり Fe 以上の超重核の存在数は Fe に比べて 1 桁以上少なくなる. 次節で詳しく述べるが, ソフトエラーは重イオンがデバイス中に生成する電子正孔対によって引き起こされる. 電子正孔対生成量は重イオンが入射物質に付与するエネルギー (Linear Energy Transfer: LET) に比例し, さらに LET は図 A.4 からわかるように重イオン核の価電子量に比例する. Fe 以上の重さを持つ重イオン入射量と LET の増加量を考慮すると, 宇宙でソフトエラーを引き起こす重イオンの最悪条件は Fe イオン ($\text{LET} = 30 \text{ MeV}\cdot\text{cm}^2/\text{mg}$) と言える.

図 A.5 に, 高度 200 km~1200 km までの全銀河宇宙線の積算 LET スペクトルを示す [55]. 縦軸は単位立体角辺りの重イオン Flux, 横軸は Si に付与される LET($\text{MeV}\cdot\text{cm}^2/\text{g}$) であり, LET は, $1\sim 100,000 \text{ MeV}\cdot\text{cm}^2/\text{g}$ まで分布している. $\text{LET} = 400 \text{ MeV}\cdot\text{cm}^2/\text{g}$ 以下は高度の上昇に伴って Flux が増加する. これは, 図 A.2 にある通り, 高度 1,200 km までは捕足放射線帯に覆われており高度の上昇に伴って Flux も増加しているためである. また, $\text{LET} = 30,000 \text{ MeV}\cdot\text{cm}^2/\text{g}$ から $40,000 \text{ MeV}\cdot\text{cm}^2/\text{g}$ にかけて急激に Flux

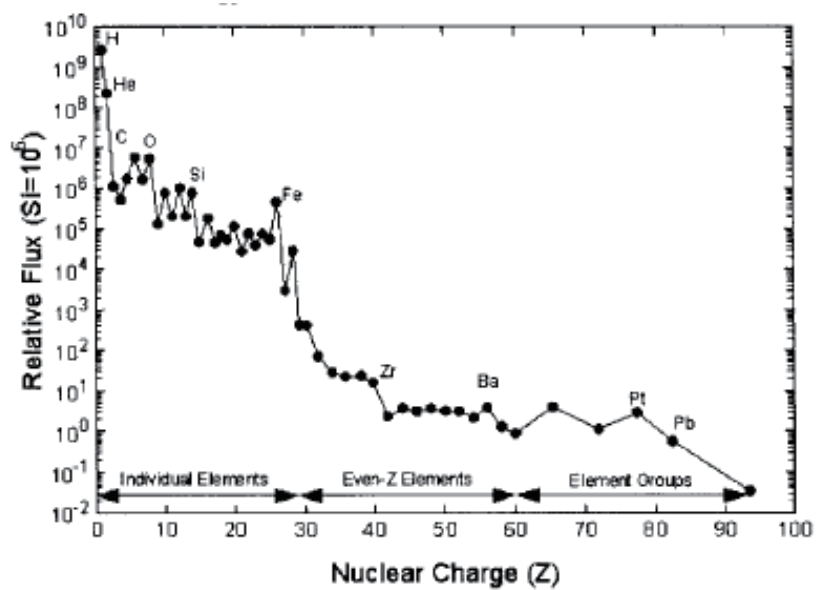


図 A.3 銀河宇宙線の元素分布 [59]. Si の Flux(単位時間あたり，単位面積に入射する粒子数，) を 10^6 とした時の相対値.

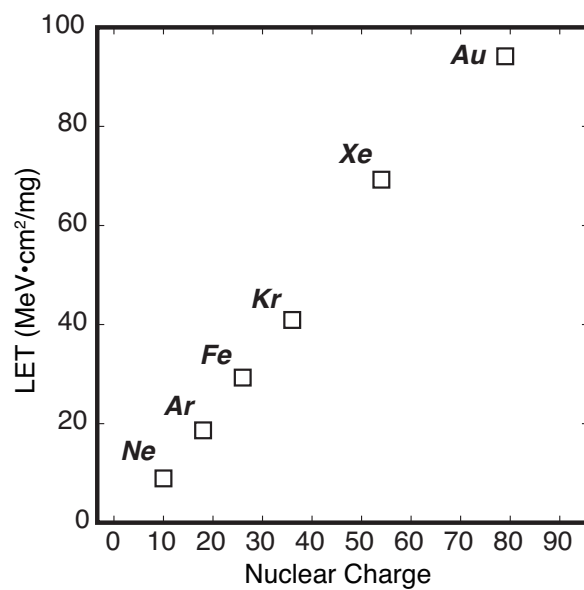


図 A.4 重イオン核の価電子量と LET の関係. 各重イオンの最大 LET を重イオン核の価電子量の関数でプロットした.

が小さくなる．そのため，宇宙での LSI の耐放射線性を議論する際の評価基準値として $\text{LET} = 40,000 \text{ MeV}\cdot\text{cm}^2/\text{g}$ (本論文では $\text{LET} = 40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ として扱う．) が用いられる．

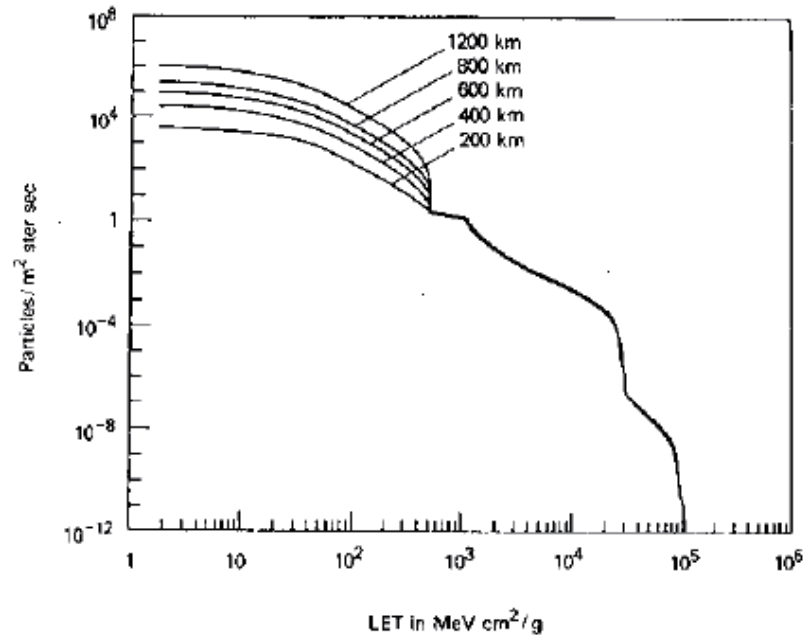


図 A.5 高度 200 km～1200 km までの全銀河宇宙線の積算 LET スペクトル [55].

さらに，超高エネルギー銀河宇宙線は，地球大気分子と衝突して高エネルギーの中性子を生じ，一部は捕足放射線帯への供給機構として働く．その他の中性子は，さらに他の大気分子に衝突して連鎖的に中性子を生成しながら，最終的に地上まで到達する．中性子自体は電離作用を持たないが，半導体中のシリコン原子やホウ素原子と核反応し，電離作用を持つ重イオンを生成するため，地上の計算機においてソフトエラーを引き起こす要因となる．実際地上の計算機において，中性子が原因と推測されるソフトエラーも観測されている [60].

付録 B

放射線と半導体の相互作用

ソフトエラーは、放射線と物質の相互作用の中でも、主に重イオンが半導体中に電子正孔対を生成することによって引き起こされる。また、プロトンや中性子が半導体に入射し、半導体原子との核反応によって生成される二次重イオンが生成する電子正孔対によってソフトエラーが引き起こされる場合もある。プロトンや電子も半導体中に電子正孔対を生成するが、LET が小さいためにプロトンや電子が生成する電子正孔対だけでソフトエラーが発生する事はほとんどない。ここでは、重イオンが物質中に電子正孔対を生成する過程について説明した後に、ソフトエラーを議論する上で重要なパラメータである、重イオン入射による生成電荷量について説明する。

1 電子正孔対生成過程

入射重イオンは、図 B.1 に示すように入射物質原子内の軌道電子の負電荷との相互作用によって入射物質中の価電子を励起する。重イオンとの相互作用の結果、入射物質中の価電子が禁制帯 (Forbidden Band) の幅 E_g 以上のエネルギーを得たとき励起が起こる。励起の結果、価電子帯 (Valence Band) に正孔 (Hole)、伝導体 (Conduction Band) には電子が生じる。

そして、重イオンはこうした相互作用を多数回繰り返して、飛程と呼ばれる有限の距離を移動する。飛程は図 B.2 に示すように入射重イオンの種類とエネルギーに依存し、またその重イオンが移動する物質に依存する。また、重イオンが物質中を単位長さ辺り進む際に物質へ伝達するエネルギーを線エネルギー付与 (LET) と呼び、LET も飛程同様、図 B.3 に示すように入射重イオンの種類とエネルギーに依存し、またそのイオンが移動する物質に依存する。LET の特徴としては、図 B.3 からわかるように入射重イオンのエネルギーが小さくなるにつれて大きくなり、重イオンが物質内で止まる直前が最大となる。入射物質中での上記の衝突の結果、電子正孔対 (electron-hole pair: e-h pair) が作られる。

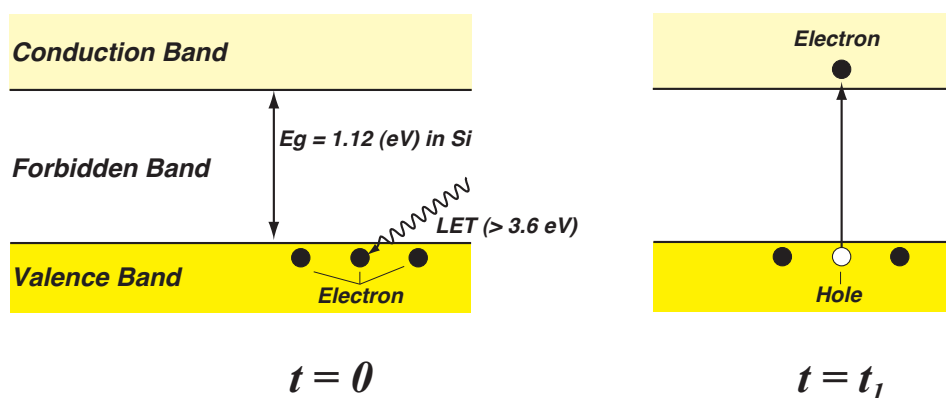


図 B.1 Si 中での電子正孔対生成過程バンド図.

また LET の性質上，重イオンの飛程末端近辺で大量の電子正孔対を生成する．Si における励起ポテンシャルは 3.6 eV であり [61]，図 B.1 に示すように生成された電子正孔対は，伝導帯へ励起された 1 個の電子とこれに対応する入射物質中の正孔より成る．

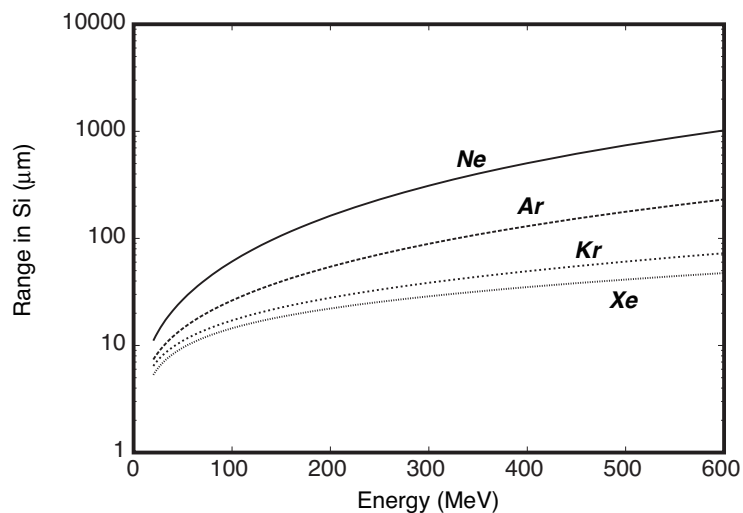


図 B.2 Ne, Ar, Kr, Xe のエネルギーと Si 中での飛程の関係.

特に，重イオンと電子が接近した衝突では，電子は非常に大きなクーロン力を受けるので，電子は励起された後でも，さらに次のイオンを作るに足る十分な運動エネルギーを持っている．このようなエネルギーを持った電子の事をデルタ線 (δ 線) と呼ぶ． δ 線は入射物質中を移動し，入射物質中の他の電子を励起する．その結果 δ 線の飛跡に沿って電子正孔対が生成される．つまり， δ 線は重イオンのエネルギーを入射物質に間接的に伝える物であると言える．

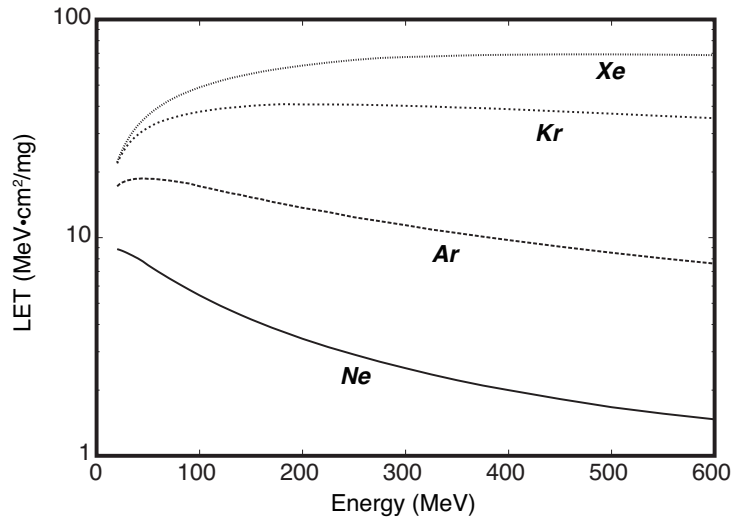


図 B.3 Ne, Ar, Kr, Xe のエネルギーと Si 中での LET の関係.

2 重イオン入射による生成電荷量

重イオンが半導体に入射すると，上記の相互作用により半導体内に多量の電子正孔対を生成する．このときに生成される自由電子の量 (電荷量: Q_{dep} C) は以下の式 [61] により求めることができる．

$$Q_{dep} = \frac{LET \times \rho \times s \times q}{W_{ehp}} \quad (B.1)$$

ここで $LET \text{ MeV} \cdot \text{cm}^2 / \text{mg}$ は入射重イオンの LET, ρ は材質の密度, s は重イオンが物質を通過した距離, q は電気素量, W_{ehp} は Si における励起ポテンシャル．Si においては, $\rho = 2.33 \text{ g/cm}^3$ である．例えば, $LET = 40 \text{ MeV} \cdot \text{cm}^2 / \text{mg}$ の重イオンが厚さ $1 \mu\text{m}$ の Si 中に生成する電荷量は B.1 式より 0.41 pC となる．

付録 C

半導体デバイスへの重イオン入射 電荷生成と収集過程

1 バルクプロセス

図 C.1 は pn 接合に重イオンが入射した際に発生する電子正孔対とその動きを示した模式図である。pn 接合に重イオンが入射したとき、イオンの飛跡に沿って電子正孔対が発生する。入射粒子が pn 接合の空乏層を通過する際には、イオン通過領域が電子正孔対によって高伝導状態となるため、それまで空乏層にかかっていた電界がゆがめられ、空乏層外にまで円柱状に伸びる。これをファネリングと呼ぶ [62]。発生した電子正孔対の一部は再結合し、残りはファネリングを含む素子内の電界によって電子と正孔に分離され回路に収集される。バルクデバイスで収集される電子は Si 表面から約 $1.5\ \mu\text{m}$ までの深さ (収集深さ) に生成された電子である [19]。

バルクデバイスでは、空乏層内の電界によって電子が加速され、加速された電子が新たな電子を生成していくアバランシェ増倍が引き起こされる。そのため、図 C.2 に示すように、イオンが生成した電荷量以上の電荷が収集されることが明らかになっている [63]。図 C.2 は、OFF 状態の $0.25\ \mu\text{m}$ バルク nMOS トランジスタに Cl 35 MeV が入射した際の Drain 電流と Source 電流の積分値を Cl 入射位置の関数で表したものである。斜線部はそれぞれ Source(Position = $0\sim 2.5\ \mu\text{m}$), Drain(Position = $3.0\sim 5.0\ \mu\text{m}$) 領域を示している。Cl 35 MeV は $\text{LET} = 17.3\ \text{MeV}\cdot\text{cm}^2/\text{mg}$ 、つまり Si 中 $1\ \mu\text{m}$ 通過あたり Si 中に生成する電荷量は 170 fC である。収集深さは [19] において Si 表面から $1.5\ \mu\text{m}$ までの深さと示されているので、その値を用いると 255 fC 程度が収集されるはずであるが、Drain 入射においてはアバランシェ増倍によって最大 2.7 倍の収集電荷量が観測されている。

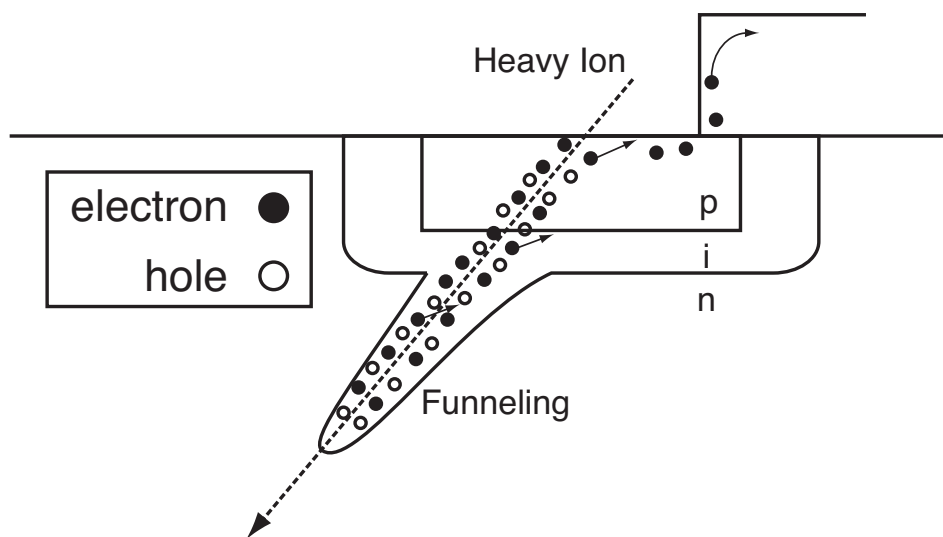


図 C.1 バルク pn 接合に重イオンが入射した際に発生する電荷とその動き.

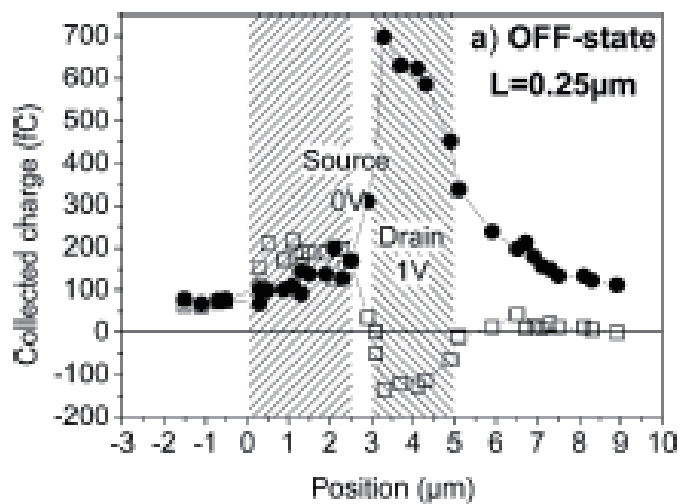


図 C.2 イオン入射位置ごとの収集電荷量. 斜線部はそれぞれ Source(Position = 0~2.5 μm), Drain(Position = 3.0~5.0 μm) 領域を示している. 白抜きが Source 電流, 黒丸が Drain 電流 [63].

2 SOI プロセス

SOI プロセスとは，シリコンウェハ上に絶縁物である SiO_2 層を形成し，さらにこの上に形成したシリコン層 (Silicon On Insulator: SOI) に動作領域を設け，この SOI ウェハ上に LSI を形成するプロセスのことである．SOI プロセスには，Body 領域内が完全に空乏化している完全空乏 (Fully Depleted: FD) 型と部分空乏 (Partially Depleted: PD) 型がある．完全空乏型 SOI(FD-SOI) プロセスで制作されたデバイスは SOI 層が，ゲート長 $0.2\ \mu\text{m}$ で $50\ \text{nm}$ 程度 [9]，部分空乏型 SOI(PD-SOI) プロセスで制作されたデバイスは SOI 層が，ゲート長 $0.2\ \mu\text{m}$ で $190\ \text{nm}$ 程度 [64] とバルクデバイスの収集深さ $1.5\ \mu\text{m}$ に比べて非常に薄い．図 C.3 は，FD-SOI nMOS にイオンが入射した際に発生する電子正孔対とその動きを示している．トランジスタに重イオンが入射したとき，イオンの飛跡に沿って電子正孔対が発生する．SOI 層の下は酸化膜であるため，SOI 層内に発生した電荷のみが Drain に収集される．そのため，SOI プロセスでは，バルクデバイスに比べて重イオンが動作領域中に生成する電子正孔対量が小さくなり，一般的にソフトエラーに対して高い耐性を示すと言われる．

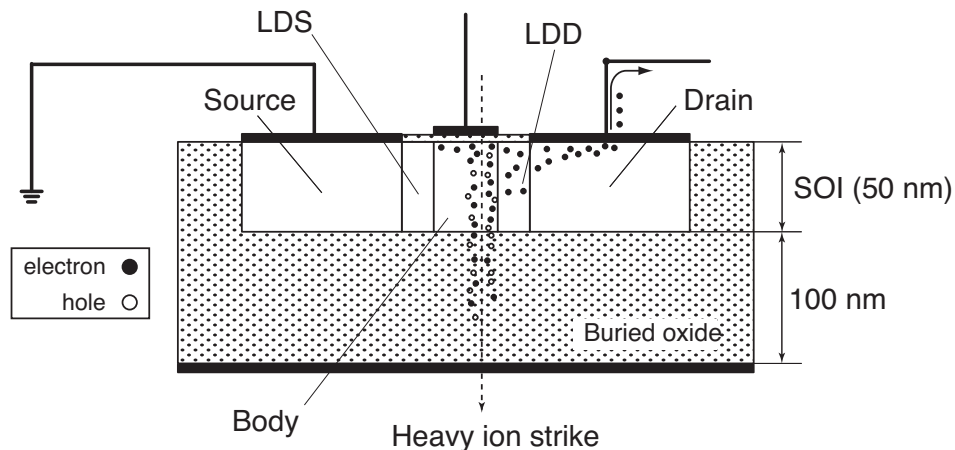


図 C.3 FD-SOI NMOS にイオンが入射した際に発生する電荷とその動き．

図 C.4 はシミュレーションによるバルク nMOS と SOI nMOS のドレインにおける収集電荷量の比較を示している． $\text{LET} = 14\ \text{MeV}\cdot\text{cm}^2/\text{mg}$ の重イオンが入射したと仮定しており，SOI デバイスは SOI 層を $100\ \text{nm}$ と仮定している [63]．バルクデバイスの収集深さは [19] において Si 表面から $1.5\ \mu\text{m}$ までの深さと示されているので，その値を用いると，収集深さ内に生成される電子正孔対量は B.1 式より $210\ \text{fC}$ であるが，前述のアバランシェ増倍によって収集電荷量は $750\ \text{fC} \sim 800\ \text{fC}$ となっている．これに対して，SOI デバイスは $100\ \text{nm}$ の SOI 層であるため，生成される電子正孔対量は B.1 式より $14\ \text{fC}$

であるが、収集電荷量は 150 fC ～ 200 fC となっている。この理由として、FD-SOI デバイスではイオンが入射することによって Body 領域の静電ポテンシャルが下がりソースからの電子の流れを引き起こす寄生バイポーラ効果がある。この寄生バイポーラ効果によって、重イオンが SOI 層に生成した電子正孔対量以上の電荷が収集される。生成電子正孔対量は SOI デバイスの方が 1/15 と小さいものの、収集電荷量との比で見ると、バルクデバイスで 3.6 ～ 4 倍、SOI デバイスで 11～14 倍と SOI デバイスの方が大きい。

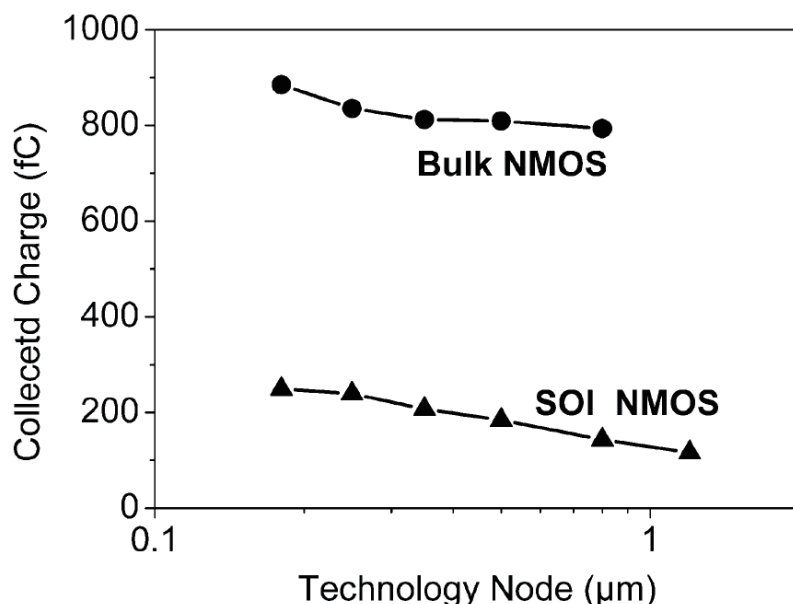


図 C.4 シミュレーションによるバルク NMOS と SOI NMOS のドレインにおける収集電荷量の比較。LET = 14 MeV·cm²/mg のイオンが入射したと仮定 [63]。

ここで、バルクデバイスと SOI デバイスの臨界電荷量 Q_C というソフトエラーを起こすのに必要な電荷量の最小値を比較する。図 C.5 に示すようにゲート長を L とすると Q_C は $Q_C = 0.023L^2$ に従っており、同じゲート長の場合 Q_C がバルクデバイスと SOI デバイスでほとんど同じと言える。生成電子正孔対量においては、バルクデバイス 210 fC に対して SOI デバイス 14 fC と 15 倍の優位性を見ることが出来た。しかし、収集電荷量においてはバルクデバイスで 750 fC ～ 800 fC に対して SOI デバイスで 150 fC ～ 200 fC であり、同じゲート長の場合 Q_C がバルクデバイスと SOI デバイスでほとんど同じなので、ソフトエラーに対する優位性は収集電荷量から考えて 4 ～ 5 倍程度であると言える。

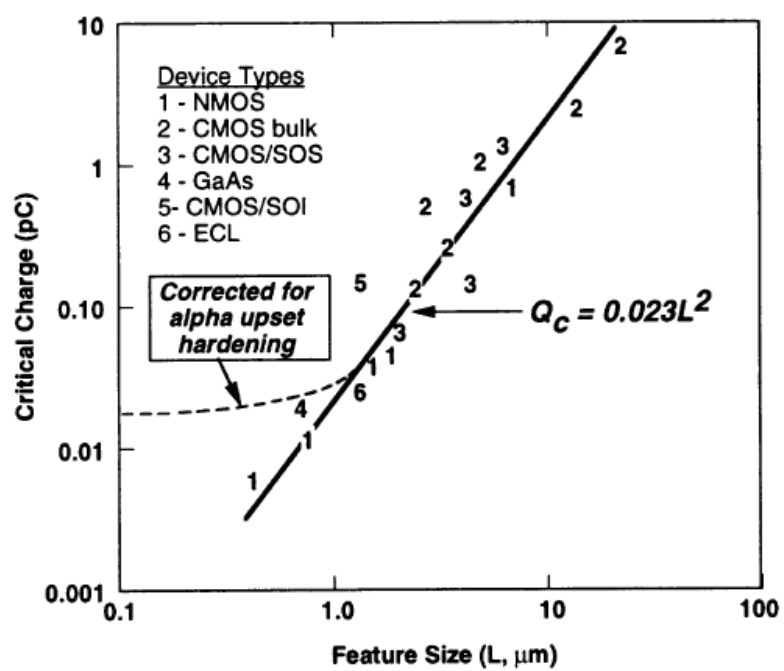


図 C.5 様々なデバイスのテクノロジーと臨界電荷量 Q_C の関係. 全てのデバイスにおいて Q_C は $Q_C = 0.023L^2$ に従う [65](L はゲート長).

付録 D

スキャン FF を実装した論理 LSI による SER_{SET} 測定手法

図 D.1 に SER_{SET} 測定用のスキャン FF を実装した論理 LSI の概念図を示す。各記憶素子にはスキャン FF を用いている。スキャン FF は、2 入力-2 出力型の FF であり、どちらの入出力ペアを使っても、データの書き込み並びに読み出しが可能である。スキャン FF の「D, Q」からなる入出力ペアは、通常の FF と同様に前段の組み合わせ論理回路の出力を受け取って自身に書き込み、書き込んだデータを後段の組み合わせ論理回路に渡す。普段の回路利用では、この入出力が利用される。

スキャン FF の「SI, SO」からなるもう一つの入出力ペアは、スキャン入出力と呼ばれるものである。このスキャン入出力は、他のスキャン FF の出力を受け取って自身に書き込み、その書き込んだデータを別のスキャン FF に渡すように接続されている。従って、スキャン入出力から眺めるとスキャン FF はシフトレジスタを構成することになり、これをスキャンチェーンという。スキャンチェーンの初段の入力と最終段の出力は、スキャン入出力ピンを経由して、チップ外部からアクセスできるようになっている。これを利用して、スキャンチェーンを構成する各スキャン FF に対して、データの書き込みおよび読み出しをシリアルに行うことが出来る。このスキャン FF を実装した論理 LSI は、SEU 測定モードと、SET 測定モードと呼ぶ二つの放射線試験モードを持っており、SEU 測定モードでは SEU によるソフトエラーのみ、SET 測定モードでは SEU と SET によるソフトエラーを取得出来るようになっている。 SER_{SET} , SET 測定モードによる測定結果から SEU 測定モードの測定結果を引くことによって求められる。

実際の試験では、図 D.2 に示すようにスキャン入出力 (SI, SO) はスキャンパスを構成するように連結し、D 入力には論理セルを接続したものをを用いている。各 FF に接続する論理セルの数を初段から順に 0(すなわち論理セルが一つもつながっていない) から 4096 まで増やしてある。FF1~8 に接続した論理セルの種類は同一であり、かつ、各 FF の論

理セルは、NOT のみまたは NOR のみである。回路は $0.2\ \mu\text{m}$ FD-SOI プロセスで作製されている。

この論理 LSI を用いた試験結果の一例を図 D.3 に示す [13, 17]。図は、縦軸にソフトエラー断面積、横軸に接続した論理素子の段数を示している。SET 測定モードでのクロック周波数は $9.2\ \text{MHz}$ である。 SER_{SEU} が一定であるのに対して SER_{SET} は論理素子の段数に比例して増加している。これは、 SER_{SET} は SET によるソフトエラー率だけであることを示している。このように、スキャン FF を実装した論理 LSI によって論理 LSI での正確な SER_{SET} が初めて測定された。そこで、このスキャン FF を実装した論理 LSI による論理素子 1 段あたりの SER_{SET} と、本研究での予測手法による論理素子 1 段あたりの SER_{SET} の比較をする。

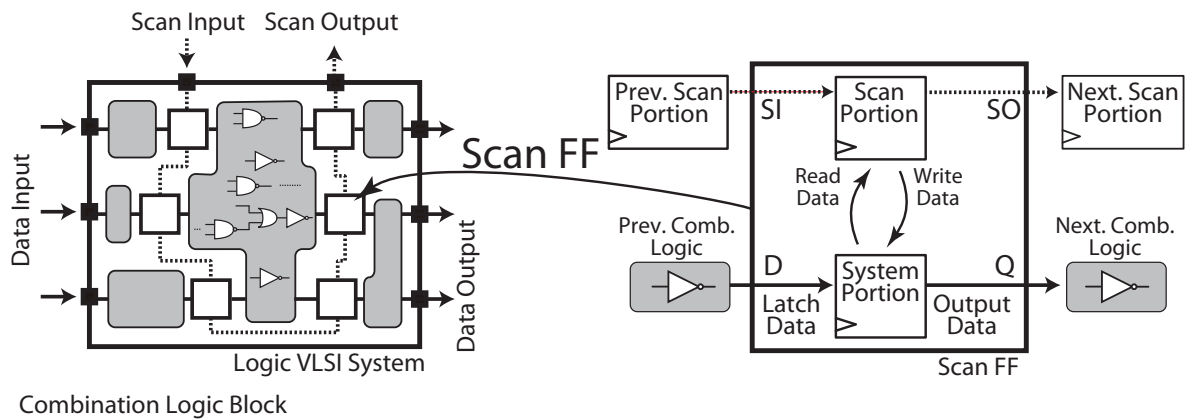


図 D.1 スキャン FF を実装した論理 LSI の概念図 [13, 17, 66].

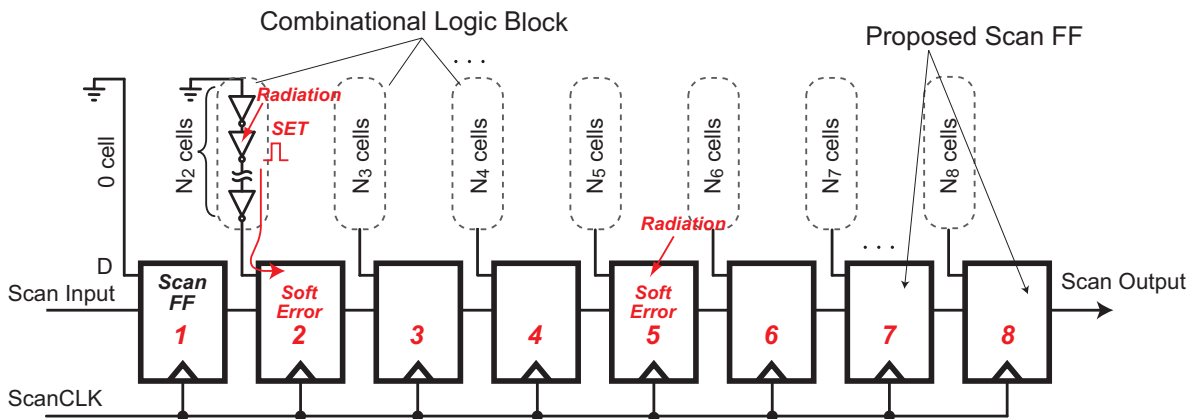


図 D.2 試験に用いられたテスト回路の概念図。それぞれに異なる段数の論理素子を接続してある [13, 17, 66].

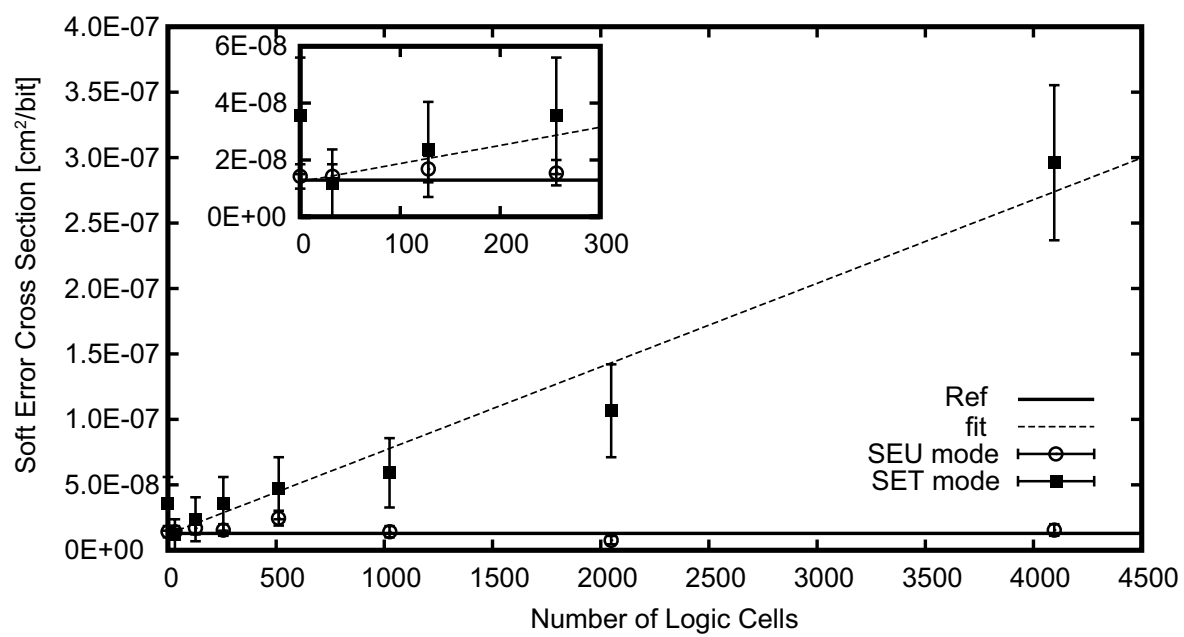


図 D.3 スキャン FF を実装した論理 LSI による SER_{SEU}, SER_{SET} 測定結果 [13, 17].

付録 E

SET パルスシミュレーションへの 電子正孔対生成モデルの影響

図 6.19 で示した実際の電子正孔対生成モデルを用いて行ったシミュレーション結果に対し、図 E.1 にガウス関数型の電子正孔対生成モデルを用いた場合の SET パルス幅シミュレーション結果を重ねて示す。再結合を考慮しない場合のシミュレーション結果は、両モデル共に LET の増加に伴って SET パルス幅が直線的な増加を示した。また、この結果より、再結合を考慮しない場合の SET パルス幅は、電子正孔対生成モデルによらず、デバイス内に生成された電子正孔対量で一意に決まることを示している。それに対して、再結合を考慮した場合、再結合を考慮しない場合に比べ SET パルス幅は短くなり、実験結果と同様に LET $40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 以上の LET 領域で飽和傾向を示した。これは図 6.20 に示した Dodd 等のシミュレーション結果と一致する。さらに、実際の電子正孔対生成モデルによる再結合を考慮した場合の SET パルス幅は、ガウス関数型電子正孔対生成モデルを用いた場合に比べ 全体的に 300 ～ 400 ps 短いのがわかる。

キャリアの再結合率は、6.4 節で示した通り生成される電子正孔対の密度に依存する。図 6.7 に示した通り等量の電子正孔対生成量であっても実際の電子正孔対生成モデルは、ガウス関数型電子正孔対生成モデルに比べてイオン経路中心付近で高密度の電子正孔対分布を持ち、半径 50 ～ 100 nm の領域に生成する電子正孔対量は総生成電子正孔対量の 80% 程度を占める。そのため、高密度の領域での再結合量が増加し、結果としてガウス関数型電子正孔対生成モデルを用いた結果より短くなったと考えられる。このことから詳細な SET パルスの解析を行う際、ガウス関数型の電子正孔対生成モデルでは、実際の電子正孔対生成モデルに比べ SET パルス幅を過大に推定してしまうことがわかる。

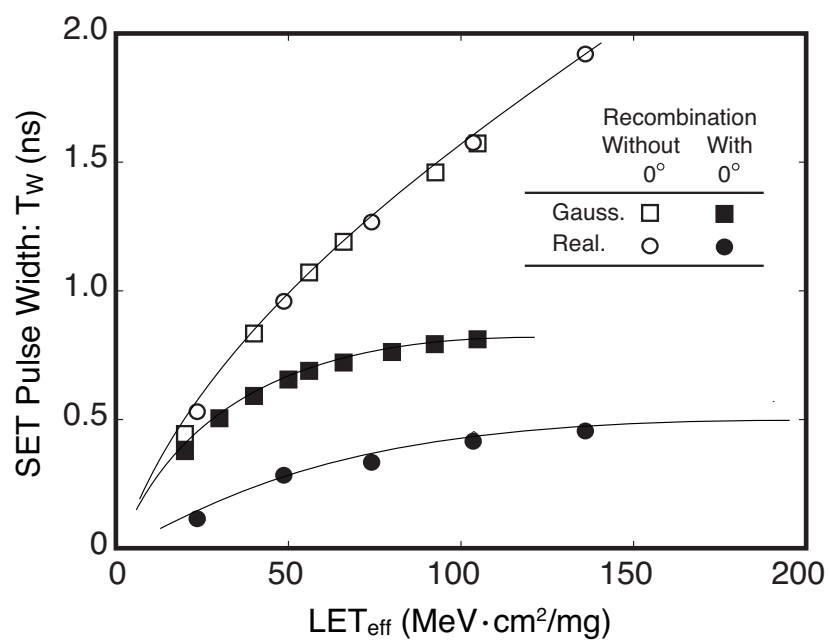


図 E.1 ガウス関数型の電子正孔対生成モデルと実際の電子正孔対生成モデルを用いて行った SET パルス幅シミュレーション結果.