

氏 名 Galle Mannakkarage Chamika Mannakkara

学位（専攻分野） 博士（情報学）

学位記番号 総研大甲第 1386 号

学位授与の日付 平成 22 年 9 月 30 日

学位授与の要件 複合科学研究科 情報学専攻
学位規則第 6 条第 1 項該当

学位論文題目 Asynchronous Pipeline Controller Based on Early
Acknowledgement Protocol

論文審査委員 主 査 教授 米田 友洋
准教授 山田 茂樹
教授 三浦 謙一
准教授 阿部 俊二
准教授 鯉渕 道紘

論文内容の要旨

Over the past couple of decades, the digital design technology scales to date remarkably satisfying the Moore's Law. The circuits became denser with the scaling of transistor and interconnect, and operating frequencies increased several orders of magnitudes during this period. This poses challenges to digital circuit design in a variety of areas including clock distribution, power management, process migration, fault-tolerance, etc. A lot of research effort goes to tackle these issues under the synchronous design methodology which currently dominates the digital design world. However, the magnitude of the challenges poised has also revitalized the asynchronous design methodology explored in this work, as it inherently address some of key issues.

The main philosophy of the asynchronous design practices is to compose a digital circuit as a collection of autonomous parts communicating with each other locally, as opposed to synchronous design which controls the circuit with a centralized clock signal. Without a global clock or clock domains the designs eliminate the ever increasing problems of high power and area consumption, skew minimization, etc. associated with the clocks. Each component operates only when required in an inherently power efficient manner generating a low electromagnetic (EM) noise. The control and data flow is inherently elastic providing immunity to transistor-to-transistor variability in the manufacturing process, thus providing better technology migration characteristics. These are only a few of the main advantages of asynchronous design.

The spectrum of design styles under asynchronous paradigm varies from bundled data communication model which can employ synchronous-like data processing elements with careful delay matching for completion detection, to delay-insensitive model which can accommodate arbitrary delays in the design. The focus of the is work is on the former style -the bundled data model- which is more close to synchronous design practices. Synchronous circuits, specially pipelined circuits can be transformed to these form asynchronous designs with relative ease. In a time when digital design primarily done in synchronous manner, the work presented here will be significant in harnessing the strengths of asynchronous practices by migrating from synchronous to asynchronous with low effort.

This PhD dissertation presents is a new pipeline controller based on Early Acknowledgement protocol for bundled data asynchronous circuits. The Early Acknowledgement protocol is a hybrid of 2-phase and 4-phase hand-shake protocols, two widely used protocols for bundled data communication. The new Early Acknowledgement protocol combines the advantages of 2-phase and 4-phase protocols and the controller that is presented exploits them. It mainly employs the return-to-zero control signals like 4-phase protocol retaining the simplicity for interfacing and composition of non-linear controllers. At the same time, the controller overhead can be hidden in the Early Acknowledgement protocol which gives the performance comparable to that of 2-phase

protocol. First a linear controller for the Early Acknowledgement protocol is proposed which can be deployed in straight pipelines.

In order to further the claims of the proposed controller, a non-linear controller for Early Acknowledgement protocol to perform conditional branch operation is also proposed using the above mentioned linear controller. Though simple in construction, it has been observed to be superior in performance compared to its 2-phase and 4-phase counter parts.

The performance of the both linear and non-linear controllers are evaluated analytically. Constraints for the proper operation of the controllers are obtained and the conditions for the optimal operation i.e. when the controller hides all its overhead and operate efficiently, are derived. The performance of the controllers are obtained when the controllers are operating in two different modes: pipelines with logic processing and pipelines without logic processing. Similar performance analysis for the controllers of 2-phase and 4-phase protocols (both linear and non-linear controllers) is carried out. The findings outline the design choices available, cost vs. performance benefits and design constraints to be satisfied in employing 2-phase, 4-phase and Early Acknowledgement controller in bundled data communication design.

A case study which carried out to analyze the performance of the each controller in a practical application environment is presented at the end. The target was to build an accelerator module to solve set of linear equations using Gauss-Seidel method which can be used in a core of a Finite Element Method (FEM) analysis system. Three accelerator modules are designed using 2-phase, 4-phase and Early Acknowledgement protocols for the control path. All the designs are implemented on a Xilinx Virtex-4 FPGA platform. Performance of these modules which essentially compares the protocol is analyzed and presented. The conclusions highlight the advantages and best use case scenarios of the proposed controllers.

In conclusion, this work as highlighted the importance of little known EA protocol by proposing a controller for it to harness its advantages. This work serves the main source of any analytical and practical comparison of these protocols. The results of the work will strengthen the importance of EA protocol and encourage the use of it in applications where it exhibit to work efficiently.

本博士論文は「Asynchronous Pipeline Controller Based on Early Acknowledgement Protocol (早期応答方式に基づく非同期式パイプライン制御回路に関する研究)」と題し、英文で書かれている。非同期式回路では、グローバルクロックを用いずにローカルなハンドシェイクにより所望の回路動作を実現しており、従来ハンドシェイクプロトコルとして4相式あるいは2相式が使われてきた。早期応答方式ハンドシェイクプロトコルは4相式と2相式の長所を取り入れたものであるが、いままでのところ、この早期応答方式のハンドシェイクプロトコルについては十分な研究がなされていなかった。本論文は、特に早期応答方式に基づくパイプライン方式に着目し、その制御回路を提案するとともに、その制御回路が正しく動作するための制約条件、その制約条件下での性能を明らかとし、さらに、ある程度の規模のシステム実現というケーススタディにより、提案手法の有効性を示している。

論文は9章と付録Aから構成され、第1章では研究の背景と成果・本研究の必要性について概観するとともに、論文の構成を示している。

第2章では、パイプライン方式の回路について、それぞれ同期式と非同期式の構成とそれらの違いについて述べた後、非同期式パイプライン方式で用いられるハンドシェイクプロトコルについて詳細を示すとともに、従来提案されているそれぞれのパイプライン制御回路を紹介している。

続いて、第3章では、早期応答プロトコルを、分岐構造を持たない、直線構造のパイプライン(リニアパイプライン)において実現するための制御回路を提案している。まず、制御回路の動作を詳しく述べた後、その制御回路が正しく動作するためのタイミング制約を3種類導出している。これらのタイミング制約は、信号遷移グラフを用いて、ゲート遅延に関する不等式の形式で導出された後、時間オートマトンに基づく形式的検証ツールを用いて、その正当性が検証されている。さらに、上記の信号遷移グラフを用いて、提案回路のサイクルタイム(各データが処理される時間間隔)とレイテンシ(パイプラインが空のとき、データが1つのステージを通過するのに要する時間)を求めている。

第4章では、条件に応じて分岐する構造を持つパイプライン(非リニアパイプライン)について、その制御回路について述べている。さらに、前章と同様に、信号遷移グラフに基づく、タイミング制約の導出と性能(サイクルタイム、レイテンシ)の評価を行っている。

続く第5章と第6章では、4相式と2相式のそれぞれにおいて、リニアパイプラインと非リニアパイプライン用制御回路の性能を、信号遷移グラフを用いて評価し、第7章では、第3章から第6章までの性能評価結果をまとめ、比較検討している。また、リニアパイプラインと非リニアパイプラインのそれぞれのテスト用回路を、4相式、2相式、および早期応答方式で実現し、FPGA上で性能比較を行っている。その結果、パイプラインステージ間の処理回路の遅延が十分大きい場合、リニアパイプラインにおいては、提案手法は最も高速な2相式と同程度の性能を持つこと、非リニアパイプラインにおいては、提案手法がもっとも高速であることが示されている。

第8章では、ケーススタディとして、Gauss-Seidel法の線形一次方程式ソルバを、4相

式、2相式、早期応答方式でFPGA上に実現し、提案手法が4相式に対し約14%、2相式に対し約10%高速であったことが述べられている。

最後の第9章では、研究成果をまとめ、今後の課題を提示している。

なお、本研究の成果として、出願者は電子情報通信学会論文誌論文1篇、査読付会議論文1篇、その他1件の研究発表を行っている。

以上を要するに、本論文は非同期式パイプラインの新しい制御回路を提案し、それが従来のものに比べて有用となる条件を形式的に、および、ケーススタディを通して明らかにしたもので、高集積化・高性能化という要求を満足するLSIを実現する上で、その成果は大変大きい。よって、本論文は博士の学位請求論文として合格と認める。