

遠赤外線天文観測のための極低温読み出し集積
回路開発

長勢 晃一

博士（理学）

総合研究大学院大学
物理科学研究科
宇宙科学専攻

平成28（2016）年度

博士論文
遠赤外線天文観測のための
極低温読み出し集積回路開発

総合研究大学院大学
物理科学研究科 宇宙科学専攻
学籍番号: 20101152
長勢 晃一

概要

波長帯 30-60 μm での遠赤外線天文観測を行うための、高感度・多画素イメージセンサー実現に向け、極低温 (4 K) 読み出し集積回路の開発を行った。本論文の第 1 章で科学目的とそれを達成するための性能要求について述べ、第 2 章では極低温読み出し集積回路の背景と設計について述べる。第 3 章では、設計した極低温読み出し回路の評価実験について述べる。第 4 章では評価実験の結果について議論し、第 5 章で結論を述べる。

天文学の主要課題の一つに物質進化過程の解明がある。現在の宇宙に存在する物質は、星の内部における核融合活動によって形成された重元素や塵などを起源としているため、宇宙の星形成史を調べるのが物質進化過程の解明の上で本質的である。近年では、宇宙の星形成率は赤方偏移 $z=2$ 付近にピークがあり、 $z=3$ 以遠では減衰していることが知られている。すなわち、 $z=3$ 以遠の宇宙は星の形成が徐々に増え、物質が豊かになっていく時代である。従来の観測では、星形成率の指標として星間ダスト放射 (静止波長 60 μm にピークを持つ連続スペクトル) が用いられてきた。しかし、Herschel 宇宙天文台などの $z>3$ でのダスト放射観測では、コンフュージョン限界のために非常に明るい銀河 ($> 10^{13}$ 太陽光度) しか観測できておらず、その時代の銀河の典型的な明るさは未だ不明であり、正確な星形成率の推定ができていなかった。コンフュージョン限界は、密集した点源の光応答がセンサー上で重なり合い、画像背景を明るくしてしまう現象であり、観測波長と望遠鏡口径によって決まる。このような問題に対して、次世代赤外線天文衛星では、星間ダスト放射との良い相関が示唆されている多環芳香族炭化水素 (PAH) の輝線 (静止波長 7.7 μm) を用いてコンフュージョン限界を打破し、 $z>3$ の星形成史を明らかにする観測の提案がされている。このような観測に必要なイメージセンサーは受光素子 (検出器) アレイと読み出し集積回路から構成される。前者は十分に高感度なものが実現されたが、後者においては未だ開発例が少ない。本研究では、前述した次世代の観測提案を実現しうるイメージセンサー用極低温読み出し回路の開発を目標とした。

PAH 輝線の観測によりコンフュージョン限界を十分低減することは原理的に可能であるが、遠方銀河からの微弱な輝線を検出するためには非常に高感度なセンサーが必要である。さらには、系統的かつ均質な天体のサンプリングを行うために広い範囲のサーベイ観測が必要となり、十分に多画素のイメージセンサーが要求される。本研究では、検出限界 70 μJy かつ 1000 画素以上のイメージセンサーが必要であると見積もった。

$z=3-6$ の遠方銀河からの PAH 輝線の観測波長は 30-60 μm である。この波長帯に感度を持ち、上記の検出限界を実現しうる検出器として、Ge をベースにした Blocked-impurity-band (BIB) 検出器が挙げられる。Ge-BIB 検出器を高感度で運用するためには、暗電流雑音を低減するために極低温で用いられるが、多画素の検出器を限られた冷却パワーの下で極低温に保ち、かつ外来雑音の影響を低減するためには、検

出器の直近で信号増幅と信号多重化を行う必要がある。従って、極低温環境で動作する読み出し集積回路が必要となる。また、読み出し集積回路には、冷却パワーの制限によって発熱量が制限されているため、低消費電力が求められる。さらに、検出限界についての性能要求から読み出し回路には低雑音であることが要求される。

Ge-BIB 検出器のように低背景光環境で高インピーダンスになる検出器に対しては、入力インピーダンスの高い MOSFET の読み出し回路が有効である。しかし、極低温環境での従来 MOSFET の電流電圧特性は、ドレイン電流のヒステリシスやキンクといった現象が顕著であり、安定した動作を実現することができなかった。キンク現象・ヒステリシスは、キャリア凍結した Si 基板内部のポテンシャル・電荷分布が不安定になることに起因する。そのため、極低温環境で安定動作する読み出し回路を実現できず、多画素化が困難であった。

一方で、完全空乏型 Silicon-on-insulator (FD-SOI) CMOS プロセスによる MOSFET は、極薄の構造のため、ゲート下が全て空乏化できる。そのため、MOSFET 内に中性領域が存在せず、基板ポテンシャルや電荷分布の変動の影響を受けないのでヒステリシスの抑制が期待されていた。実際に、FD-SOI MOSFET の 4 K 以下での動作は P タイプ・N タイプ共に実証されており、ヒステリシスは問題にならないことが知られている。これらの背景を踏まえ、本研究では FD-SOI MOSFET をベースとした極低温読み出し集積回路の設計を行った。

多画素の読み出し回路では、インピーダンス変換を行う増幅回路と多重化された出力を画素毎に選択するマルチプレクサが必要である。本研究では、4.2 K での MOSFET の電流電圧特性を参考にし、検出器光電流の電流電圧変換・インピーダンス変換を行うための Capacitive trans-impedance amplifier (CTIA) を開発した。CTIA は、観測要求から導いた性能要求値（雑音 28 e、出力電圧幅 1 V、消費電力 1 μ W、リセット応答時間 1 s 以下）の達成を目指した設計を行った。また、出力画素を選択するためのアナログスイッチとその制御回路であるシフトレジスタを設計した。シフトレジスタは 4.2 K ですでに実証されているフリップフロップを用いて構成した。

次に、製作した FD-SOI CMOS 極低温読み出し回路の極低温性能の評価実験を行った。CTIA の出力電圧幅・雑音・消費電力・リセット応答時間について測定を行った結果、雑音以外の項目については観測要求から導かれる回路要求性能をほぼ達成することができた。また、画素選択スイッチで用いるアナログスイッチについて、切り替え応答時間の評価を行い、1000 画素のイメージセンサーを 1 s 以下の時間で 1 フレームを読み出すことができると分かった。これは、明るい天体の観測を想定した場合でも飽和する前に読み出すことができる性能であり、要求を満たす。

一方、4.2 K で測定された CTIA 雑音は 89 e であり設計値を超過している。この原因の一つとして、キンク現象に関連する雑音増加現象が挙げられる。極低温におけるキンク現象の消滅は自明ではなく、理論的には衝突電離が発生する高電圧領域で起こりうるからである。このことは、回路設計において改善可能であり、今後の課題である。

また、雑音性能は CTIA の電荷積分時間を増やすことで改善が可能である。本研究の測定で得られた雑音から、積分時間と雑音等価電力の関係を算出したところ、積分時間を 4 s 以上に増やすことで、宇宙の背景光のフォトンショット雑音を下回り（自然背景光限界）、さらに積分時間を 50 s 以上に増やすことで、次世代赤外線天文衛星用に想定されている超伝導ボロメータによる観測性能を上回ることが可能であるとわかった。さらに、前述の PAH 輝線の検出についても 1000 s 程度の観測で検出可能 (S/N=5) となること

がわかった。

以上の設計・評価と考察により、FD-SOI CMOS プロセスをベースにした極低温読み出し回路の諸性能が明らかになった。また、本研究の極低温読み出し回路を用いることにより、Ge-BIB 半導体検出器であっても、現状高感度検出器の代表と言われる超伝導ボロメータに近い雑音性能を実現できるため、次世代の高感度・多画素遠赤外線イメージセンサー開発において新たな展開をもたらすことができる。

目次

第 1 章	Introduction	6
1.1	銀河の星形成史	6
1.2	Z>3 の遠方銀河の星形成史解明に向けて	8
1.2.1	コンフュージョン限界	10
1.2.2	観測エリアとイメージセンサー画素数	12
1.2.3	観測要求まとめ	13
1.3	前提とする観測システム	13
1.3.1	検出器素子	14
1.3.2	冷却システム	14
1.3.3	読み出し回路の雑音に対する要求	16
1.3.4	明るい天体のために	16
第 2 章	極低温読み出し回路設計	18
2.1	総論	18
2.2	MOSFET の低温動作	18
2.2.1	低温環境での問題点	18
2.2.2	低温でのキャリアの振る舞い	19
2.2.3	キンク現象の物理	22
2.2.4	ヒステリシス現象の物理	23
2.2.5	キンク・ヒステリシス現象の解決方法	24
2.3	FD-SOI MOSFET の低温動作	25
2.3.1	FD-SOI に至る背景	25
2.3.2	FD-SOI の低温特性	25
2.4	極低温読み出し回路設計	27
2.4.1	読み出し方式	28
2.4.2	MOSFET の極低温静特性	29
2.4.3	電荷積分型インピーダンス変換増幅器	32
2.4.4	画素選択回路	40
2.4.5	設計仕様まとめ	45

第 3 章	極低温動作実証	46
3.1	総論	46
3.2	CTIA	47
3.2.1	測定コンフィギュレーション	47
3.2.2	CTIA 動作の概観	52
3.2.3	積分動作の出力幅と実効積分容量	53
3.2.4	リセット動作	56
3.2.5	雑音	60
3.2.6	消費電力	61
3.3	アナログスイッチ	64
3.3.1	ON/OFF 抵抗	64
3.4	シフトレジスタ	67
第 4 章	議論	69
4.1	出力電圧スイングの検証	69
4.2	雑音性能の検証	71
4.3	ダイナミックレンジの検証	79
4.4	フレームレートの検証	79
4.5	消費電力の検証	80
4.6	多画素化への展望	80
第 5 章	結論	83
参考文献		85

第 1 章

Introduction

1.1 銀河の星形成史

宇宙の歴史を語る上で最も基本的な天体の一つが銀河である。銀河とは数百万個から数兆個の恒星から成る天体であり、銀河の年齢や宇宙の年代によって異なった形態を持つ。現在の銀河がどのような進化を経て形成されてきたのかという問題を解明するためには、銀河を構成している星の形成プロセス及び、進化の過程を明らかにしなくてはならない。星の形成は、冷却されたガスの凝集によって引き起こされると考えられている。ガスの冷却は、ダストや金属の存在によって促進されることが示唆されている。そのため、各時代のガス・ダスト・金属量に関する物理量を調査することで、星形成のプロセスや進化の研究が進められてきた。

宇宙は等方的に膨張しており、遠くの距離にある空間ほど早く遠ざかるので、天体からの光はドップラー効果により長波長にシフトする。この効果による観測波長の変化を赤方偏移と呼び、赤方偏移パラメータ z で表される。観測波長を λ 、静止波長を λ_{rest} とした時、 $z = (\lambda - \lambda_{\text{rest}}) / \lambda_{\text{rest}}$ で表される。そして、光の速度は有限であるので、赤方偏移 z が大きいほど、過去の宇宙を観測していることを意味する。近年の研究では、赤方偏移 $z \sim 3$ から現在までの銀河の星形成史が大まかに明らかになっている。図 1.1 は、紫外線及び赤外線の見測から推定される星形成率密度の赤方偏移進化を表している。星形成率は、1 つの銀河で単位時間当たりに形成される星の質量である。ダストが豊富に存在する銀河では、星から放射される紫外線はダストに吸収され、赤外線で再放射される。したがって、紫外線での観測量は、ダストの吸収によって減光された値であり、再放射成分を考慮せずには物理量を評価することが難しい。特に、現在から $z \sim 3$ の宇宙では、ダストが豊富な銀河が多く、過去に遡るほど赤外線による再放射成分の寄与が大きくなっており、 $z \sim 2$ では紫外線に比べて 1 ケタ程度大きな星形成率を示す。星形成率は、紫外線と赤外線の観測から求められる星形成率を足し合わせて評価される。

$z=3$ 以遠の宇宙については、Herschel 宇宙望遠鏡 [1] による観測が試みられたが、後述するソースコンフュージョン限界のために、極めて大光度の銀河しか観測できていない。図 1.2 は赤外線光度関数の進化を表している。 $z \sim 3$ 以遠の光度関数は、この時代の宇宙の支配的な明るさが推定できていない。そのため、星生成率密度の推定に大きな不定性がある。この問題を解決するために、 $z \sim 3$ 以遠で、従来よりも暗い銀河 ($10^{12} L_{\odot}$ 程度¹) を観測する必要がある。

¹ $L_{\odot} = 3.83 \times 10^{26} \text{ W}$ (太陽光度)

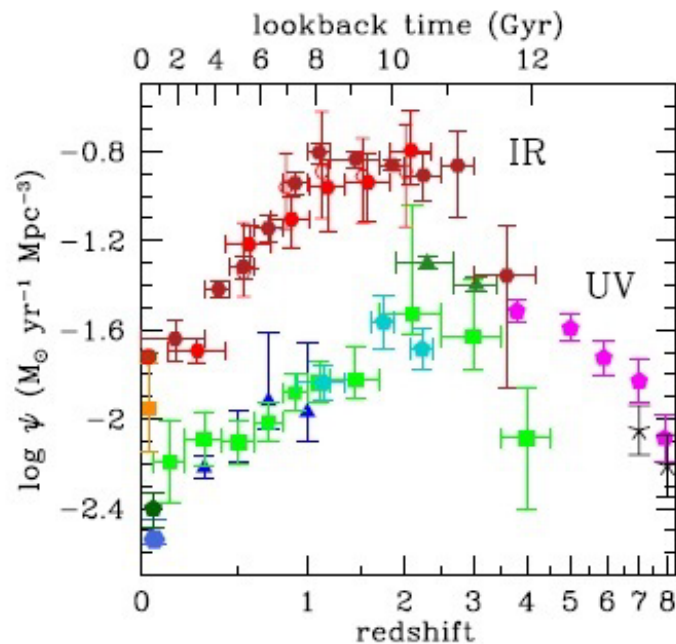


図 1.1 赤方偏移と星形成率密度の関係 [2] 赤方偏移 2-3 で星形成率密度が最も大きくなっている。星形成の盛んな時代において、遠赤外線でのダスト再放射が支配的になっており、星形成銀河では多量のダストを含んでいることがわかる。

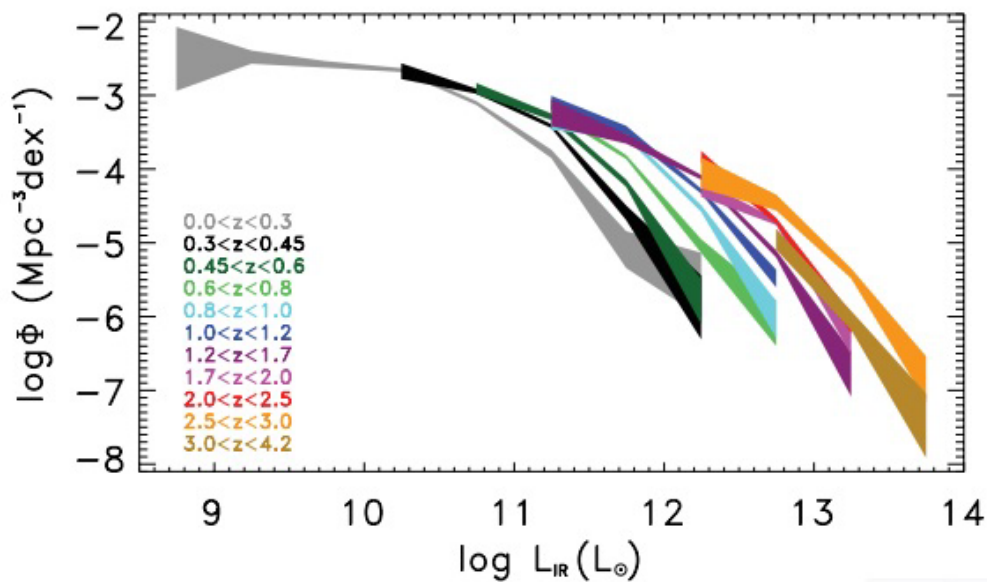


図 1.2 赤方偏移 0-4 の赤外線光度関数の変化 [3] 赤方偏移 0-3 にかけて、非常に明るい銀河が増加している。赤方偏移 3 以遠では、 $10^{13} L_{\odot}$ 以上の極めて明るい銀河しか測定されておらず、正確な星形成率密度を求めるのに十分な光度関数が求められていない。

1.2 $z > 3$ の遠方銀河の星形成史解明に向けて

点源からの光を望遠鏡のような光学系を通過した時の応答は、フラウンホーファー回折によって、開口形状で決まる分布となる。これを点像分布関数と呼ぶ。口径 D の望遠鏡で波長 λ の点光源を観測した時に得られる点像分布関数のサイズ θ は、 $\theta \sim \lambda/D$ となるので、観測波長が長く、望遠鏡口径が小さいほど、点像分布関数は広がる。ハーシェル宇宙望遠鏡では、口径 3.5 m の主鏡を有しており、遠赤外線観測装置 PACS[4] は波長 60-210 μm の帯域に感度を持ち、SPIRE[5] は 250 μm 、350 μm 、500 μm のフォトメトリックバンドと 194-671 μm の分光バンドを持っていた。典型的な銀河のダストのスペクトル連続成分は、図 1.3 に示すように波長 60 μm 付近でピークを持つので、 $z=3$ の銀河では、ピーク波長が 240 μm 程度に赤方偏移する。したがって、Herschel 宇宙望遠鏡では、銀河が検出できれば、ダストの赤外線連続成分から星形成率が評価可能である。しかし、波長 240 μm の光では、点像分布関数が大きくなり、後述するソースコンフュージョンに達してしまう。そのため、Herschel 宇宙望遠鏡では、非常に明るい銀河 ($10^{13} L_{\odot}$ 以上) しか検出することができず、推定された星生成率には大きな不定性があった。

星生成率は、ダストの赤外線連続成分から推定されるが、観測波長が長くなってしまう。ダストのスペクトルには様々な輝線が存在し、連続成分との相関がある。その一つに、多環芳香族炭化水素 (PAH) という分子の輝線がある [6]。特に主系列銀河と呼ばれる種族は、PAH 輝線と連続成分の割合がほぼ一定であることが知られており、PAH 輝線を用いた星形成率の推定が可能である (図 1.5)[7]。主系列銀河とは、星質量と星生成率の関係がほぼ一定な種族を示す (図 1.4)。また、主系列銀河は十分に長い時間スケールで似通った星形成史に基づいて星形成活動を行うことが分かっている。したがって、その時代の星形成の特徴を表す種族として適格である。

$z=3$ の主系列銀河の赤外線光度が $10^{12} L_{\odot}$ 程度と推定されている。そして、主系列銀河の PAH 輝線は連続成分に対して 1% 程度の明るさを占めており、星生成率との相関も強い (図 1.5)。したがって、 $z \sim 3$ 以遠の銀河の星形成史を解明するために、PAH 7.7 μm 輝線によるサーベイ観測が有効である。

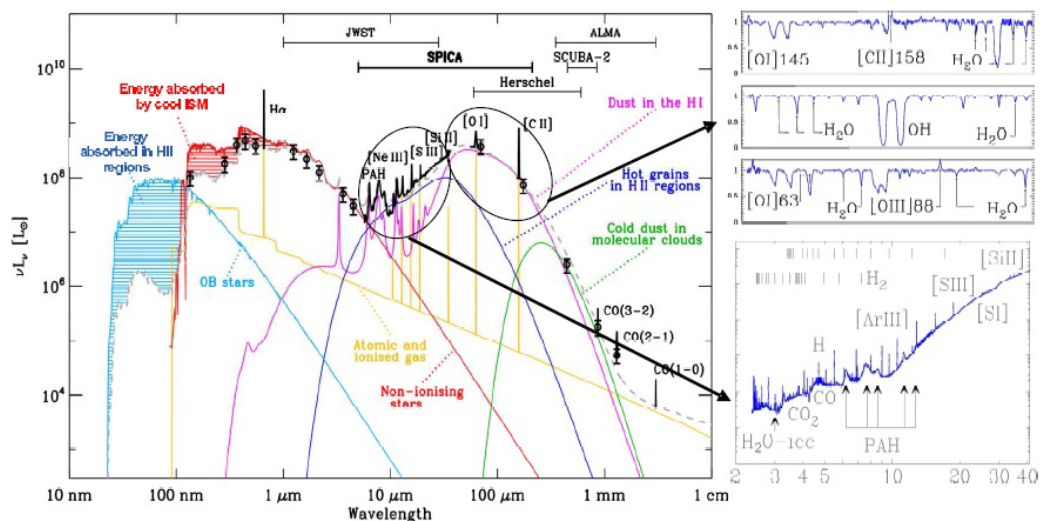


図 1.3 典型的な銀河のスペクトル [8] 波長 $60\ \mu\text{m}$ を中心とした連続スペクトルは、ダストによる再放射によるものである。多様なガス輝線やダスト輝線が存在する。

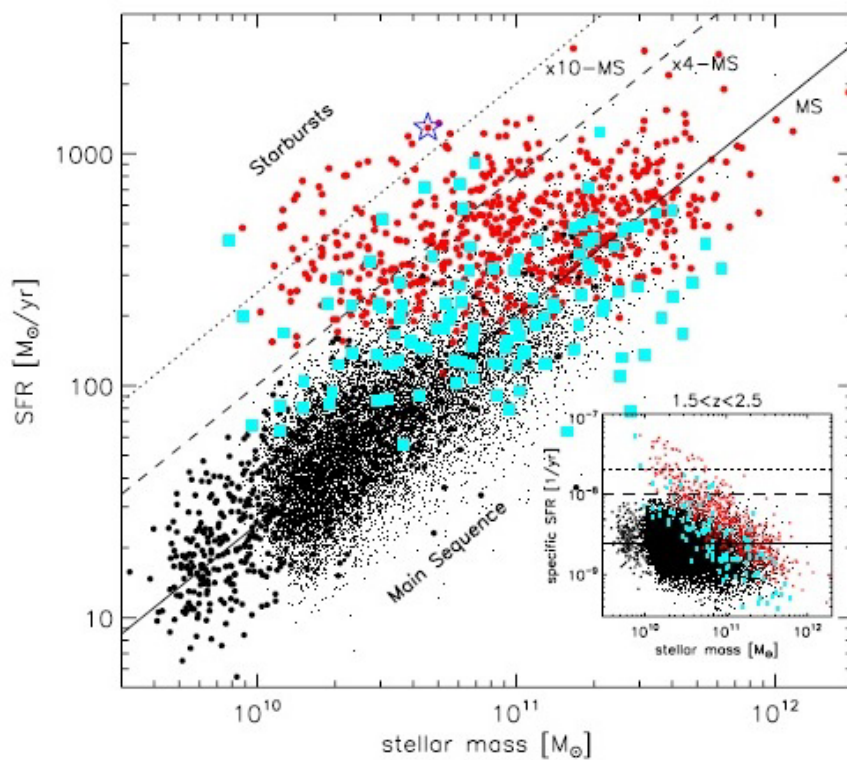


図 1.4 星質量と星生成率の関係 [9] 実線に沿った分布をしており、星質量に対して星生成率の分散が小さい銀河は主系列銀河と分類される。星形成率が著しく大きな銀河はスターバースト銀河と分類される。

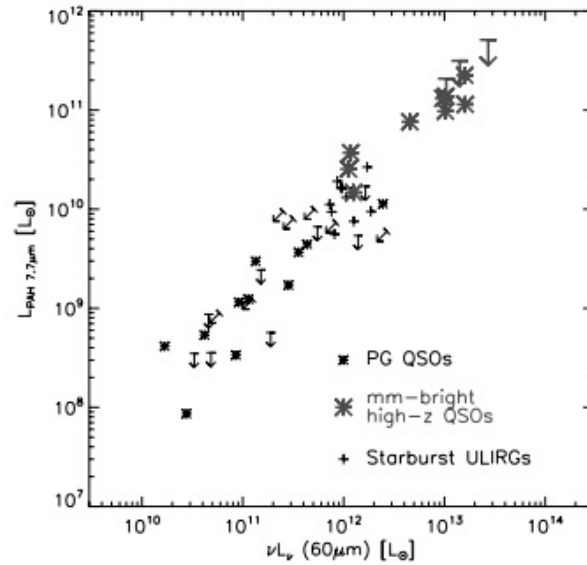


図 1.5 赤外線スペクトルの連続成分の明るさと PAH 7.7 μm 輝線の明るさの関係 [7] PAH 7.7 μm 輝線はダスト連続成分と非常に良い相関を持っており、連続成分に対して 1% 程度の明るさを持っている。

1.2.1 コンフュージョン限界

観測された点像分布関数が個々に分離できないほど近接していた場合、点像分布関数の裾野が混じり合い、小さい応答が埋もれてしまう。これをソースコンフュージョンと呼ぶ。ソースコンフュージョン限界は、観測領域の天体密度と光学系による点像分布関数の大きさで決まる。主系列銀河 ($z=3$) の PHA 輝線のコンフュージョン限界に関して、次世代赤外線宇宙望遠鏡「SPICA」[10] のミッション検討でなされている。

$z=3$, $L=10^{12}$ 太陽光度の主系列銀河のスペクトル例を図 1.6 に示す。PAH 輝線のピークでは、およそ $70 \mu\text{Jy}$ (ジャンスキー²) の明るさがある。コンフュージョン限界の観点から、このような輝線を測定するために必要な口径を下記に示す。

図 1.7 に Cai et al.2013[12] から求められる波長 $30 \mu\text{m}$ 付近での天体の個数密度を示す。点像分布関数の 5σ を 1 点源とし、15 点源分の領域に 1 天体が導入された場合のコンフュージョン限界は、図 1.8 のようになる。ただし、望遠鏡の固有角 Ω を $\Omega = 1.1(\lambda/D)^2$ としている。PAH 輝線を 20% の確度で測定するとき、必要な感度は $14 \mu\text{Jy}$ であるので、図 1.8 から 2.5 m の口径の望遠鏡が必要であることがわかる。

² $\text{Jy}=10^{-26} \text{ Wm}^{-2}\text{Hz}^{-1}$

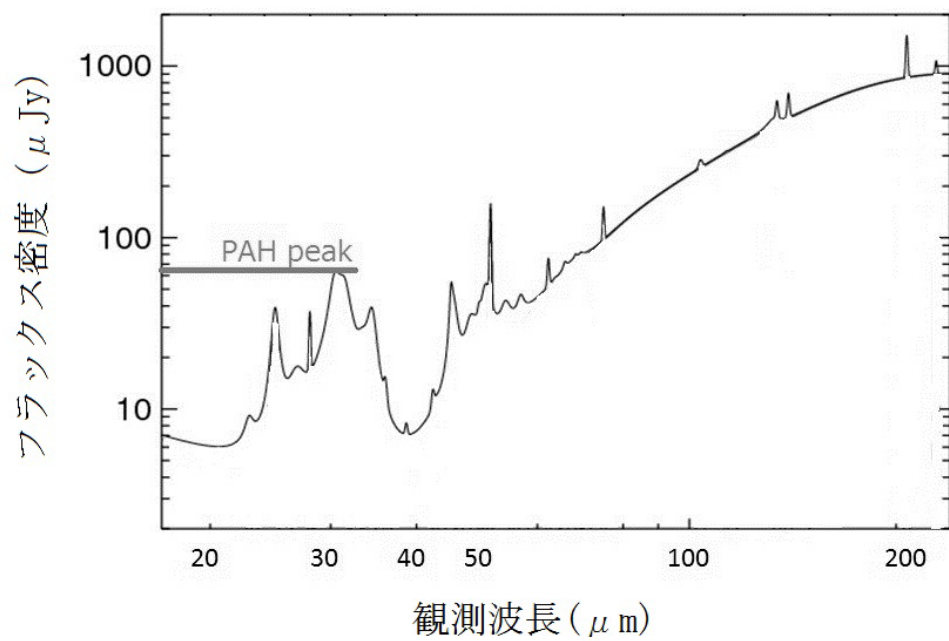


図 1.6 $z=3$ の主系列銀河の PAH スペクトル [11]。 $z=3$ では、PAH $7.7\mu\text{m}$ 輝線は波長 $30\mu\text{m}$ に赤方偏移している。典型的な主系列銀河では、この輝線の明るさが $70\mu\text{Jy}$ 程度になっている。

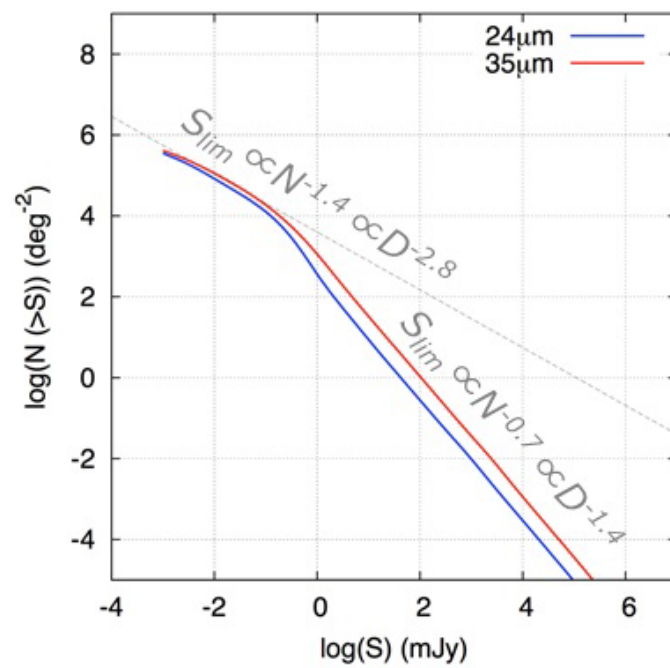


図 1.7 波長 $24\mu\text{m}$, $35\mu\text{m}$ での銀河の累積ナンバーカウント [12]

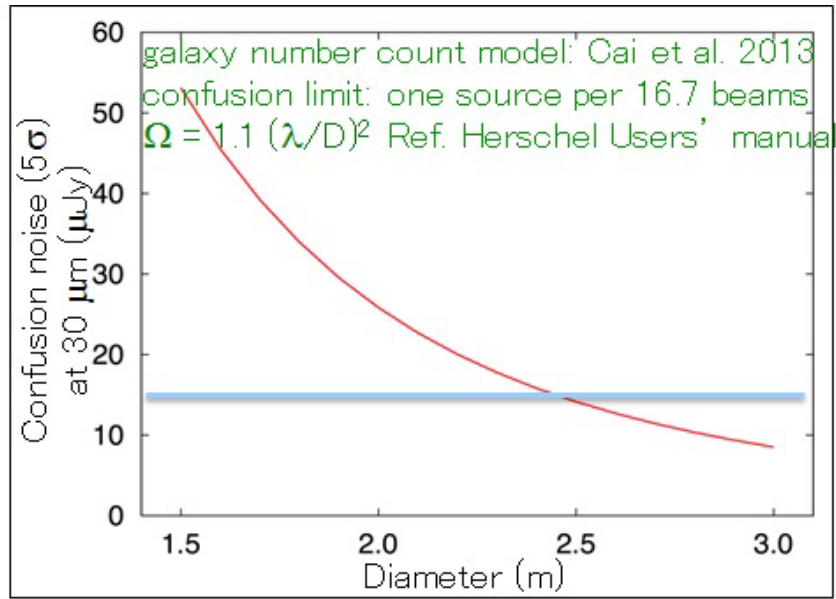


図 1.8 Cai et al.2013[12] の銀河の個数密度から導出された、コンフュージョン限界の大きさと望遠鏡口径の関係 [13] 縦軸は、コンフュージョン雑音から 5 シグマの確度で点源を検出できる明るさを示している。

1.2.2 観測エリアとイメージセンサー画素数

銀河分布の密集具合が、銀河の性質に影響することが示唆されている (環境効果)。銀河が高密度に分布している部分から、低密度な部分までを包括的に観測することで、様々なタイプの銀河について議論ができると考えられる。このような観測をするためには、典型的には 1 平方度の観測領域が必要となる。

イメージセンサーが点像分布関数をナイキストサンプルできるようにすると、1 画素の見込む視野角は、 $\lambda/2D$ [rad] が必要となる。したがって、望遠鏡の口径を D 、観測波長を λ 、イメージセンサーの画素数を N_{pix} 、観測期間 (= ミッションライフ) を T_{life} 、1 フレームの観測時間を T_{frame} 、観測バンド数 N_{band} とした時、観測できる総面積 A は以下の式で表される。

$$A = \left(\frac{\lambda}{2D}\right)^2 \cdot \left(\frac{180}{\pi}\right)^2 \cdot N_{\text{pix}} \cdot \frac{T_{\text{life}}}{T_{\text{frame}}} \cdot \frac{1}{N_{\text{band}}} [\text{deg} \times \text{deg}] \quad (1.1)$$

望遠鏡の口径を 2.5 m、観測期間を 1 年間、1 フレームの観測時間を 1000 s、バンド数を 4 と仮定した場合の観測可能領域を図 1.9 に示す。ここで、1 フレームの観測時間については後述する検出限界から求められた。図 1.9 より、上記の条件で 1 平方度の領域をサーベイするためには、イメージセンサーの画素数が 1000 画素程度必要であることがわかる。

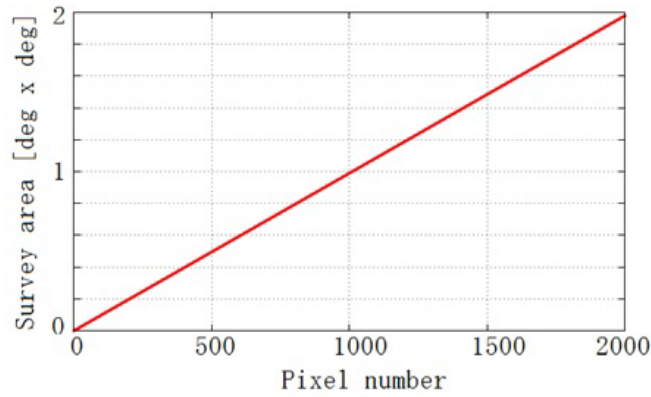


図 1.9 イメージセンサーの画素数と観測できる領域（観測期間=1 年、1 視野の観測時間=1000 s、望遠鏡の口径=2.5 m）

ここで、1 フレームの観測時間を求めておく、後述する検出器雑音 ($1 \times 10^{-18} \text{ W}/\sqrt{\text{Hz}}$) と読み出し回路雑音 ($1.9 \times 10^{-18} \text{ W}/\sqrt{\text{Hz}}$) を用いると、組み合わせた時の雑音等価フラックス密度 NEFD は、開口面積 $A=4.9 \text{ m}^2$ 、光学効率 $\eta_{\text{opt}} = 0.1$ 、帯域幅 $\delta f = 10^{12}$ (R=10 に相当) を用いると、

$$\text{NEFD} = \frac{\text{NEP}}{A \cdot \eta_{\text{opt}} \cdot \delta f} = 438 \text{ } \mu\text{Jy}/\sqrt{\text{Hz}} \quad (1.2)$$

となる。ここで、NEP は検出器と読み出し回路の二乗平均した値を用いた。この時、 $S/N=5$ で $S_{\text{PAH}}=70 \text{ } \mu\text{Jy}$ の輝線を検出するためには、

$$T_{\text{frame}} = (S/N \cdot \frac{\text{NEFD}}{S_{\text{PAH}}})^2 = 980 \text{ s} \quad (1.3)$$

の観測時間が必要となる。

1.2.3 観測要求まとめ

$z \sim 3$ 以遠の銀河の星生成率を求めるために、PAH 輝線 (静止波長 $7.7 \text{ } \mu\text{m}$) のサーベイ観測を行う。そのために、以下の機能が必要となる。

- 検出限界 コンフュージョン限界 (波長 $30 \text{ } \mu\text{m}$ で $14 \text{ } \mu\text{Jy}$)
- 検出器の波長感度領域 $30 \sim 60 \text{ } \mu\text{m}$ ($z=3-6$ に対応)
- イメージセンサー画素数 1000 画素

1.3 前提とする観測システム

本節では、観測要求から極低温読み出し回路の性能要求を導出する上で前提とした観測システムについてまとめておく。

用いることを想定する [16]。この Cryo-cooler では、1 K のステージに対して最大 16 mW の冷却パワーが得られる。SPICA 中間赤外線カメラ (MCS) のシステム仕様では、1 イメージセンサーあたり 1 mW を割り当てている [17]。本論文では、MCS に本論文のイメージセンサーを搭載することを想定して、1 イメージセンサーあたり 1 mW の冷却パワーを設定する。

配線の熱伝導による入熱

配線による入熱は線材と線径、配線長、本数でほぼ決まる。ここで、Wada et al. (2012)[17] を参考にして、線材にリン青銅を用いることとする。低温でよく使用される配線には、マンガン線とリン青銅線があるが、リン青銅線は電気伝導率あたりの熱伝導率が低い性質があるため、採用した。Wada et al. (2012) で見積もられたリン青銅配線の熱伝導による入熱とその見積もり条件を表 1.1 に示す。

表 1.1 リン青銅配線の熱伝導による入熱 [17]

線材	線径 (直径)	撚り数	本数	配線長	ステージ温度	入熱
リン青銅	0.05 mm	2 本	706 本	1.4 m	4.5 K- 30 K	0.61 mW

従って、表 1.1 の条件では配線一本当たりの入熱が $0.86 \mu\text{W}/\text{本}$ となる。

イメージセンサーに許容される発熱量

冷凍機の冷却パワーのうち、イメージセンサーに対して P_{cooler} が割り当てられ、配線の本数が N 本であった時、イメージセンサーに許容される発熱量 P_{sensors} は式 1.4 となる。

$$P_{\text{sensors}} = P_{\text{cooler}} - 0.86 \mu\text{W}/\text{本} \times N \quad (1.4)$$

ここで、 $P_{\text{cooler}} = 1 \text{ mW}$ と仮定すると、 P_{sensors} は表 1.2 のようになる。配線数 N については、1 0 0 0 画素を並列で出力する場合と、2 章で述べる信号多重化を行った場合を想定する。

表 1.2 イメージセンサーの出力方式と要求される発熱量

イメージセンサーの出力方式	N (想定される配線数)	配線入熱	要求発熱量
1000 画素並列出力	~1000 本	0.9 mW	0.1 mW
信号多重化出力	25 本	$2.2 \mu\text{W}$	0.98 mW

したがって、1000 画素を並列出力する場合は冷却パワーの 9 割を配線入熱が占めており、イメージセンサーの消費電力にとっては非常に厳しい要求となる。さらに、将来の 1000 画素以上のイメージセンサーに対しては対応できない。一方で、信号多重化を行う場合は、配線の入熱の寄与は 2% 程度であり無視できる。ここで、信号多重化の場合の配線数は、全画素共通の電源用配線とマルチプレクサの電源配線の見積もりである。

本論文では、低温部で信号多重化を行うこととして、イメージセンサーの消費電力要求値を 1 mW とする。従って、1 0 0 0 画素のイメージセンサーに対しては、1 画素あたり $1 \mu\text{W}$ の消費電力が要求される。

1.3.3 読み出し回路の雑音に対する要求

読み出し回路の雑音に対する要求は、自然背景光限界以下とする。自然背景光限界は、背景光のショット雑音で求められ、次のように導出される。

望遠鏡の口径を $D=2.5$ m、開口面積を A_{tel} 、検出効率を η 、入射する赤外線のパワーを I_λ 、1 画素の見込む角度を Ω_{pix} 、波長を λ とすると、1 画素に入射するエネルギー E_{pix} は式 (1.5) となる。

$$E_{\text{pix}} [\text{J/s}] = I_\lambda \cdot \Omega_{\text{pix}} [\text{str}] \cdot A_{\text{tel}} [\text{m}^2] \cdot \eta \cdot d\lambda \quad (1.5)$$

ここで、 R は波長分解能、 h はプランク定数、 c は光速とする。

Ω_{pix} は、回折限界の点像分布関数をナイキストサンプルするために、式 (1.6) とした。

$$\Omega_{\text{pix}} = \left(\frac{\lambda}{2D}\right)^2 \text{ for nyquist sampling} \quad (1.6)$$

$I_\lambda, A_{\text{tel}}, R, E_{\text{photon}}$ は式 (1.6)~(1.9) で表される。

$$I_\lambda = I_\nu [\text{Jy/str}] \cdot 10^{-26} \cdot \frac{c}{\lambda^2} \quad (1.7)$$

$$A_{\text{tel}} = \pi \left(\frac{D}{2}\right)^2 \quad (1.8)$$

$$R = \frac{\lambda}{d\lambda} \quad (1.9)$$

$$E_{\text{photon}} = h\nu = h \frac{c}{\lambda} \quad (1.10)$$

式 (1.4)~(1.8) を用いて、1 画素に入射する光子数を導出すると、式 (1.9),(1.10) となる。

$$N_{\text{photon/pixel}} = \frac{E_{\text{pix}}}{E_{\text{photon}}} \quad (1.11)$$

$$N_{\text{photon/pixel}} = \frac{I_\nu \pi \lambda^2 \eta}{16hR} \cdot 10^{-26} \quad (1.12)$$

波長 $65\mu\text{m}$ の自然背景光赤外線輝度が 4.31 MJy/str [18] であり、検出効率が 0.15 、波長分解能 $R=10$ である時、1 画素に入射する光子数は、 $N_{\text{photon/pixel}} = 812 \text{ 個/pixel/s}$ となる。したがって入射光子によるショット雑音は $28 e \sqrt{s}$ となる。これは、NEP に換算して $1.9 \times 10^{-18} \text{ W}/\sqrt{\text{Hz}}$ である。

1.3.4 明るい天体のために

本論文のイメージセンサーでは、銀河面のように明るい天体に対しても観測可能であるようにする。明るい天体を S/N 良く、速く観測することを考え、イメージセンサーのフレームレートとダイナミックレンジに対する要求を以下のようにした。

銀河面の観測を行うとすると、その輝度は 1 GJy/str 近くまで達する。センサーが飽和してしまうことを避けるために、典型的には 1 Hz 程度のフレームレートが要求される。

また、観測対象のフラックスが 1 Jy 、キャリブレーション対象のフラックスが $10 \mu\text{Jy}$ 程度と考えると、センサーのダイナミックレンジは 5 桁が必要となる。

第 2 章

極低温読み出し回路設計

2.1 総論

1 章で述べたように、天文観測用の遠赤外線イメージセンサーを実現するためには、極低温環境で動作する読み出し回路が必要である。低温環境で動作し、増幅などの能動的動作が可能な回路素子は、接合型トランジスタ (JFET)、超伝導量子干渉計 (SQUID) や電界効果トランジスタ (MOSFET) などがある。Si-JFET は、半導体の PN 接合を利用しているため、キャリアが凍結する温度 (30 K 以下) では使用できない。SQUID は、ハイインピーダンスな検出器素子の読み出しに使うことが難しい。MOSFET は、キャリアが凍結する温度以下でも動作することができ、その入力ゲートの漏れ電流は微小である。したがって MOSFET は、Ge:Ga 検出器のような低温で使用されるハイインピーダンス素子との相性が良い。しかしながら、従来のバルク Si 基板上に製造された MOSFET は極低温性能に問題があり、高性能かつ大規模な回路を実現することができなかった (2.2 節で述べる)。一方で、近年の研究で、完全空乏型 Silicon on insulator (FD-SOI) CMOS プロセスを用いた MOSFET が良好な極低温性能を有することが判明した (2.3 節で述べる)。本研究では、遠赤外線イメージセンサーを実現するために FD-SOI CMOS プロセスを採用し、4 K 以下の極低温で動作する多画素読み出し回路を設計した (2.4 節で述べる)。

2.2 MOSFET の低温動作

2.2.1 低温環境での問題点

MOSFET を低温環境で使用した場合、キャリアの凍結現象に起因する問題が顕著に表れる [19]。低温環境での典型的な動作例として、Herschel 宇宙天文台の読み出し回路プロセスによる MOSFET の電流電圧特性 [20] を図 2.1 に示す。図 2.1 では、キンク現象と呼ばれるドレイン電流の増加とヒステリシスが顕著に表れており、安定した動作ができていないことが明らかである。このように、低温環境で安定動作する回路素子がなかったため、大規模かつ複雑な回路は実現できていなかった。これは、極低温環境での読み出しが要求される中間～遠赤外線センサーの多画素化を妨げていた一因である。

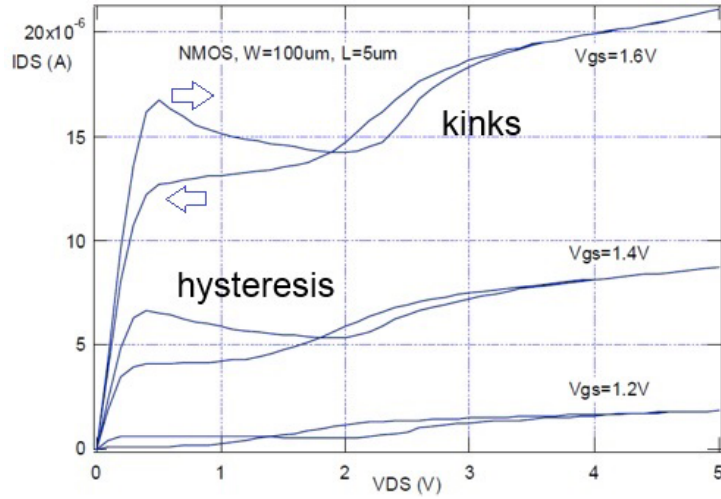


図 2.1 Herschel 宇宙天文台の読み出し回路で使用された N タイプ MOSFET の電流電圧特性 (液体ヘリウム温度)[20]。ドレイン-ソース間電圧 $V_{DS}=2\sim3$ V の領域でキンク現象によるドレイン電流 I_{DS} の局所的増加が見られる。また、 $V_{DS}=0\sim3$ V の領域では V_{DS} のスキャン方向 (矢印) に依存したヒステリシスが顕著にみられる。

2.2.2 低温でのキャリアの振る舞い

ここで、低温での MOSFET の性質変化に影響するキャリアの運動について述べる。本節は、Edmondo A. Gutierrez-D ら著 "Low Temperature Electronics"[21] を参考としている。

電子数密度 n 、平均速度 \bar{v} の電子による電流密度 J は、

$$J = ne\bar{v} \quad (2.1)$$

となる。ここで、 e は電子素量である。

電場 E が印加されている電子の平均速度 \bar{v} は、移動度 μ を用いて、

$$\bar{v} = \mu E \quad (2.2)$$

となるので、式 2.1 は

$$J = ne\mu E \quad (2.3)$$

となる。従って、電場 E が印加されたチャネルの電流密度を決めるものは、電子数密度 n と移動度 μ である。移動度は、電子の平均自由時間 τ と有効質量 m_e を用いて、

$$\mu = \frac{e\tau}{m_e} \quad (2.4)$$

となる。電子の有効質量 m_e は、

$$\frac{1}{m_e} = \frac{1}{\hbar^2} \frac{d^2\epsilon}{dk^2} \quad (2.5)$$

と表されるように、半導体のエネルギー-運動量空間でのバンド曲線に由来する。有効質量は、半導体の不純物ドーパ濃度と温度に依存している。有効質量の温度依存性のみを考えると、図 2.2 から温度が下がるにつれて有効質量は低下しており、30 K 以下ではほぼ一定の値となっている。従って、低温での電子移動度は、室温と比べて大きくなっていることが予想される。

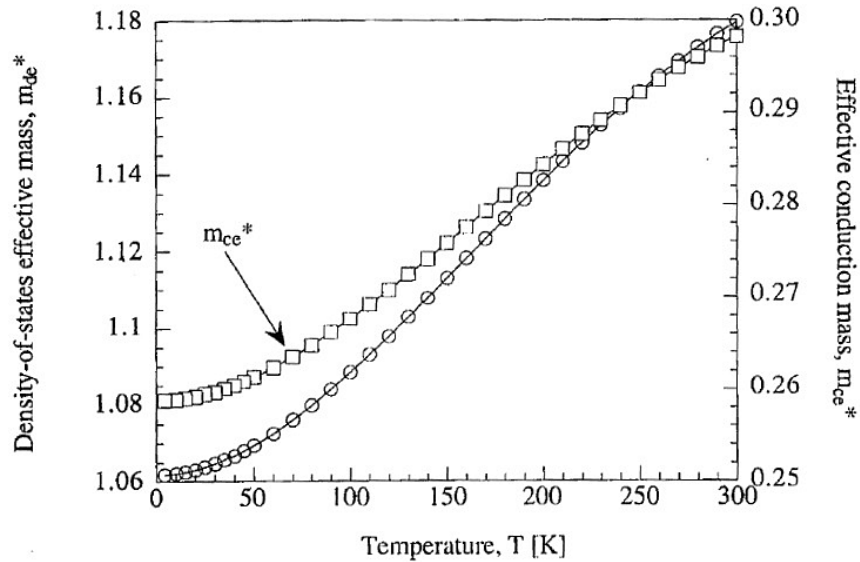


図 2.2 電子有効質量と温度の関係。不純物ドーパ濃度は $1 \times 10^{18} \text{cm}^{-3}$ 。温度 30 K 以下ではほぼ一定となっている。[21]

一方、電子の平均自由時間 τ は主にフォノン散乱と不純物散乱によって定まる。温度が高い場合には、電子は電離した不純物との相互作用（不純物散乱）が支配的であるが、低温で不純物が凍結している状態では中性原子との弾性散乱が支配的になり、散乱の衝突断面積が小さくなる。したがって、平均自由時間 τ が長くなるので、移動度は大きくなることが予想される。

以上のように、低温になるにつれて Si 中の電子移動度は大きくなる傾向があり、図 2.3 のような依存性を持つ。

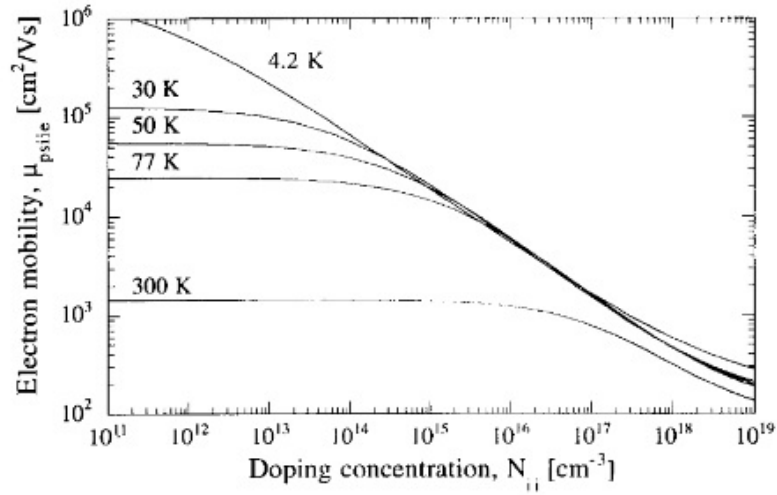


図 2.3 フォノン散乱、不純物散乱を考慮した電子移動度と不純物ドーピング濃度、温度の関係。[21]

また、Sodini らの提案しているモデル [22] では、Si 中の電子の運動速度は電場 E の値が閾値に達することによって飽和することが指摘されている。この速度飽和の効果を考慮した電子移動度は図 2.4 のようになる。

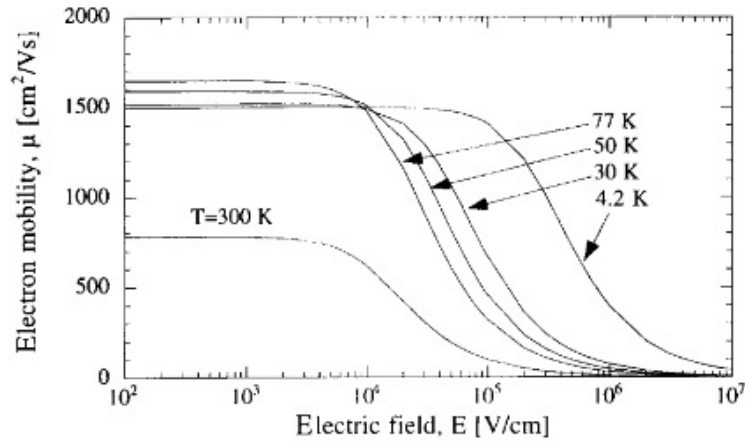


図 2.4 速度飽和の効果を考慮した電子移動度の計算例。[21]

Canali らによって求められた電子・ホール飽和速度は、以下の 2 式で表される [23]。

$$v_{sat,e} = 10^7 \cdot \left(\frac{T}{300}\right)^{-0.87} [\text{cm/s}] \quad (2.6)$$

$$v_{sat,h} = 8.37 \times 10^6 \cdot \left(\frac{T}{300}\right)^{-0.52} [\text{cm/s}] \quad (2.7)$$

ただし、図 2.4 のように、低温環境では散乱メカニズムの変化の影響が顕著となり、飽和速度と温度の依存性は小さくなっている。

以上のように、低温環境では Si 中の電子移動度が大きくなる。移動度の増大は、式 2.1 により電流密度に直接影響している。

また、前述のように電流密度にはキャリア密度が影響しており、衝突電離によるキャリア生成も電流増加の重要な要因となる。衝突電離による電子-正孔対の生成率 G は、キャリアの速度 v とキャリア密度、イオン化率 α を用いて、

$$G = \alpha_n n v_n + \alpha_p p v_p \quad (2.8)$$

となる。イオン化率 α は、衝突項を持つボルツマン方程式によって導かれる。Wolff らの計算によると、

$$\alpha \propto \exp\left(\frac{-b}{E^2}\right) \quad (2.9)$$

である。ここで、 b は定数、 E は電界である。従って、衝突電離で生成される電子-正孔対は、キャリアの速度と電界によって決まり、それぞれ大きくなるほどに衝突電離によって生成されるキャリアは増える。

低温においては、キャリアの移動度が増大することによって、キャリアの速度が増加する。また、キャリア速度増大の影響で衝突電離によりキャリア密度が増大する。式 2.1 により、これらの効果は電流密度の増加として表れる。

2.2.3 キンク現象の物理

キンク現象は、MOSFET 基板のポテンシャル変動に伴う閾値電圧の変動として考えられている。

MOSFET にゲート電圧及びドレイン電圧を印加して、チャネルがピンチオフに至った状態を図 2.5 に示す。このような状況では、ドレイン電圧に加速されたチャネル電荷が中性原子に衝突して電子と正孔を生成する衝突電離が顕著に発生する。常温環境では、衝突電離によって生成された電子はドレインに吸収され、正孔は基板中に拡散してチャネルとソースに排出される。しかし、低温環境では、自由電荷が存在しない状態であるため（キャリア凍結）基板のインピーダンスが非常に高く、基板内での拡散が無い。そのため、衝突電離で生成された正孔はソース-基板間のポテンシャル障壁に蓄積される。その結果、基板のポテンシャルが上昇し、MOSFET の閾値電圧を低下させ、ドレイン電流の増加となる [25][26]。2.2.2 節で述べたように、低温においては、キャリアの移動度が大きくなっており、衝突電離が発生しやすい状況にあるため、キンク現象が顕著に表れることが予想される。

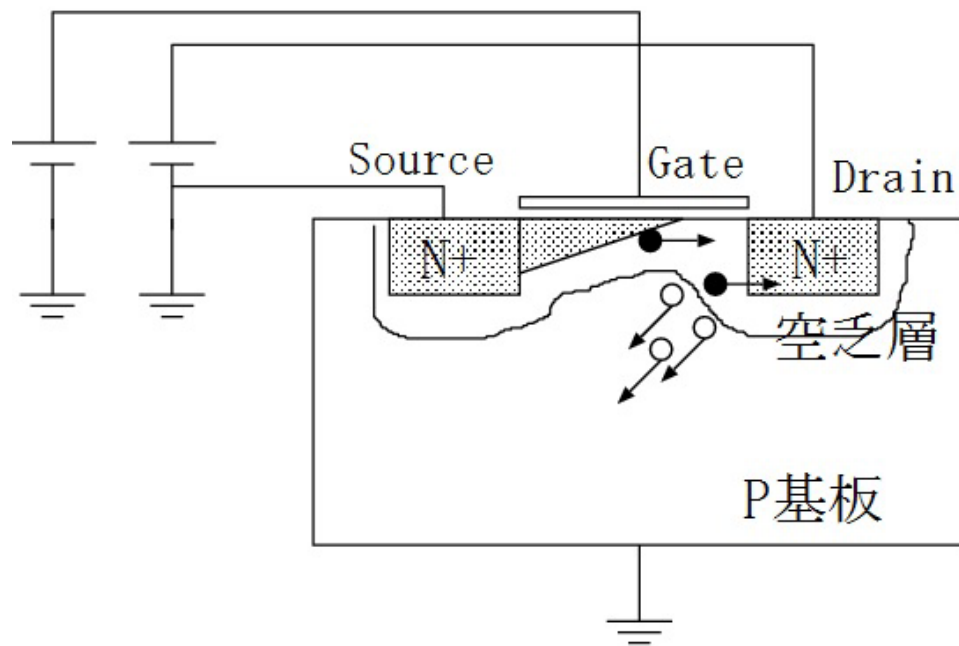


図 2.5 N タイプ MOSFET 中の衝突電離による電荷生成の概念図。ゲート下のチャネル中のキャリアがドレイン-ソース間電圧で加速され、衝突電離を起こす。衝突電離で生成した電子はドレインに吸収されるが、正孔は基板に向けて拡散する。ここで、黒丸は電子、白丸は正孔を表す。

2.2.4 ヒステリシス現象の物理

極低温環境におけるヒステリシス現象は、空乏層の状態が時間変化すること起因する。ヒステリシスが発生する過程は、低 VDS 領域とキンク領域で異なり以下のような状況が考えられている ([27], [28])

低 VDS 領域におけるヒステリシス

低 VDS 領域におけるヒステリシスは、空乏層形成過程によるものである。通常の MOSFET では、熱エネルギーによって電離した自由電荷が存在するため、ゲートに電圧を印加することで空間電荷と自由電荷を分離でき、空乏層を形成することが可能である。一方、極低温環境では不純物原子のイオン化が熱エネルギーで不可能（キャリア凍結）であり、ゲート電圧のみでは空乏層を形成することができない。しかし、ゲート電圧により MOS 構造を反転状態にすることは可能であるため、チャネルの形成は可能である。この時、チャネル電荷は縮退状態のソースから供給される。チャネルが形成された状態でドレイン電圧を印加すると、加速されたチャネル電荷が中性原子とぶつかり、衝突電離が発生させる。この時、ゲート電圧による電場によって電荷が移動し、空乏化が起こる。以上のように空乏層形成過程では衝突電離が影響しており、衝突電離確率に依る時定数で空乏化が進む。この時定数は典型的には 10~100 s 程度であり、低 VDS 領域でのヒステリシスの原因となっている。

キンク領域でのヒステリシス

VDS を大きくすると、キンク現象を引き起こすことは前述のとおりである。キンク現象を引き起こすような VDS 領域では、衝突電離がアバランシェ的に発生し、高いエネルギーを得た電子・正孔が生成される。生成された正孔の一部は基板深部にドリフトし、熱的なトラップ（再結合）を受けながら基板裏面へと流れる。その過程でアクセプターイオンの密度分布、つまり空乏層電荷分布が変動する。式 (2.10) はアクセプターイオン密度の時間変化を表しており、第一項の衝突電離の割合と第二項の熱的トラップの割合で記述できる。

$$\frac{\partial N_A^-}{\partial t} = pA_I N_A^0 - pB_T N_A^- \quad (2.10)$$

このモデルは Forced depletion layer formation (FDLF) モデルとして知られており、Dierickx らによって提案された [29]。2.2.2 節の述べたように、低温環境では衝突電離が発生しやすい状況にあるため、式 (2.10) のファクター A が大きく、平衡状態に達するための時間はより長くなると予想される。この過程によって、空乏層が平衡状態に達するまでの典型的なタイムスケールは、数 ms～数 s であり、キンク領域でのヒステリシスの原因と考えられている。

2.2.5 キンク・ヒステリシス現象の解決方法

極低温環境で問題となるキンク現象とヒステリシス現象は、2.2.3 節と 2.2.4 節で記述した物理によって引き起こされている。2 つ問題の原因をまとめると、次の 2 点となる。

- (1) キャリア凍結状態のため、イオン化過程が衝突電離に支配される
- (2) 凍結した基板中のポテンシャル・電荷分布に影響される

これらの問題点の対策として、それぞれ次のような対策が考えられる。

(1) への対策

この問題は、極低温環境でもキャリア凍結をしないようにすると解決する。そのため、浅いドーパントを施した MOSFET などが考えられる。しかし、そのためには専用のプロセスが必要となり、開発が非常に困難である。

(2) への対策

この問題は基板の影響を軽減することで改善できる。

赤外線天文衛星「あかり」の遠赤外線画像センサーで用いられた極低温読み出し回路では、PMOS に対して、P 型のウェルコンタクトを埋め込むことで、衝突電離による電荷を速やかにウェルコンタクトから排出し、基板への蓄積と変動を軽減していた。その結果、PMOS についてはキンク・ヒステリシスを解消できたが、キャリア移動度の大きな NMOS は実現することができなかった。

また、基板の影響を切り離す方法として、SOI プロセスを利用することが挙げられる。

2.3 章で後述するように、SOI プロセスによる MOSFET は、プロセスの容易さと構造的な極低温耐性において非常に有利であり、将来の極低温読み出し回路への応用が期待できる。

2.3 FD-SOI MOSFET の低温動作

2.3.1 FD-SOI に至る背景

本研究では完全空乏型 Silicon on insulator (FD-SOI) CMOS プロセスによる MOSFET が、前節で述べたバルク MOSFET の低温動作の課題を解決しうる技術であると考え、FD-SOI CMOS プロセスによる極低温読み出し回路の開発に至った。

完全空乏型 Silicon-on-insulator (FD-SOI) CMOS 集積回路とは、SOI 基板上の極薄い Si 層に MOSFET などを形成して製造される集積回路である。FD-SOI プロセスによる MOSFET は、トランジスタのボディに相当する部分が全域にわたって空乏化しており、低温バルク MOSFET で顕著であったキャリアの蓄積が発生し難いという性質を有している。そして、FD-SOI CMOS であれば、N タイプと P タイプ両方の MOSFET に対して極低温動作が期待できるため、相補的 MOS(CMOS) 回路が実現できる。

赤外線天文衛星「あかり」の FIS[30] でも、蓄積キャリアの除去を目的とした構造の MOSFET を使用しており、極低温での安定動作を実現していた [31]。しかし、前述のように PMOS のみのプロセスであったため、高ゲイン・低消費電力の増幅器を実現することが難しかった。また、極低温読み出し回路を目的とした開発事例として、Ga:As を用いた JFET 読み出し回路があるが、こちらは NMOS のみのプロセスであったため、特にデジタル回路部での消費電力が無視できないほど大きくなっていた。一方で、FD-SOI では、PMOS と NMOS が相補的に利用できる CMOS プロセスであるため、高ゲイン・低消費電力を容易に実現することが可能である。

したがって、FD-SOI CMOS プロセスならば、極低温環境においても従来の物性的・電子回路的問題を解決でき、遠赤外線天文観測に必要な性能を期待することができる。

本研究では、高エネルギー加速器研究機構 (KEK) が取りまとめとなり、Lapis semiconductor, Inc が製造を行う Multi-project-wafer (MPW) RUN を利用して、0.2 μm ルールの FD-SOI CMOS プロセスによる極低温読み出し集積回路開発を行った。

2.3.2 FD-SOI の低温特性

Silicon-on-insulator (SOI) は、 SiO_2 の絶縁層の上に Si 層を形成した基板である。従来のバルク MOSFET は、ゲート下の領域は基板に対して解放されており、様々な問題があった（基板効果、寄生容量、ラッチアップなど）。しかし、SOI 基板上に形成された MOSFET は、支持基板と回路形成層が絶縁層によって分断されており、上記のような基板との干渉がすくない。特に、完全空乏型 Silicon-on-insulator (FD-SOI) CMOS プロセス FD-SOI プロセスによる MOSFET は、極薄く、ゲート下が全て空乏化することができる。そのため、衝突電離キャリアはトラップされることなく、ドレイン・ソースに排出されるので、ゲート直下の基板電位変化がない (図 2.6)。したがって、FD-SOI CMOS ならば、FDLF モデルによるヒステリシスと、衝突電離キャリアの基板蓄積によるキンク現象に影響されることなく、P・N 両方の MOSFET が使用することができる。Nagata et al.2009 では、図 2.7 に示すように、 $V_{DS} < 1 \text{ V}$ の範囲では FD-SOI CMOS の電流電圧特性は NMOS・PMOS 共にキンク・ヒステリシスが見られず、安定した動作をしていることが明らかにされている [32]。

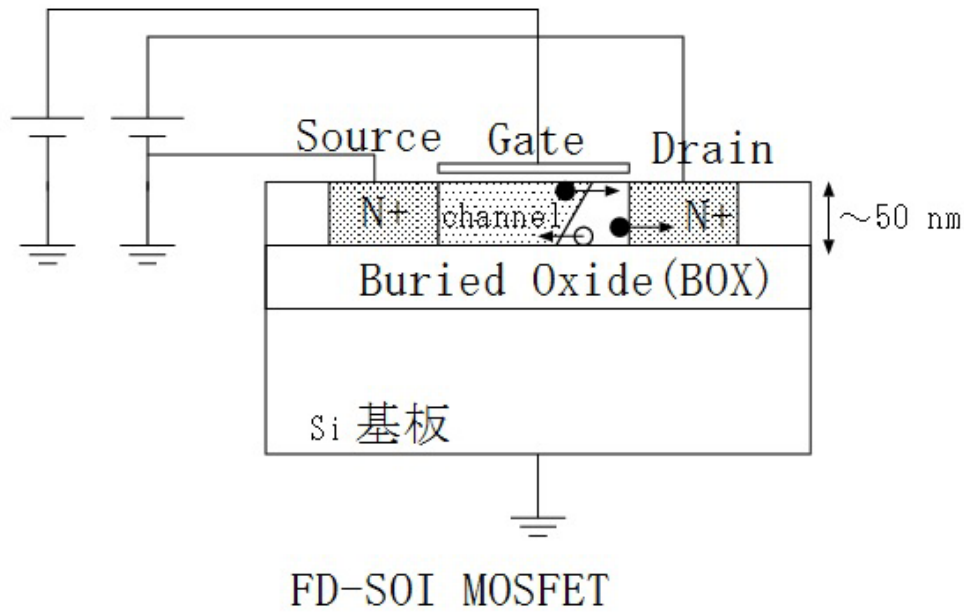


図 2.6 FD-SOI CMOS プロセスによる FET の構造。MOSFET 構造は BOX 層により支持基板と分かれており、非常に薄い領域にある。ゲート下のボディ部分は完全に空乏化されている。FD-SOI による MOSFET は埋め込まれた酸化物層がキャリアが基板ヘドリフトすることを防ぎ、キャリアはチャンネルを通じて排出される。

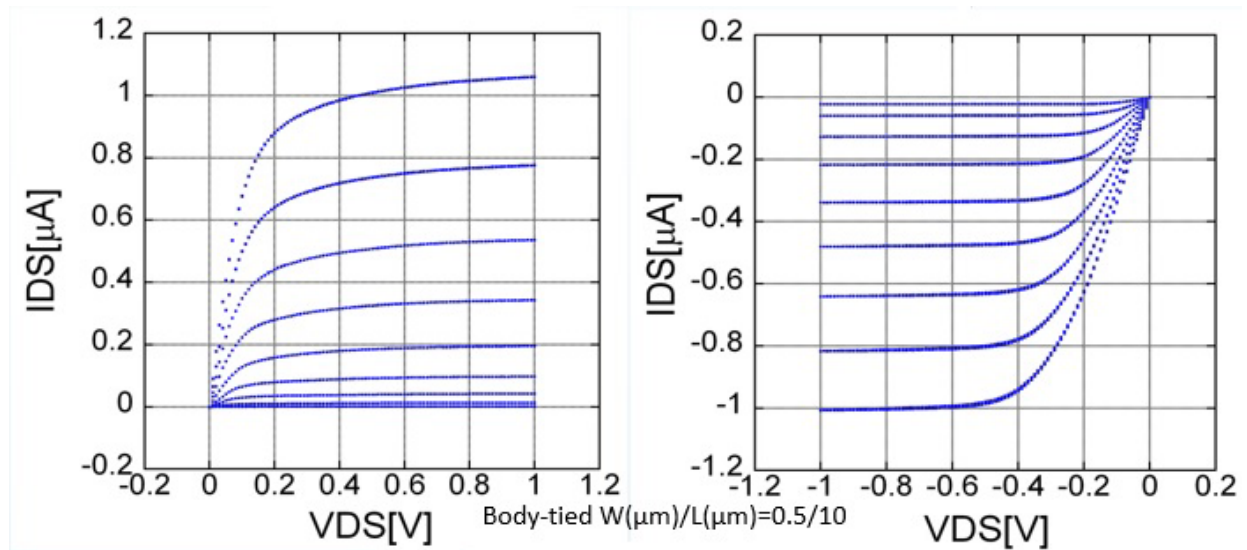


図 2.7 4.2 K での FD-SOI CMOS プロセスを用いた MOSFET の電流電圧特性 (左: NMOS, 右: PMOS)[32]。ゲート幅 W とゲート長 L はそれぞれ、 $0.5 \mu\text{m}$ と $10 \mu\text{m}$ である。図 2.1 に示すようなキンク・ヒステリシスは見られない。

2.4 極低温読み出し回路設計

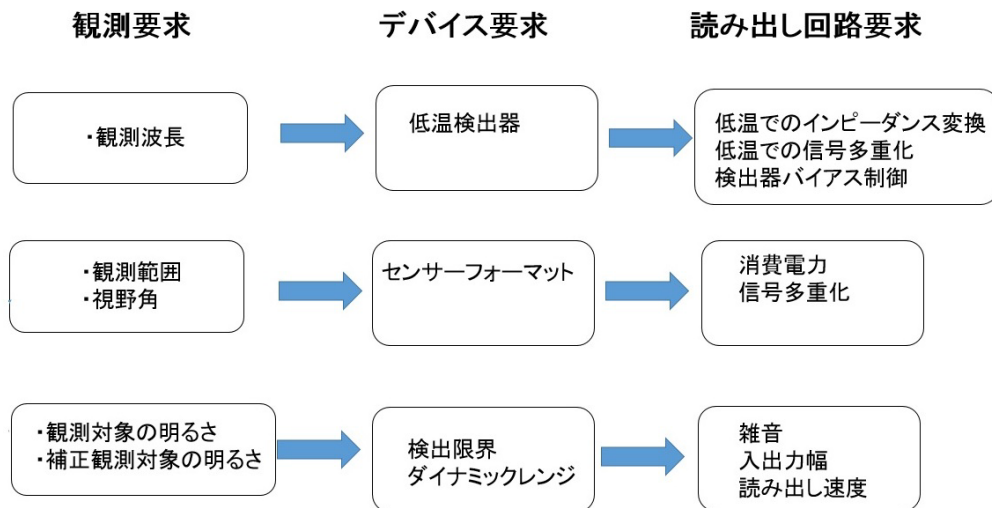


図 2.8 開発要求のフローチャート。

1章で述べたように、観測波長は $30\text{--}60\ \mu\text{m}$ であり、検出器には Ge-BIB 検出器を用いる。Ge-BIB 検出器は熱暗電流を低減するために $4\ \text{K}$ 以下の温度に冷却する必要がある。そして、2.5 節に述べるように、Ge-BIB 検出器は、直近でのインピーダンス変換が必要となる。したがって、Ge-BIB 検出器の読み出し回路は、 $4\ \text{K}$ 以下の極低温で動作しなくてはならない。

1章で述べたように、イメージセンサーに割り当てられる冷却パワーを $1\ \text{mW}$ とする。従って、1000 画素のイメージセンサーに対して、1 画素あたりの発熱量は $1\ \mu\text{W}$ 程度にする必要がある。

また、1章で述べたように、イメージセンサーを極低温に保つためには外部からの熱流入も問題がある。信号出力配線を低温部-常温部間に 1000 画素分設置した場合、配線からの熱流入が無視できない。そのため、イメージセンサーの出力は、低温部回路によって信号多重化し、少ない配線で常温部に信号を伝える必要がある。

次に、観測対象の中で最も暗い対象を自然背景光とすると、1.3.3 節で述べたように 1 画素に入射する光子数が $N_{ph} = 812\ \text{e/pixel/s}$ であるので、そのショット雑音は $\sqrt{N_{ph}} = 28\ \text{e}\sqrt{\text{s}}$ となる。したがって、センサー雑音を自然背景光限界になるようにするためには、 $28\ \text{e}\sqrt{\text{s}}$ 以下の雑音でなくてはならない。一方で、観測対象の中で最も明るい対象を銀河面とすると、 $1\ \text{GJy/str}$ にも達する輝度を測定しなくてはならない。このように明るい対象を観測する場合はセンサーが飽和することを避けるために、早い読み出し速度が必要となる。その読み出し速度は、典型的には $1\ \text{Hz}$ 程度である。

また、観測対象のフラックスが $1\ \text{Jy}$ 、補正用観測対象のフラックスが $10\ \mu\text{Jy}$ とするとセンサーのダイナミックレンジは 5 桁が必要になる。

2.4.1 読み出し方式

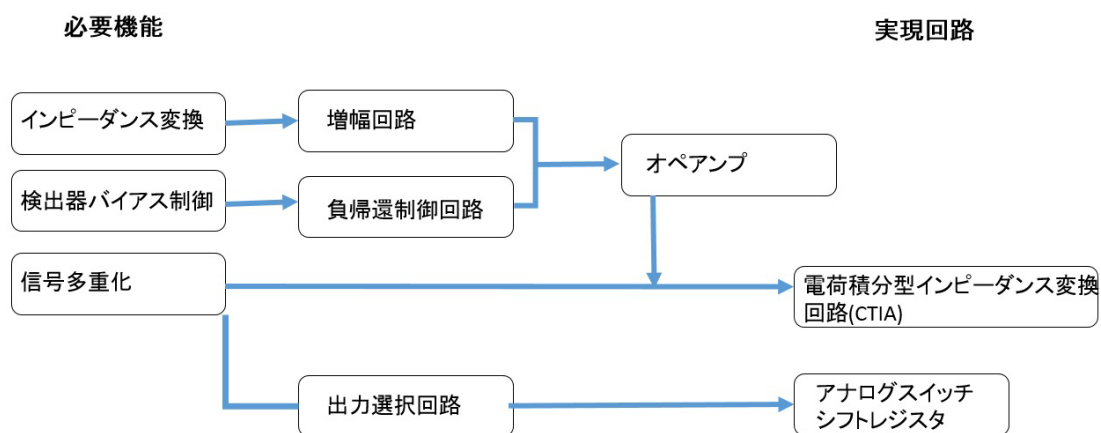


図 2.9 読み出し方式策定のためのフローチャート

図 2.9 では、読み出し回路に必要な機能とその機能を実現するための回路構成を示している。Ge:Ga フォトコンダクタのような半導体検出器は、低背景光環境では非常に高インピーダンス ($\sim \text{G}\Omega$) であるため、外来雑音の影響を受けやすい。従って、検出器の直近でインピーダンス変換を行うための増幅回路が必要である。また、フォトコンダクタの光電流は検出器バイアス電圧に依存するため、検出器バイアスを一定に制御する必要がある。以上のように、印加電圧を一定に制御しつつ、インピーダンス変換を行うためには、オペアンプによる負帰還回路が有効である。また、検出器からの信号をインピーダンス変換しただけでは、それぞれの画素を出力している期間でしか露光ができず、多画素の信号多重化に対しては非効率である。露光時間の損失をできるだけ無くし、多画素の信号を読み出すためには、各画素での信号蓄積を行い、その積分値を順次出力する方式が有効である。以上のような機能要求を実現するために、オペアンプの負帰還を利用した積分回路 Capacitive trans-impedance amplifier (CTIA) を開発した (図 2.10)。検出器からの光電流を CTIA 内の積分容量 C_f で蓄積し、 C_f の両端の電圧を出力する回路である。蓄積した電荷は、 C_f が飽和する前にリセットスイッチを ON にして放電し、次の電荷蓄積に備える。

また、信号多重化のためには、出力画素を選択する機能が必要である。画素選択は各画素の出力配線に設置したアナログスイッチを用いて実現する。アナログスイッチの ON/OFF を制御するために、シフトレジスタを用いる。

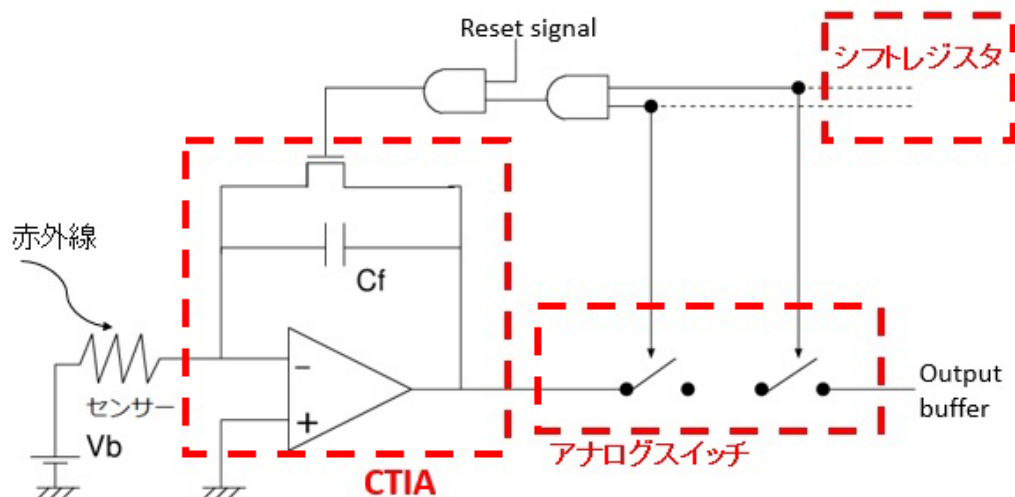


図 2.10 極低温読み出し回路の構成要素。CTIA(Capacitive trans-impedance amplifier)、出力画素選択用アナログスイッチ、シフトレジスタから構成される。赤外線センサーからの光電流は CTIA で積分され、アナログスイッチを介して電圧として読み出される。

2.4.2 MOSFET の極低温静特性

前節で述べた読み出し回路は、MOSFET で構成されており、MOSFET の回路パラメータは動作温度によって変化する。したがって、オペアンプ等の回路を設計する上で、極低温環境でのパラメータを知っておく必要がある。図 2.11 は本研究において 300 K と 4.2 K で測定した FD-SOI MOSFET の電流電圧特性である。 V_{gs} はゲート-ソース間電圧、 I_{ds} はドレイン-ソース間電流である。

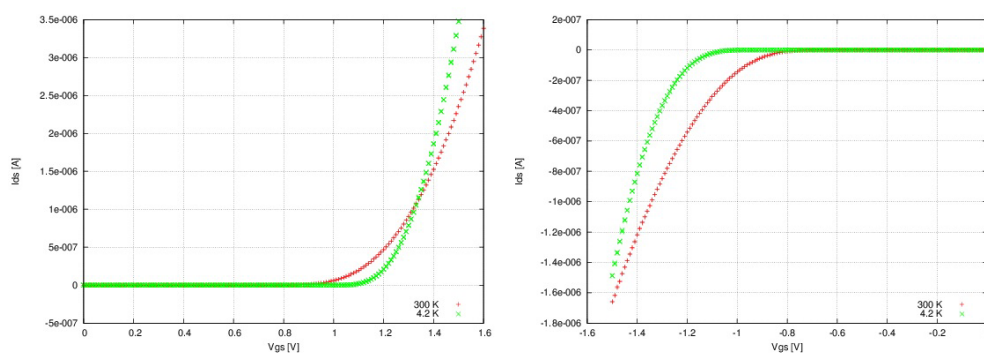


図 2.11 FD-SOI MOSFET の I_{ds} - V_{gs} 静特性 ($W/L=0.63/5.0\ \mu\text{m}$, $V_{ds}=1.0\ \text{V}$)。左図:NMOS, 右図:PMOS。測定温度は 300 K (赤色) と 4.2 K(緑色) である。

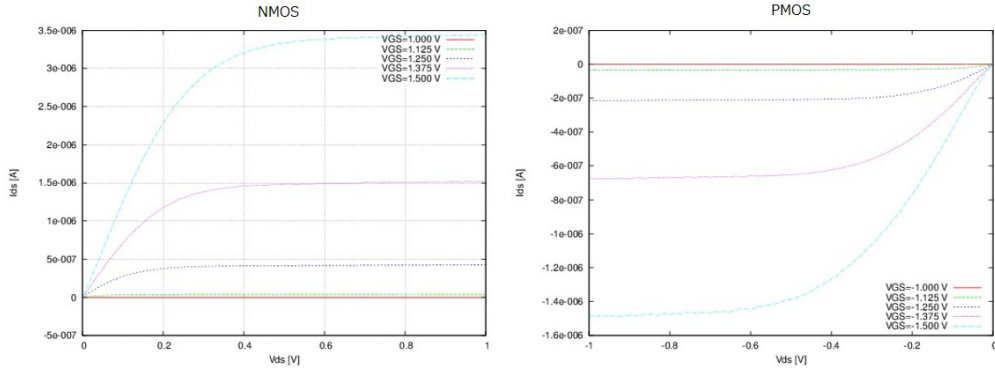


図 2.12 FD-SOI MOSFET の I_{ds} - V_{ds} 静特性 ($W/L=0.63/5.0 \mu\text{m}$)。左図:NMOS, 右図:PMOS。測定温度は 4.2 K である。

	300 K	4.2 K
NMOS V_{th}	1.04 V	1.16 V
NMOS g_m	1.26 μS	2.14 μS
PMOS V_{th}	-0.96 V	-1.19 V
PMOS g_m	0.94 μS	1.34 μS

表 2.1 $I_{ds} = 0.1 \mu\text{A}$ での閾値電圧とトランスコンダクタンス ($W/L = 0.63/5.0 \mu\text{m}$)

2章で述べたように、300 K の閾値電圧に対して、4.2 K の閾値電圧は大きくなっている。また、 $V_{gs} > V_{th}$ の領域での傾き dI_{ds}/dV_{gs} が大きくなっている。 dI_{ds}/dV_{gs} はトランスコンダクタンスと呼ばれ、 g_m と表記される。低温での g_m の増加は、移動度が増加したことによる効果と考えられる。

FD-SOI MOSFET を低温で動作させる場合、変化するパラメータは移動度と閾値電圧であるので、ドレイン電流の W/L に対するスケーリングは常温 (図 2.13) と同様に有効であると考えられる。常温での飽和領域におけるドレイン電流 I_{Dsat} は、ゲート幅 W 、ゲート長 L 、チャネル移動度 μ_n 、ゲート酸化膜容量 C_{ox} 、ゲート電圧 V_G 、閾値電圧 V_{th} を用いて基本的な MOSFET のモデルにより次式で表される。

$$I_{Dsat} = \frac{W\mu_n C_{ox}}{2L} [V_G - V_{th}]^2 \quad (2.11)$$

従って、トランスコンダクタンス g_m は次のようになる。

$$g_m = \frac{\partial I_D}{\partial V_G} = \mu_n C_{ox} \frac{W}{L} (V_G - V_{th}) \quad (2.12)$$

ここで、式 (2.11) を用いると、 g_m は I_D による式として記述でき、次のようになる。

$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} \quad (2.13)$$

従って、 I_{ds} は MOSFET の W/L に比例し、 g_m は $\sqrt{W/L}$ に比例する。図 2.11 と表 2.1 から $W/L=0.63 \mu\text{m}/5 \mu\text{m}$ のドレイン電流と相互コンダクタンス g_m を参照し、上記式に当てはめると、 W に対する依存性が図 2.13 と図 2.14 のようになる。これらのゲートサイズ依存性を参考にし、以降の回路設計を行った。

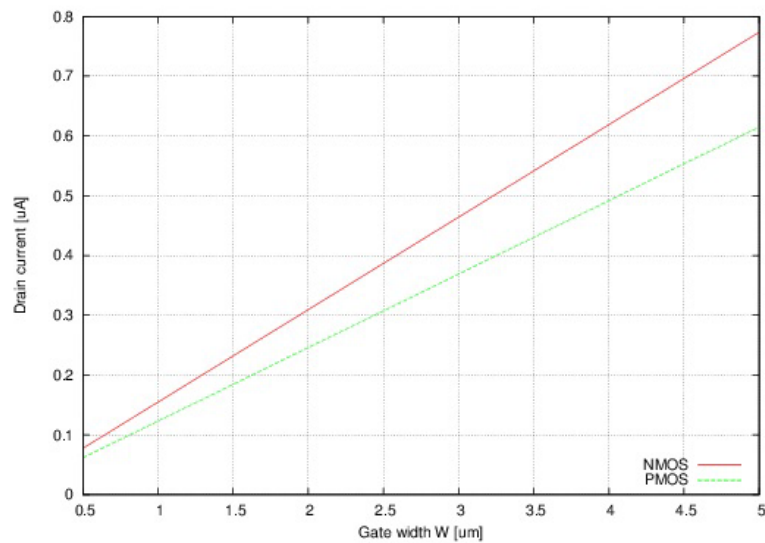


図 2.13 4 K での NMOS のゲート幅 W に対するドレイン電流。 $V_G - V_{th}$ 一定の条件で、ドレイン電流はゲート幅 W に比例する。

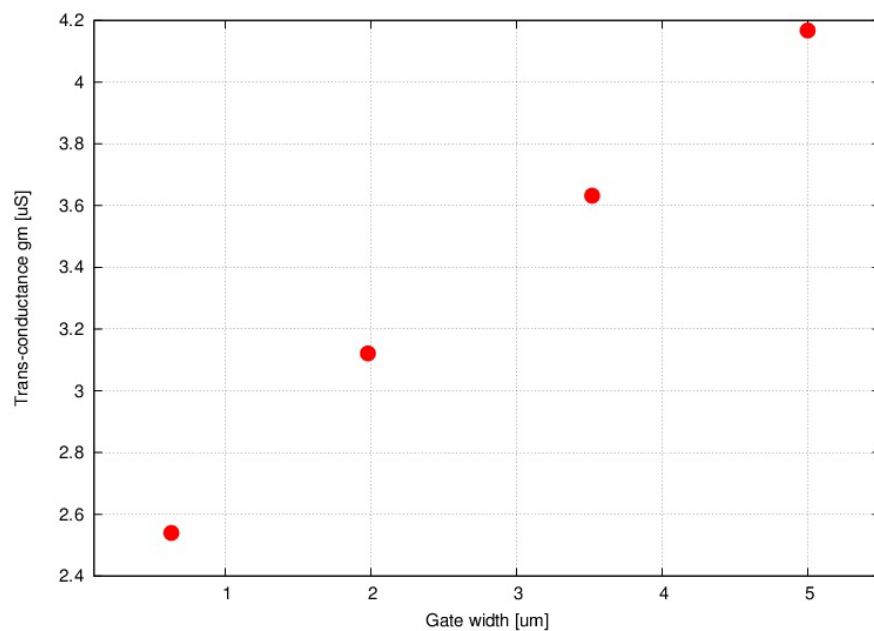


図 2.14 4 K での NMOS のゲート幅 W に対するトランスコンダクタンス。 I_d 一定、ゲート長 L 一定の条件で、トランスコンダクタンスは \sqrt{W} に比例する。

2.4.3 電荷積分型インピーダンス変換増幅器

積分動作

図 2.10 で示したように、検出器電流は CTIA のフィードバック容量に蓄積される。そして、CTIA は、フィードバック容量の両端にかかる電圧を出力する。オペアンプの反転入力と非反転入力にバーチャルショートしていると仮定し、フィードバック容量を C_f 、出力電圧を V_{out} 、反転入力電圧を V_- 、非反転入力電圧を V_+ とすると、積分される電荷量 Q_{int} は、式 (2.15) となる。

$$Q_{int} = C_f \cdot (V_- - V_{out}) \quad (2.14)$$

$$= C_f \cdot (V_+ - V_{out}) \quad (2.15)$$

検出器電流 I_{det} は $dQ_{int} = I_{det} \cdot dt$ を用いて以下の式で表される。

$$dQ_{int} = C_f \cdot d(V_+ - V_{out}) \quad (2.16)$$

$$I_{det} \cdot dt = C_f \cdot d(V_+ - V_{out}) \quad (2.17)$$

$$I_{det} = C_f \cdot \frac{d(V_+ - V_{out})}{dt} \quad (2.18)$$

したがって、 C_f が一定であれば、CTIA の出力電圧から検出器電流を一意に導出することが可能である。しかし、フィードバック容量に電圧依存性がある場合や、オペアンプの特性に入出力電圧依存性がある場合、出力電圧から導出される検出器電流に誤差を生じてしまう。CTIA の積分波形から検出器電流を導出するためには、積分波形に再現性と線形性が必要である。

オペアンプの構成

CTIA を構成するためのオペアンプの設計では、Nagata et al.(2011) で低温動作が実証された構成を参照した。オペアンプの構成を図 2.15 に示す。オペアンプは、駆動電流供給部、信号増幅部、出力部から構成されている。

駆動電流供給部は、信号増幅部と出力部に定電流を供給する機能を持つ。供給電流の制御は、外部から I_{cm} を供給し、M3 のドレイン電流を決定することで行う。また、M3 のゲート幅 W は M1, M2 の W に比べて 10 倍大きいものを用いており、M3 のドレイン電流の 1/10 が M1, M2 のドレイン電流となる。

信号増幅部は差動対になったカスコード増幅段を用いている。この部分が担う性能である増幅率と雑音については、後述する。

出力部はソースフォロアになっており、信号増幅部で増幅された電圧をオペアンプ外に出力する。

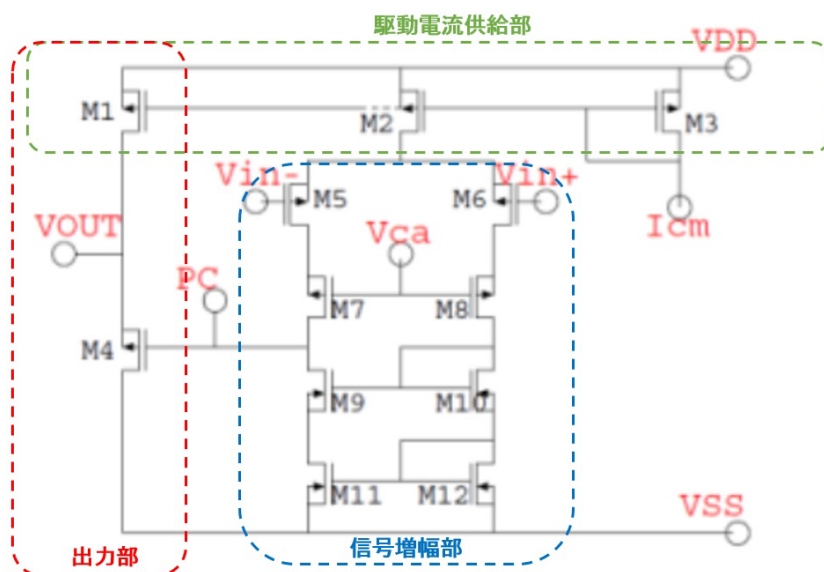


図 2.15 オペアンプ回路構造。カレントミラーによる駆動電流供給部、カスコード増幅回路を用いた信号増幅部、ソースフォロアによる出力部から構成されている。

	W/L	タイプ
M1	0.63 $\mu\text{m}/5 \mu\text{m}$	PMOS ST
M2	0.63 $\mu\text{m}/5 \mu\text{m}$	PMOS ST
M3	6.30 $\mu\text{m}/5 \mu\text{m}$	PMOS ST
M4	0.63 $\mu\text{m}/5 \mu\text{m}$	PMOS ST
M5	5 $\mu\text{m}/5 \mu\text{m}$	PMOS ST
M6	5 $\mu\text{m}/5 \mu\text{m}$	PMOS ST
M7	0.63 $\mu\text{m}/5 \mu\text{m}$	NMOS ST
M8	0.63 $\mu\text{m}/5 \mu\text{m}$	NMOS ST
M9	0.63 $\mu\text{m}/5 \mu\text{m}$	NMOS ST
M10	0.63 $\mu\text{m}/5 \mu\text{m}$	NMOS ST
M11	0.63 $\mu\text{m}/5 \mu\text{m}$	NMOS ST
M12	0.63 $\mu\text{m}/5 \mu\text{m}$	NMOS ST

表 2.2 図 2.15 を構成する MOSFET のゲートサイズとタイプ。ST はソースタイタイプである。

オペアンプで使用している MOSFET は図 2.16 で示す 4 種類である。図 2.16 の MOSFET は Source tied タイプであり、Source 端子にはボディとコンタクトを取るため、ボディと同じキャリアタイプの Si になった部分がある。このため、Source-ボディ間のポテンシャル障壁が低くなり、ボディ電位の変動を抑制しつつ、衝突電離で発生した余剰キャリアの排出を促進させることができる。

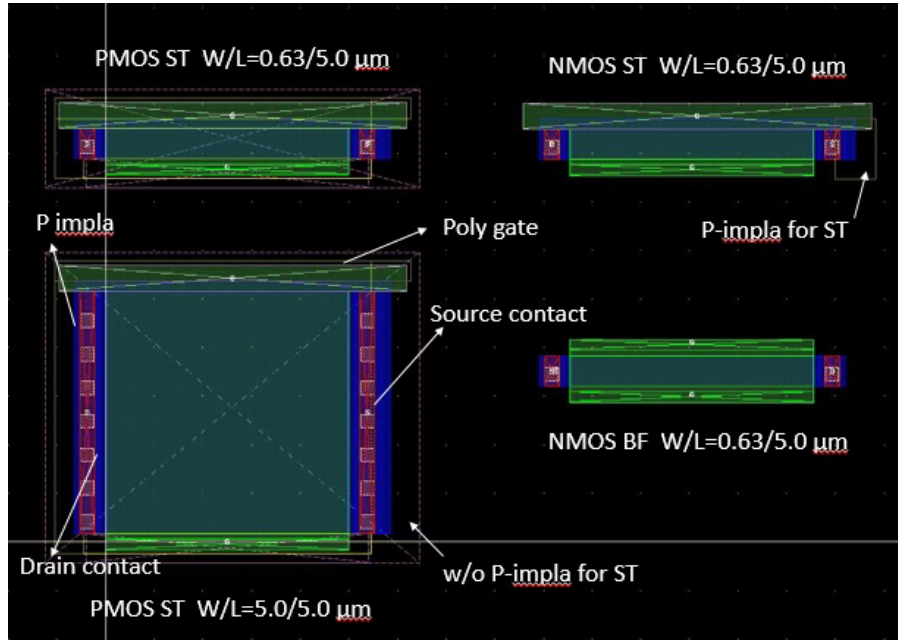


図 2.16 OPAMP で使用している MOSFET のレイアウト

オペアンプのオープンループゲイン

次に、信号増幅部における増幅率（オープンループゲイン）に対する要求値と設計値について述べる。

検出器バイアス電圧の制御に必要な性能は、オペアンプのオープンループゲインである。図 2.17 に示すように、Ge:Ga 検出器には、光電流の検出器バイアス電圧依存性がある。検出器電流 20 pA の時、バイアス電圧は 70 mV であり、傾きは $dI/dV = 6.2 \times 10^{-10}$ A/V である。従って、検出器電流を 1% の精度で制御することを仮定すると、検出器バイアス電圧の制御に必要な精度 ΔV_d は式 (2.19) と表される。ここで、検出器バイアス電圧を V_d 、検出器電流を I_d とする。

$$\Delta V_d = \Delta I_d \times \frac{dV_d}{dI_d} = \Delta I_d \times \frac{1}{\frac{dI_d}{dV_d}} \quad (2.19)$$

$\Delta I_d = 0.1\% \times I_d = 0.2$ pA、 $dI_d/dV_d = 6.2 \times 10^{-10}$ A/V を式 (2.19) に代入すると、 $\Delta V_d = 0.3$ mV となり、検出器バイアス電圧の制御に必要な精度は $V_d = 70$ mV に対して、0.46% となる。

一方で、オペアンプのオープンループゲインを A 、非反転入力電圧を V_+ 、反転入力電圧を V_- 、出力電圧を V_o としたとき、

$$V_o = A \cdot (V_+ - V_-) \quad (2.20)$$

$$V_- = V_+ - V_o/A \quad (2.21)$$

$V_o = 1$ としたとき、反転入力電圧は、 $1/A$ の精度で仮想接地され、検出器バイアスを制御する。従って、検出器バイアスを 0.46% の精度で制御するためには、オープンループゲインが 200 以上必要である。本論文では、オープンループゲインの要求値にはマージンを持たせて 1000 以上とする。

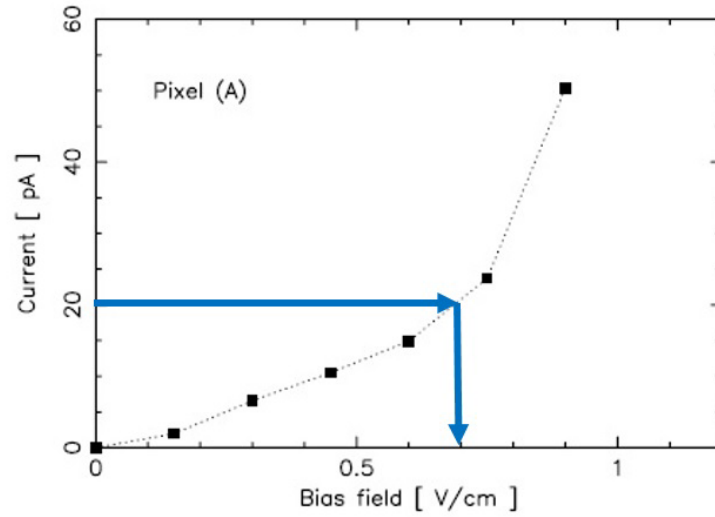


図 2.17 Ge:Ga フォトコンダクタの I-V[35]。検出器サイズは 1 mm^2 である。検出器電流 20 pA の時、バイアス電圧は 70 mV (青矢印)であり、傾きは $dI/dV = 6.2 \times 10^{-10} \text{ A/V}$ である。

オープンループゲインの要求値 1000 に対して、オペアンプの設計値は以下ようになる。

信号増幅部から図 2.18 のようなカスコード増幅回路を取り上げると、入力電圧に対する出力電圧の増幅率 A_v は、式 2.22 で表される [32]。 r_d はドレインーソース間抵抗であり、 gm は図 2.18 の M1-M4 の相互コンダクタンスである。

$$A_v = gm_1 \left[\frac{1}{gm_2 r_{d2} r_{d1}} + \frac{1}{gm_3 r_{d3} r_{d4}} \right]^{-1} \quad (2.22)$$

$W/L=0.63/5.0 \text{ }\mu\text{m}$ の MOSFET は、 4.2 K で $100 \text{ M}\Omega$ 以上の r_d を持つことがわかっている [32]。

M1 のゲートサイズを $W/L=5.0/5.0 \text{ }\mu\text{m}$ 、 M2,M3,M4 のゲートサイズを $W/L=0.63/5.0 \text{ }\mu\text{m}$ とした時、式 2.22 から増幅率は $A_v > 30000$ となり、要求値 1000 よりも十分に大きい増幅率が得られる。

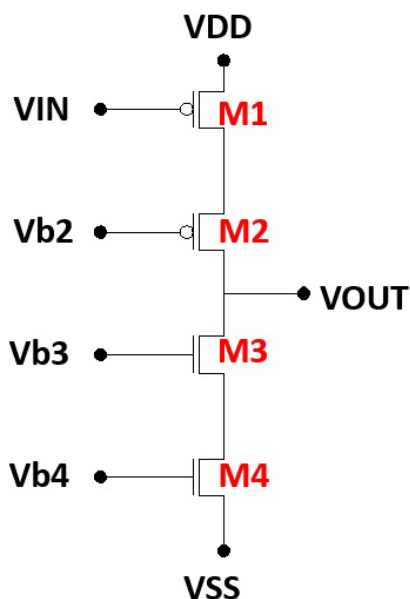


図 2.18 PMOS 入力のカスコード増幅回路。

消費電力と出力電圧幅

読み出し集積回路での消費電力に対する要求値は、1.3.3 節で述べたように冷凍機の冷却パワーと配線入熱によって決まっていた。その本論文での消費電力の要求値は、イメージセンサーに対して 1 mW 以下である。

図 2.15 のオペアンプにおいて、VDD-VSS 間の電圧を 5 V、オペアンプを駆動する電流を合計 $0.2 \mu\text{A}$ とした時、オペアンプ 1 つあたり $0.1 \mu\text{W}$ となるので、要求をみたすことができる。M3 の MOSFET はアレイ中の全てのピクセルに対して共通であり、アレイ全体の消費電力 (1 mW) に対して無視できる。そのため、ここでの消費電力見積もりには M3 の消費電力を含めていない。

オペアンプに供給する電流を $0.2 \mu\text{A}$ 、電圧を $V_{\text{DD}}=2.0 \text{ V}$ 、 $V_{\text{SS}}=-2.9 \text{ V}$ とし、入力電圧 $V_+ = V_- = 0 \text{ V}$ とした場合、図 2.11、2.12、2.13、2.14 から、それぞれの MOSFET が負担する駆動電流と電圧は図 2.19 のようになる。この時、M1-M12 のすべての MOSFET について、飽和領域で動作しており、耐圧 (2 ~ 3 V) を超えることはない。消費電力 $1 \mu\text{W}$ で動作することが可能であると考えられる。

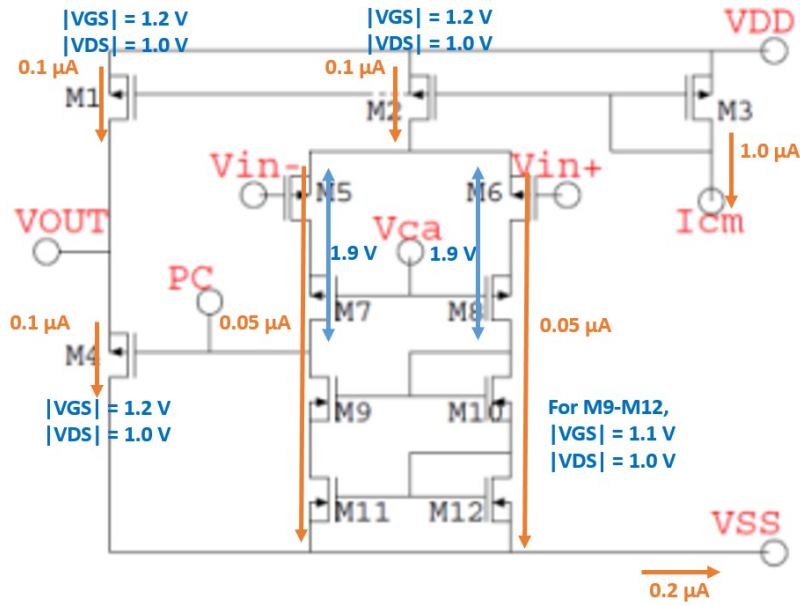


図 2.19 $V_+ = V_- = 0$ V の時のオペアンプ内部の駆動状態。VDD=2.0 V, VSS= -2.9 V, Vca=-1.4 V とした。

また、この時の出力段が飽和領域で動作できる出力電圧幅は、 $(VSS + 1.2 \text{ V}) \sim (VDD - 1.2 \text{ V})$ で表され、-1.9 V ~ 1.0 V となる。

雑音とダイナミックレンジ

CTIA の雑音は、宇宙での撮像観測を想定した場合の自然背景光限界を達成できるように設計した。従って、CTIA に要求される雑音性能は、検出器ショット雑音電荷 $28 e/\sqrt{\text{Hz}}$ (1 章参照) よりも小さい必要がある。

CTIA の入力部に発生する電荷雑音 $Q_{n,CTIA}$ は、オペアンプの入力換算雑音電圧 $V_{n,OPAMP}$ と積分容量 C_f によって次式で定まる。電荷素量を q とすると、

$$Q_{n,CTIA} = \frac{1}{q} C_f V_{n,OPAMP} [e/s] \quad (2.23)$$

ここで、オペアンプの入力換算雑音電圧を Nagata et al.(2011) から引用すると、 $V_{n,OPAMP} = 19 \mu\text{V}/\sqrt{\text{Hz}}$ である。Nagata et al.(2011) で用いられたオペアンプは増幅部が本論文のものと同一構成であり、入力換算雑音は同程度と見なせる。

従って、式 2.23 より CTIA の入力に発生する雑音電荷は図 2.20 のようになる。ここで、要求雑音を満たす積分容量として $C_f = 150 \text{ fF}$ を用いた。この時、雑音電荷は $18 e\sqrt{s}$ となる。

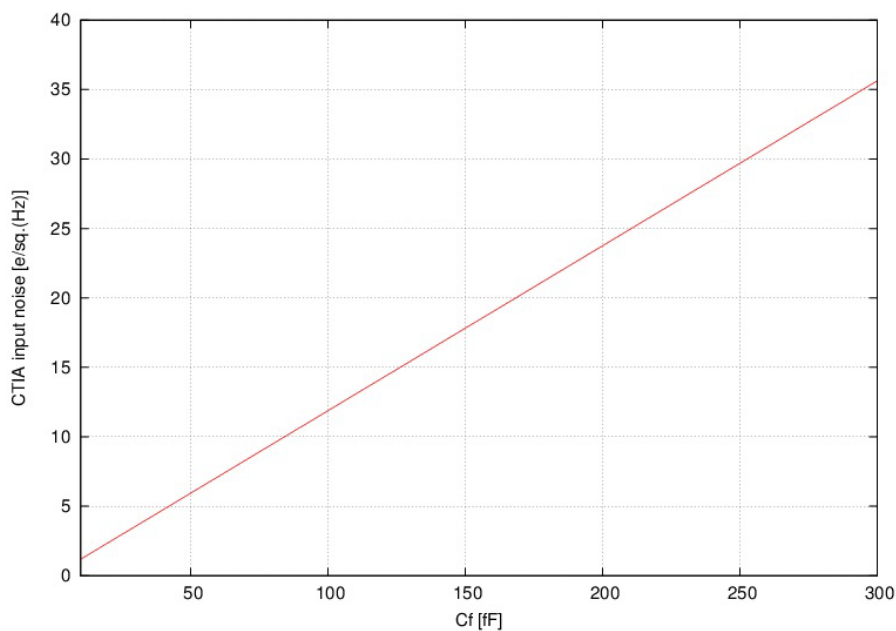


図 2.20 積分容量 C_f に対する CTIA 入力電荷雑音。オペアンプの入力換算雑音は $19 \mu\text{V}/\sqrt{\text{Hz}}$ とした。

図 2.19 で示すように、OPAMP の出力部は 2 つの MOSFET に $V_{DD}-V_{SS}=4.9 \text{ V}$ の電圧が印加されており、それぞれの MOSFET の V_{DS} に 2 V 以上の電圧がかかっている状態となる。このような高電圧印加状態では、SOI であっても衝突電離によるキンク現象が発生することを確認した (図 2.21)。

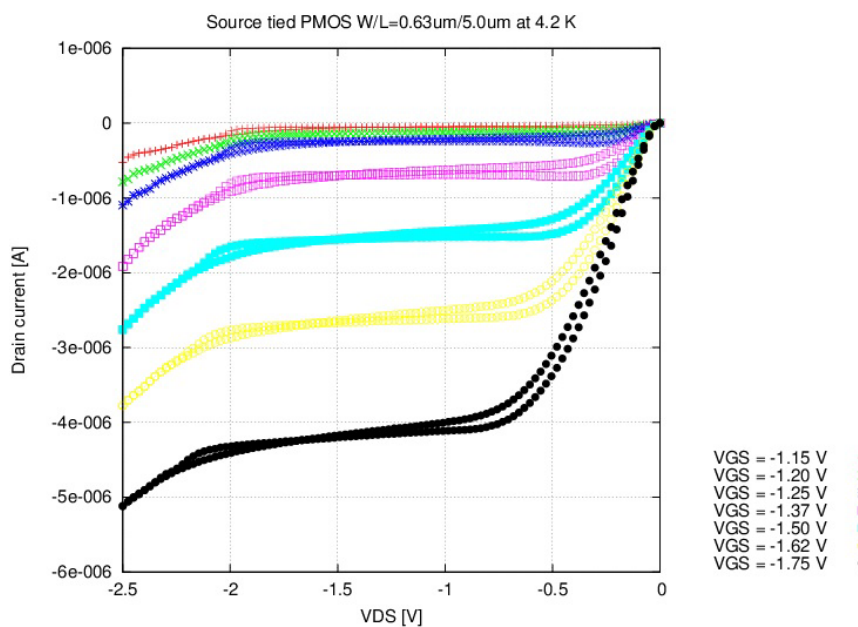


図 2.21 4.2 K での Source tied type の PMOS の IDVD。VDS が 2 V 以上の領域でドレイン電流の増加が見られている。これは、衝突電離によって発生したキャリアの影響と予想される。

このように衝突電離が激しい状態では、電子-ホール生成・再結合過程によって MOSFET の低周波雑

音が増加することが予想される ([34])。高電圧印加状態による雑音の増加は出力部と増幅部の電源を別々に制御して、適切な V_{DS} で動作させることで改善が見込まれる。

一方で、図 2.19 の構成では出力部と増幅部の電源を同一にしており、OPAMP 動作のための制御が容易である。本 OPAMP では、トレードオフを鑑みて後者を取り、図 2.19 の構造とした。

次にダイナミックレンジについて述べる。出力電圧幅 V_{swing} は、前述のとおり 2.9 V である。従って、CTIA の蓄積可能電荷量は $Q = C_f \times V_{swing}$ であり、 $2.8 \times 10^6 e$ となる。ダイナミックレンジを蓄積可能電荷量と雑音電荷の比とすると、5 桁以上を得られる。

オペアンプのスルーレート

画像センサーのフレームレートに対する要求は 1 フレーム/s であった。フレームレートは CTIA のリセット速度、アナログスイッチの切り替え速度、スイッチ制御回路の速度のうち最も遅いもので制限される。以下では、CTIA のリセット速度に影響するオペアンプのスルーレートに対する設計を述べる。オペアンプのスルーレートを決定する要素の 1 つとして、出力段の電流ドライブ能力が重要である。オペアンプの出力段として、ソースフォロアを想定する。オペアンプの出力が応答できる速度は、出力の負荷容量 C_c をどれくらいの速さで充放電できるかで決まる。CTIA の出力端をさらにソースフォロアでバッファリングすることを考えると、オペアンプの負荷容量は、MOSFET のゲート容量で決まる。 $W/L=0.63/5.0 \mu\text{m}$ の MOSFET を用いると、ゲート容量はおおよそ 10 fF 程度である。ソースフォロアの MOSFET のドレイン電流を $0.1 \mu\text{A}$ 、 C_c を 10 fF とした時、出力電圧を 0 V から 1 V に変えるのに必要な時間は、式 2.25 より $0.1 \mu\text{s}$ となる。要求される速度 (1 画素あたり 1 ms) に対して、出力段ソースフォロアの電流を $0.1 \mu\text{A}$ とした時の速度は十分である。

$$I \cdot dt = C_c dV \quad (2.24)$$

$$t = \frac{C_c}{I} \quad (2.25)$$

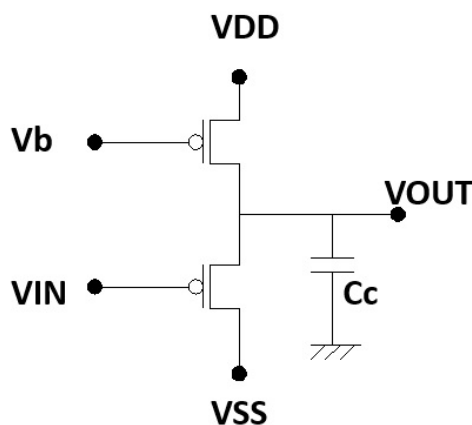


図 2.22 PMOS のソースフォロア

リセット速度

CTIA の積分できる電荷量は、 C_f とオペアンプの出力電圧範囲で制限されるため、蓄積された電荷をリセットするためのスイッチが必要である。リセット時には、積分電荷の放電によって、安定するまでに時間を要する。

蓄積電荷が放電するためには、リセットスイッチが ON になり積分容量の両端がショートする必要がある。リセットスイッチには、 $W/L=0.63\ \mu\text{m}/5\ \mu\text{m}$ の NMOS を用いた。したがって、蓄積電荷の放電は NMOS のドレインソース間抵抗 (ON 抵抗) を経て行われる。ON 抵抗はゲート電圧を一定にした時のドレイン電圧変化/ドレイン電流変化であるので、

$$R_{ON} = \frac{1}{\frac{\partial I_{ds}}{\partial V_{ds}}} \quad (2.26)$$

となる。ここで、 $\frac{\partial I_{ds}}{\partial V_{ds}}$ は図 2.12 の傾きである。リセットスイッチを ON にして蓄積電荷の放電が進むと、積分容量の両端の電圧は下がるため、図 2.12 の傾きのうち、低 V_{DS} 領域 (線形領域) の傾きを用いる。 $V_{GS}=1.25\ \text{V}$ の時、 $0 < V_{DS} < 0.1\ \text{V}$ の間の傾きは $I_{ds}/V_{ds} = 3.3 \times 10^{-6}\ \text{A/V}$ であるので、リセットスイッチの ON 抵抗は $R_{ON} = 300\ \text{k}\Omega$ となる。

積分容量を $C_f = 150\ \text{fF}$ としたとき、容量両端の電圧が $1/10$ に減衰するまでの時定数は $\tau = R_{ON}C_f$ で与えられ、 $\tau = 4.5 \times 10^{-8}$ 秒となり、オペアンプの出力スルーレート ($0.1\ \mu\text{s}$) よりも小さい。従って、リセット時の CTIA 応答速度はオペアンプの出力スルーレートが支配的である。

2.4.4 画素選択回路

CMOS アナログスイッチ

CTIA の出力画素を選択するために、図 2.23 のアナログスイッチを用いる。M1, M2 はそれぞれ NMOS と PMOS であり、2つの MOSFET のゲート電圧を制御することで Input-Output 間のスイッチを ON/OFF に切り替えることができる。

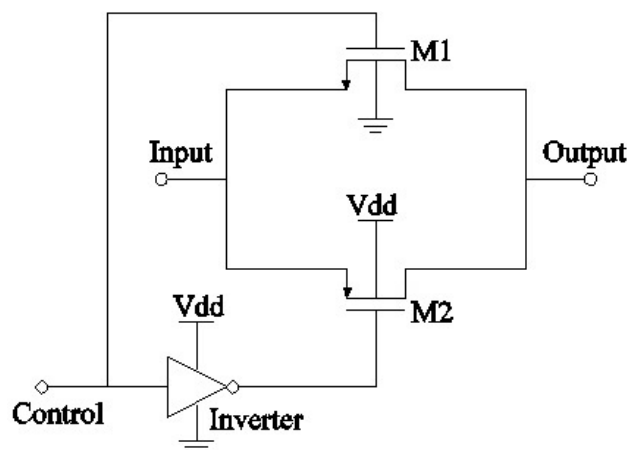


図 2.23 アナログスイッチ回路の概念図。M1, M2 の MOSFET はそれぞれ NMOS, PMOS であり、Control ラインに入力するクロックに従い、M1, M2 を同時に ON/OFF する。

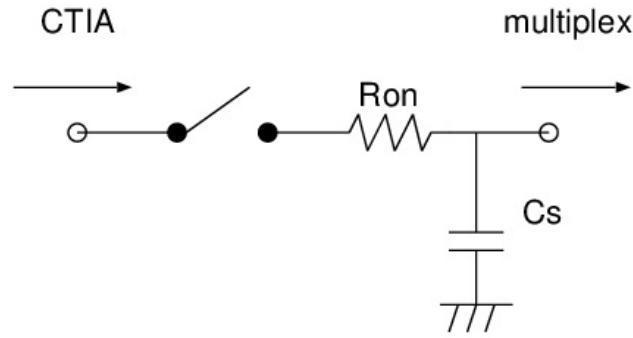


図 2.24 アナログスイッチのモデル。アナログスイッチの ON 抵抗と寄生容量による等価回路。

ここで、フレームレートに寄与するアナログスイッチの切り替え応答時間を決めるため、アナログスイッチに負荷容量 C_s を付与した回路モデルを考える。 C_s はアナログスイッチのゲート容量と配線容量によって決まり、その値はおおよそ 10 fF である。リセットスイッチでの応答時間と同様に、寄生容量に対する充放電の時定数を $R_{on}C_s$ とすると、 $R_{on} = 300 \text{ k}\Omega$ の時、充放電の時定数は 3×10^{-9} 秒となる。従って、CTIA のリセット速度よりも速いため、フレームレートへの寄与は無視できると考えられる。

また、寄生容量に蓄積された電荷がアナログスイッチの ON 抵抗を経て放電する時の消費電力を見積もる。

蓄積された電荷 Q_s が ON 抵抗 $R_{on} = 300 \text{ k}\Omega$ のアナログスイッチを ON にしている時間 (1×10^{-3} 秒とする) で通過する時、電流 I_s の電流が発生する。 Q_s は C_s に 1 V の電圧がかけられた場合を想定して、 $Q_s = C_s V = 10 \text{ fC}$ とする。

$$I_s = Q_s / t = 10 \text{ fC} / 10^{-3} = 10^{-11} \text{ A} \quad (2.27)$$

従って、この時アナログスイッチで発生する消費電力 P_{asw} は

$$P_{asw} = I_s \times V = 10^{-11} \text{ W} \quad (2.28)$$

となる。

シフトレジスタ

アナログスイッチの ON/OFF を制御するために図 2.25 のシフトレジスタを設計した。シフトレジスタは、D 型フリップフロップ (DFF) とインバーター (INV) により構成されている。このシフトレジスタは、CLOCK に与えた矩形波パルスが立ち上がるタイミングでそれぞれの DFF は DIN の値を出力する。従って、Q0-Q4 の出力は、CLOCK が 1 周期進む毎に DIN の値を後段に伝達する。シフトレジスタで用いた DFF は、図 2.26 に示すように、INV とラッチ回路から構成される。

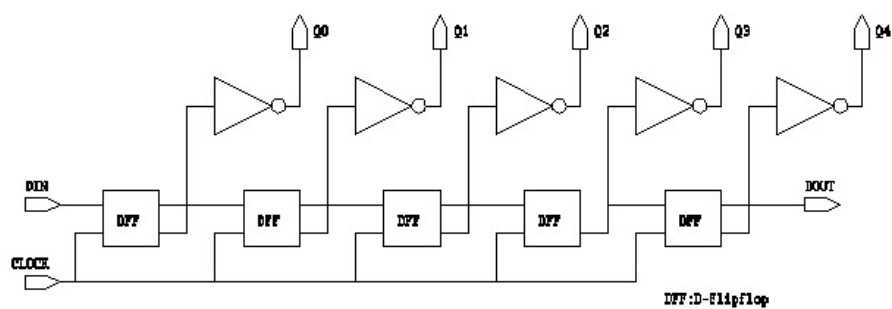


図 2.25 シフトレジスタ回路。D 型フリップフロップを DIN、Clock 信号で制御し、Clock の立ち上がり時に順次 H/L レベルを Q に出力する。

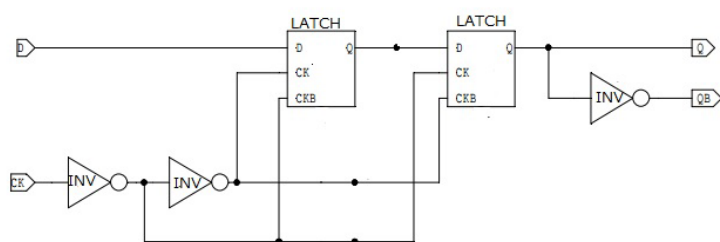


図 2.26 本論文で設計した D 型フリップフロップ。

ラッチ回路は、入力値を保持しつつ次の値の入力を受け付ける回路である（図 2.27）。CK のクロックが 0 から 1 に変化するタイミングで ON 状態のクロックドインバーター（図 2.29）が切り替わり、保持値を出力に渡す。

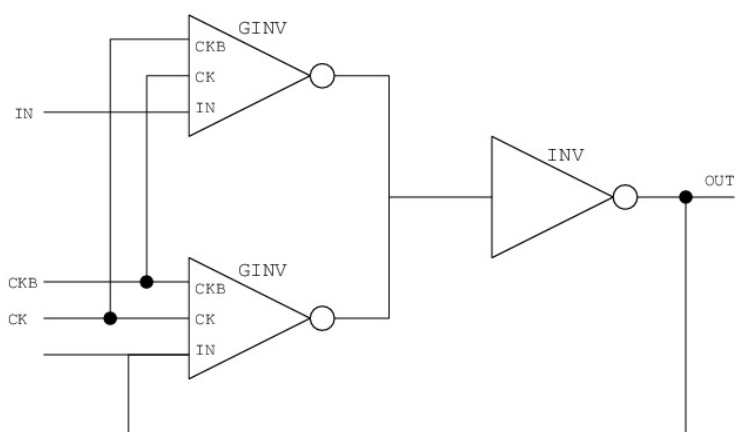


図 2.27 本研究で使用しているラッチ回路。

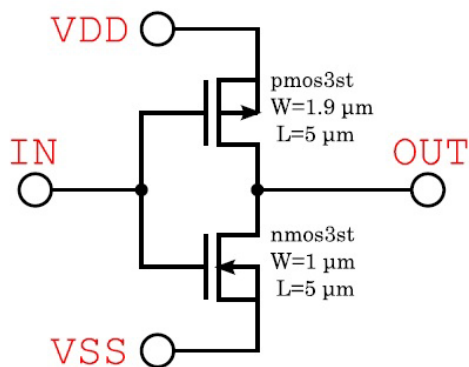


図 2.28 本研究で使用しているインバーター回路 (INV)。

クロックドインバーターは、クロック信号によって出力を ON/OFF することができるインバーターである (図 2.29)。

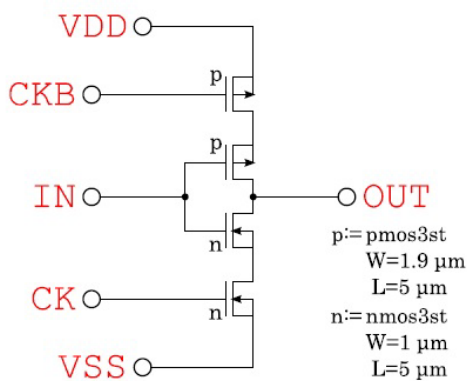


図 2.29 本研究で使用しているクロックドインバーター回路 (GINV)。

シフトレジスタの出力信号の立ち上がり/立ち下りに要する時間は、アナログスイッチの制御に必要な時間であるので、フレームレートに関係する。Nagata et al. (2011) では、[36] に記載されたイネーブル機能付き D 型フリップフロップを 4 K で動作させている。そして、その出力切り替わり時間から動作周波数の下限値を 25 kHz であると求めていた。図 2.31、図 2.31 に Nagata et al. (2011) によるイネーブル機能付き DFF の回路図と 4 K での動作信号を示す。

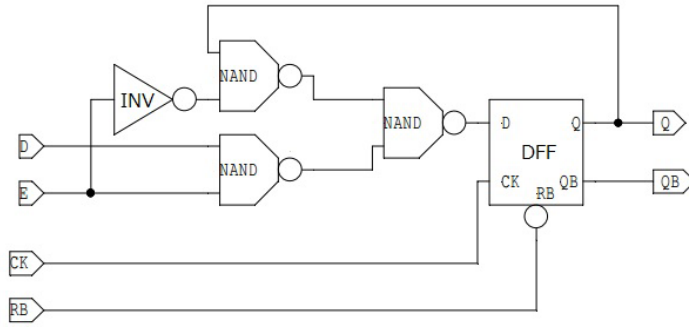


図 2.30 Nagata et al(2011) のイネーブル機能付き D 型フリップフロップ。[36] を参照している。

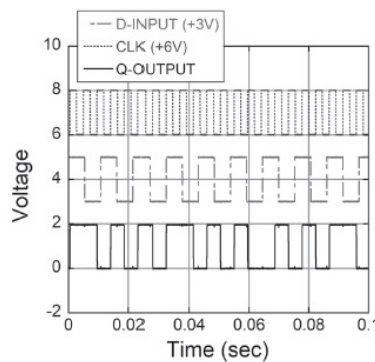


図 2.31 Nagata et al (2011) の D 型フリップフロップ動作信号 (4.2 K)。図 2.26 との違いは Enable 信号ラインと Reset 信号ラインがあることである。

図 2.30 の回路で出力の応答速度を決めているコンポーネントは DFF の部分である。そして、図 2.26 の回路は図 2.30 の DFF からリセット信号配線を除いただけのものであり、構成している MOSFET のゲートサイズは同じであるため出力応答速度はほぼ同等であると考えられる。

次に、シフトレジスタの消費電力について述べる。CMOS デジタル回路のインバーターの平均消費電力は次式で表される。

$$P = f C_L V_{DD}^2 \quad (2.29)$$

f はインバーター出力が切り替わる速さ（周波数）であり、 C_L 、 V_{DD} はそれぞれ、インバーターの出力が負荷する容量と電源電圧である。ここで、インバーターの出力負荷を 10 fF、電源電圧を 1 V とする。また、1000 画素のイメージセンサーを 1 フレーム/s で駆動させる時、1 画素あたり 1 ms で出力させる必要があるため、シフトレジスタの制御クロックを 1 kHz とすると、インバーター一つあたりの平均消費電力は

$$P_{inv} = 1 \text{ kHz} \times 10 \text{ fF} \times (1 \text{ V})^2 = 10^{-11} \text{ W} \quad (2.30)$$

となる。

図 2.26 のシフトレジスタにおいて、DFF 1 つの消費電力をインバーター 5 つと換算し、1000 画素分の DFF を配置した場合、シフトレジスタの消費電力 P_{SR} は

$$P_{SR} = P_{inv} \times 5 \times 1000 = 5 \times 10^{-8} \text{ W} \quad (2.31)$$

となる。

2.4.5 設計仕様まとめ

画像センサーの構成要素である CTIA、アナログスイッチ、シフトレジスタについての設計性能を以下の表にまとめる。1000 画素の画像センサーの総消費電力は 1.00 mW となった。また、フレームレートへの寄与は、CTIA のリセット応答時間 ($0.1 \mu\text{s}$) が最も支配的であり、1000 画素分のリセット応答時間は 0.1 ms である。したがって、フレームレートの設計値は 10 kHz となる。

CTIA	要求仕様	設計仕様
出力電圧幅	1 V	2.9 V
雑音	$28 e \sqrt{s}$	$18 e \sqrt{s}$
ダイナミックレンジ	5 桁	5 桁
消費電力	$1 \mu\text{W}$	$1 \mu\text{W}$
リセット応答時間	1 s 以下	1E-7 s

表 2.3 CTIA の要求性能と設計性能のまとめ

アナログスイッチ	要求仕様	設計仕様
消費電力	$\ll 1 \mu\text{W}$	10^{-11} W
ON/OFF 応答時間	1 ms 以下	3E-9 s

表 2.4 アナログスイッチの要求性能と設計性能のまとめ

シフトレジスタ	要求仕様	設計仕様
消費電力	$\ll 5 \mu\text{W}$	10^{-8} W
出力速度	1 kHz	25 kHz

表 2.5 シフトレジスタの要求性能と設計性能のまとめ

第 3 章

極低温動作実証

3.1 総論

第 2 章では、極低温読み出し回路の設計について述べた。本章では、極低温イメージセンサーを実現する上での主要コンポーネントそれぞれについて要求される各種性能を満たすか極低温にて検証した結果を述べる。設計した極低温読み出し回路は、図 3.1 に示すように、検出器電流の増幅・蓄積を担う CTIA と画素選択機能を担うアナログスイッチ・シフトレジスタで構成される。

各コンポーネントについて、それぞれの極低温性能を評価した。CTIA では、積分波形の線形性、再現性、雑音、動作速度、消費電力について評価実験を行った (3.2 節で述べる)。アナログスイッチでは、信号伝達速度やクロストークに影響する ON/OFF 抵抗の評価を行った (3.3 節で述べる)。また、ダイナミックレンジについては、4 章で述べる。

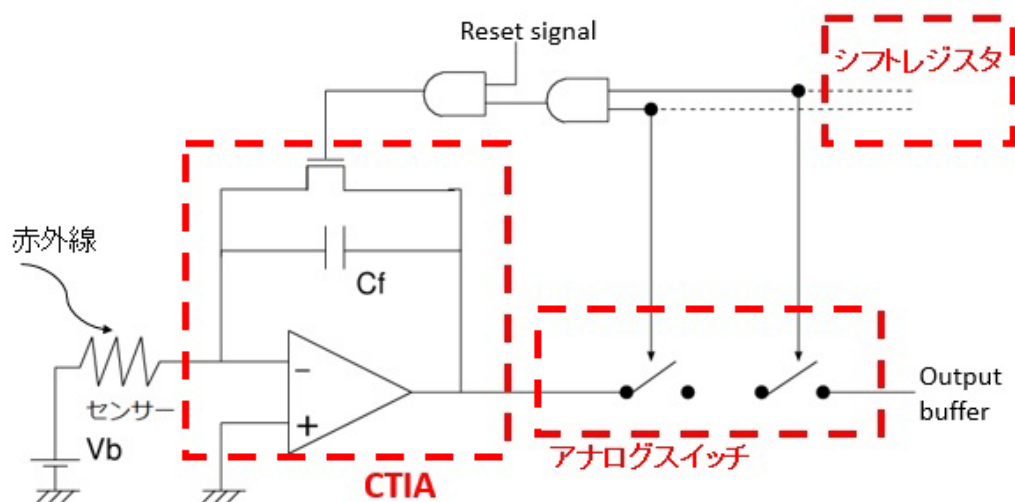


図 3.1 極低温読み出し回路の構成要素。CTIA(Capacitive trans-impedance amplifier)、出力画素選択用アナログスイッチ、シフトレジスタから構成される。赤外線センサーからの光電流は CTIA で積分され、アナログスイッチを介して電圧として読み出される。

3.2 CTIA

3.2.1 測定コンフィギュレーション

CTIA の各種性能評価のために、図 3.2 で示す測定コンフィギュレーションを構成した。CTIA の積分容量の設計値は 150 fF である。また、CTIA に入力する参照電流源として ELTEC INSTRUMENTS 社製 100 G Ω の抵抗器（以下で検出器模擬抵抗とする）を用いた。4 K での性能評価を行うため、CTIA は液体ヘリウムデュアーの中に設置した。デュアー内のコールドステージと常温部の間では、比較的インピーダンスの高い配線 (40 Ω 程度の配線抵抗、配線長 ~ 2 m に付与する寄生インダクタンス) を経由して信号をやり取りする必要がある。さらに、CTIA 回路の出力電流は 0.1 μ A 程度であるため、出力電圧を常温部で測定するためには低温部にバッファが必要となる。本章の実験では、CTIA の出力をソースフォロアで受け、出力電流を大きくすることで、常温部での出力電圧測定を可能とした。また、ソースフォロアには駆動しているゲート-ソース間電圧の分だけ入力-出力間にオフセット電圧が生じる。このオフセット電圧を除去するために、計装アンプ (AD624) によってゲート-ソース間電圧を測定し、ソースフォロア出力から減算する回路を設けた。

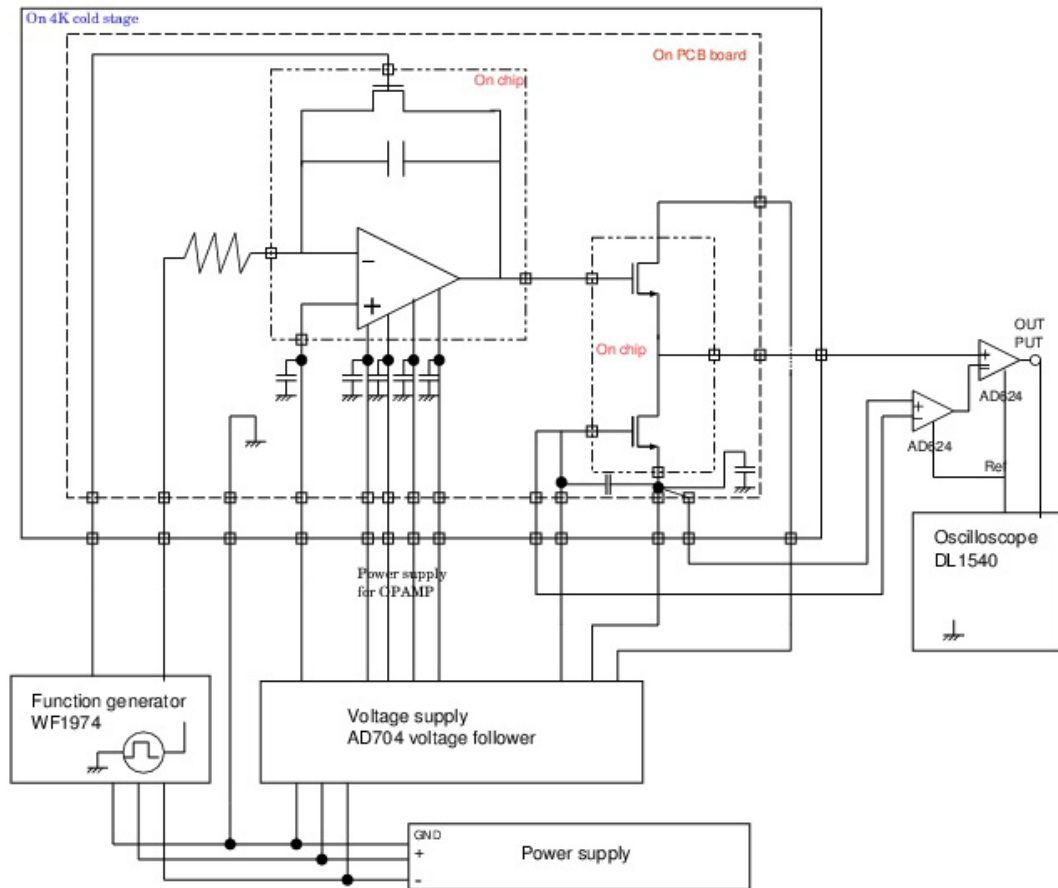


図 3.2 CTIA 検証実験の実験構成。積分容量の設計値は $C_f = 150 \text{ fF}$ である。本章の実験では検出器模擬抵抗として $R_s = 100 \text{ G}\Omega$ をした。4 K の低温部では、CTIA とソースフォロアバッファが設置され、ソースフォロアの出力をオシロスコープで測定した。ソースフォロアのオフセットは計装アンプ (AD624) を用いた回路で補正している。

本研究で設計した CTIA 回路は、オペアンプ・フィードバック容量・リセットスイッチから構成されており (図 3.4)、オペアンプ電源や信号入出力は図 3.3 のようなパッドを経てチップ外へ接続される。また、CTIA の出力をバッファするソースフォロアは CTIA とは別のチップを用いている。CTIA、ソースフォロアの配線は Al ワイヤボンディングによってチップキャリアへと接続されている (図 3.6)。また、CTIA 出力とソースフォロア入力との接続は、チップキャリア上の端子を経てワイヤボンディングで接続されている。チップキャリアの底面 (金) とチップとはワニスで接着されており、構造的な保持と熱結合を担っている。また、チップ温度をモニターのために、チップキャリア上には温度計 (LakeShore 製 Si ダイオード) を実装している。

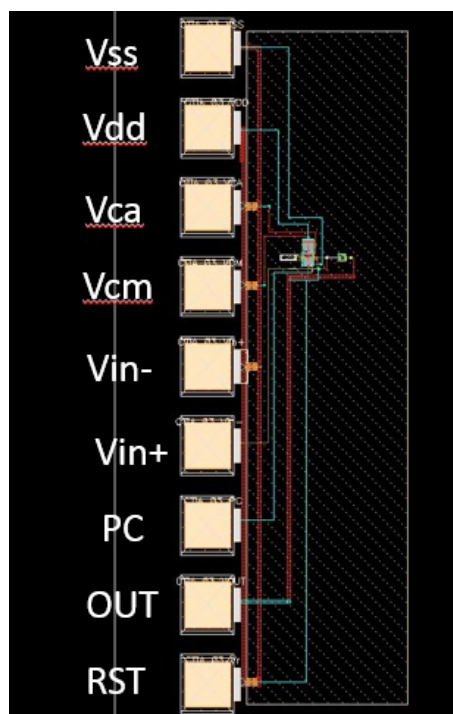


図 3.3 本実験で使した CTIA 回路のレイアウト。100 μm 角のパッドに CTIA の各配線に繋がっている。

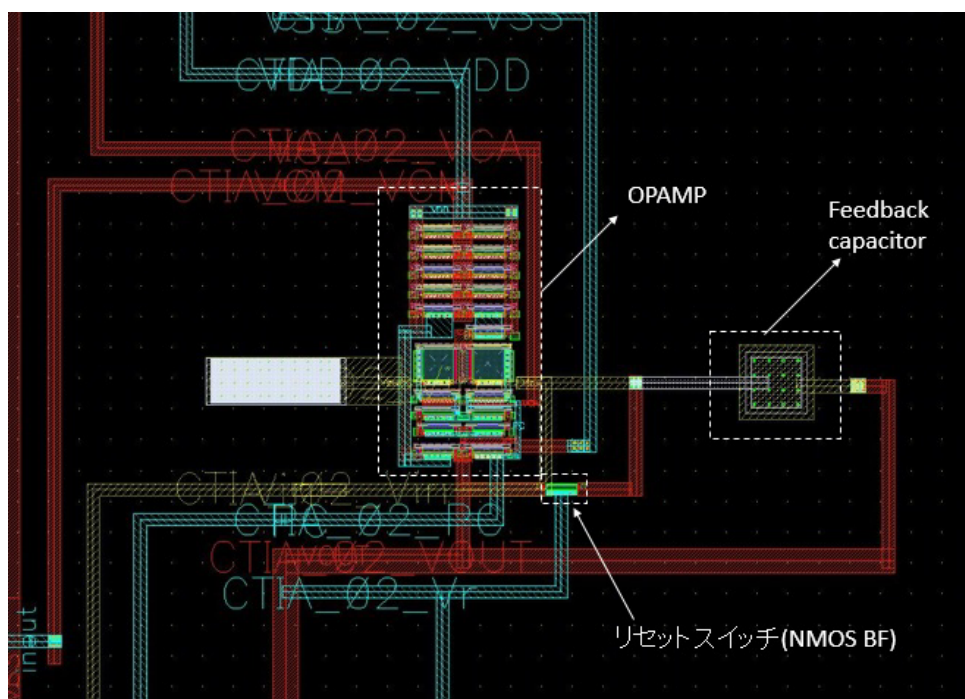


図 3.4 CTIA 部分のレイアウト構成。OPAMP, Feedback 容量, リセットスイッチから構成されている。

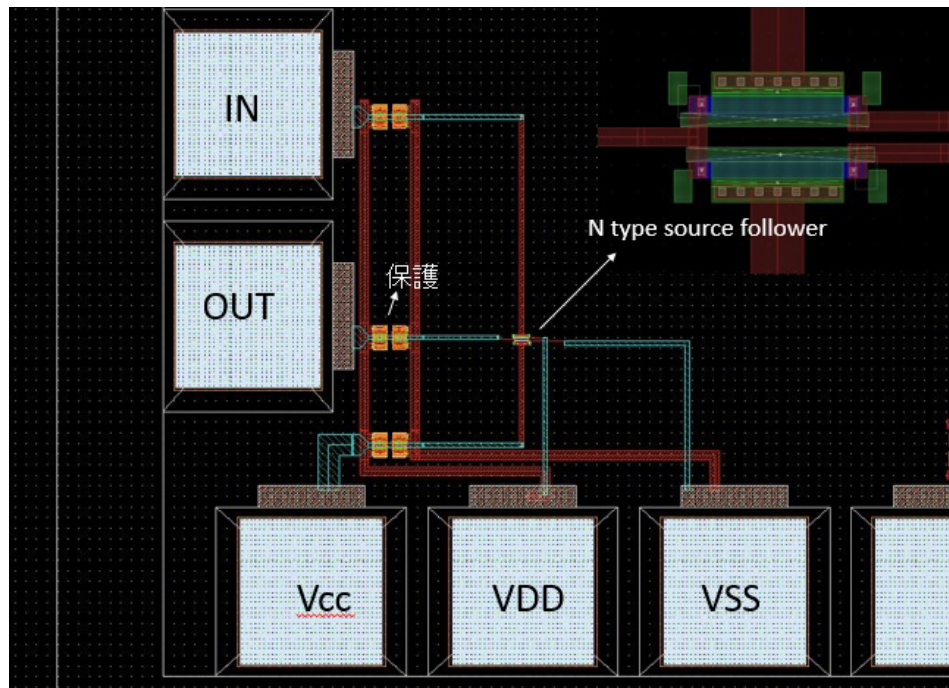


図 3.5 ソースフォロア部分のレイアウト構成。W/L=0.63/5.0 $\mu\text{m}/\mu\text{m}$ のゲートサイズの NMOS 2 つからなるソースフォロア。

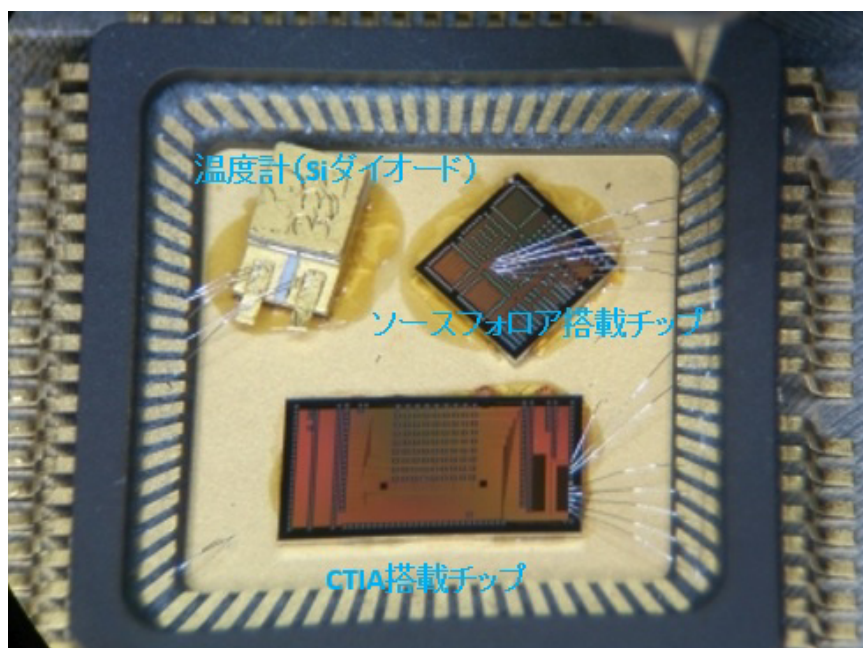


図 3.6 チップキャリアへの実装。チップキャリア上には、CTIA を搭載したチップ、ソースフォロアを搭載したチップ、温度計をワニスによって Au のフロアへ接着されている。それぞれのパッド間はワイヤボンディングによって接続されている。

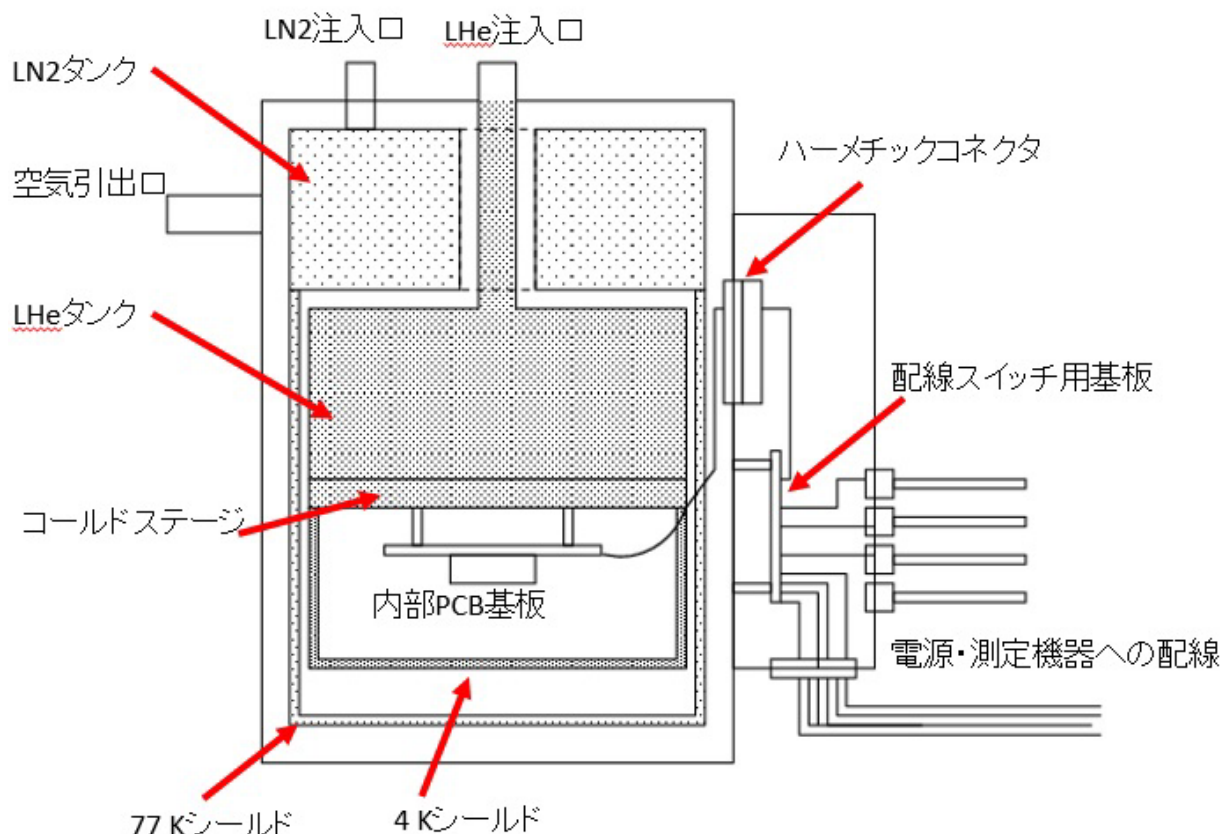


図 3.7 デュアールの内部構造概念図。デュアールは INFRARED LABORATORIES 社製液体ヘリウムデュアール (model:HDL-8) である。デュアール内部は、真空断熱のために高真空 ($<1\text{E-}6$ mbar) に保たれている。また、液体窒素タンクと液体ヘリウムタンクが搭載されており、77 K と 4 K のシールドが外部からの熱放射を遮っている。コールドステージは液体ヘリウム温度になっており、内部 PCB 基板を 4 K に保つ熱浴となっている。内部 PCB 基板には極低温読み出し回路のチップが搭載されている。チップへ接続された配線は、ハーメチックコネクタを経てデュアール外へ引き出されている。

冷却には、INFRARED LABORATORIES 社製液体ヘリウムデュアールを用いた (図 3.7)。デュアール内部は真空断熱のため、高真空状態となっており、デュアール外部との熱伝導は熱放射が主となる。デュアール内部には、液体窒素・液体ヘリウムによって冷却された 77 K シールド、4 K シールドがあり、外部からの熱放射を遮断している。これらの断熱機構によって、外部からの熱流入は低減されており、コールドステージは 4 K に保たれる。極低温読み出し回路チップはチップキャリアとソケットを介して PCB 基板に実装されており、コールドステージへ熱を排出することで冷却される。

内部の PCB 基板から引き出された配線は、ハーメチックコネクタを経てデュアールの外に続く。デュアールの外では、配線の ON/OFF を切り替える基板を経て、電源機器や測定機器へと接続される。

また、OPAMP とソースフォロアの駆動のため、電源電圧を外部から供給する。図 3.8 は、定電圧を供給するための回路で、Dewer 外に設置している。

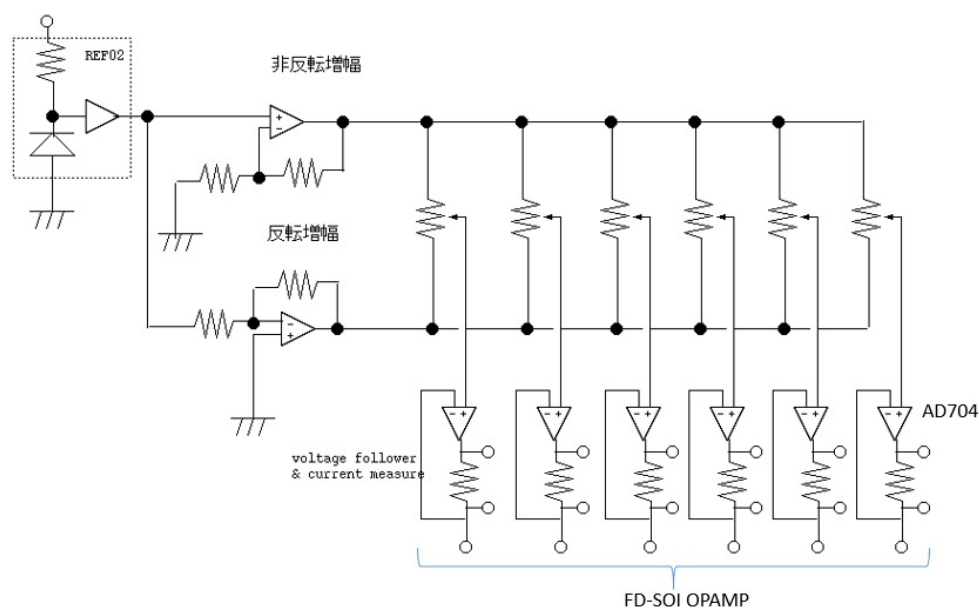


図 3.8 FD-SOI OPAMP へ電源電圧を供給するための回路。定電圧源 REF02 で 5 V の基準電圧を生成し、OPAMP による反転増幅・非反転増幅で +5 V と -5 V を作り出す。さらに半固定抵抗によって調整された電圧をボルテージフォロアでバッファリングし、出力する。出力電流をモニターするために、ボルテージフォロアの出力には 1 k Ω の抵抗が挿入されている。この抵抗での電圧降下を測定することで、出力電流を知ることができる。

3.2.2 CTIA 動作の概観

図 3.2 の測定コンフィギュレーションによって得られた、典型的な CTIA 動作を図 3.9 に示す。図 3.9 では、リセットスイッチの MOSFET ゲートに印加している電圧 (振幅 1.2 V の矩形波)、検出器バイアス電圧 (0.0 V)、CTIA 出力電圧を図示している。CTIA 出力波形は、1 秒間の積分を 3 回行っている様子が得られており、連続した積分動作において高い再現性が確認できた。

積分動作中の線形性については 3.2.3 節、リセット前後の挙動については 3.2.4 節で詳しく述べる。

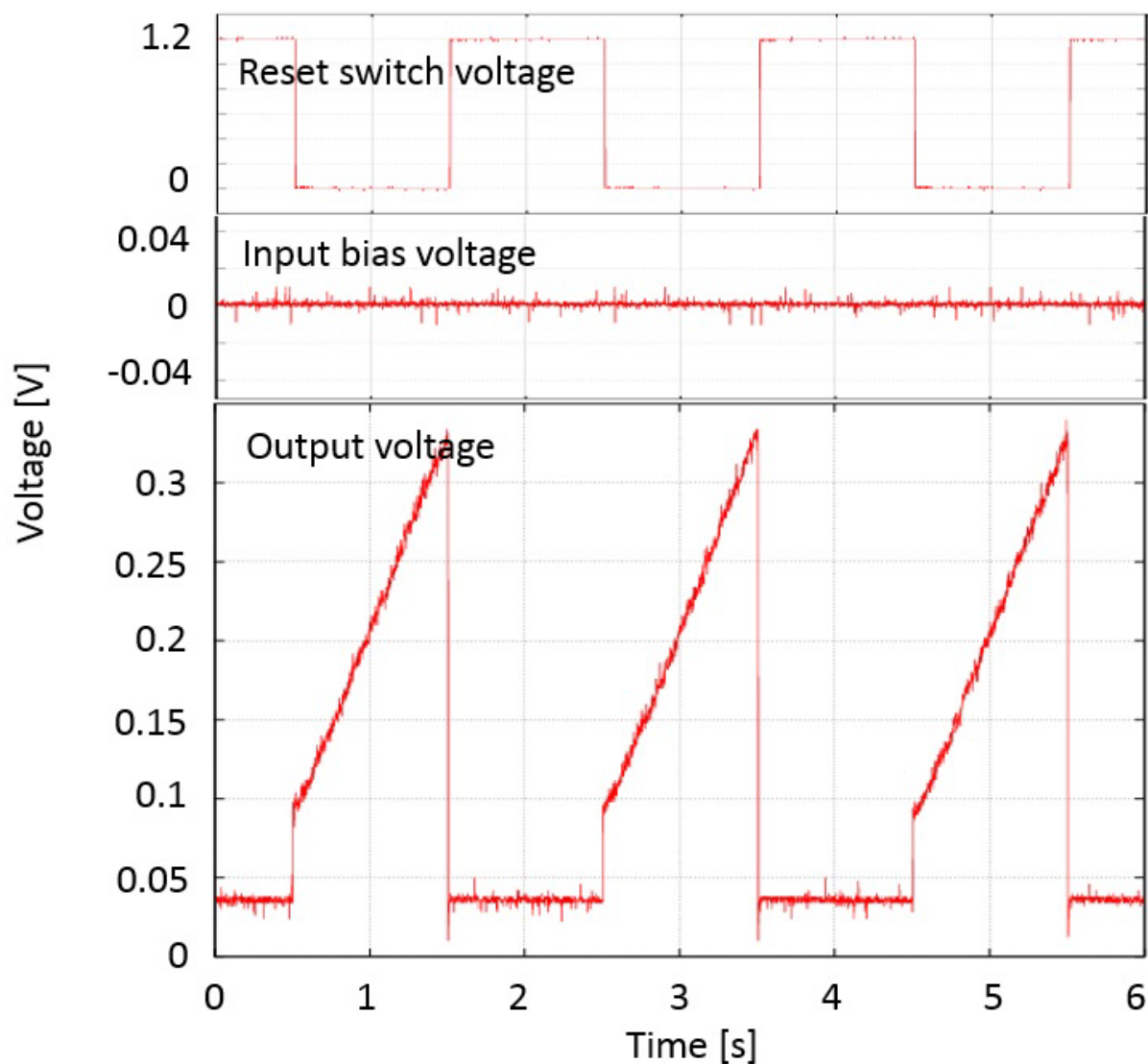


図 3.9 4.2 K での CTIA の動作概観。リセットスイッチ電圧は電圧幅 0-1.2 V、周期 2 s、Duty50% の矩形波を印加している。検出器バイアス電圧は 0.0 V の直流電圧を印加している。CTIA 出力では、積分時間 1 s の積分波形が 3 周期得られており、再現性がある。

3.2.3 積分動作の出力幅と実効積分容量

まず、液体ヘリウム温度での積分動作とリセット動作が機能することを確認した。その上で、実効的な積分容量を評価した。

検出器バイアス電圧 (-40 mV ~ +60 mV) 毎に積分波形を測定したものを図 3.10 に示す。図 3.10 では、0.4 ~ 1.4 秒の時刻に積分動作を行い、0 ~ 0.4, 1.4 ~ 2 秒の間はリセット動作を行っている。出力電圧範囲は -0.70 V ~ 1.18 V であった。

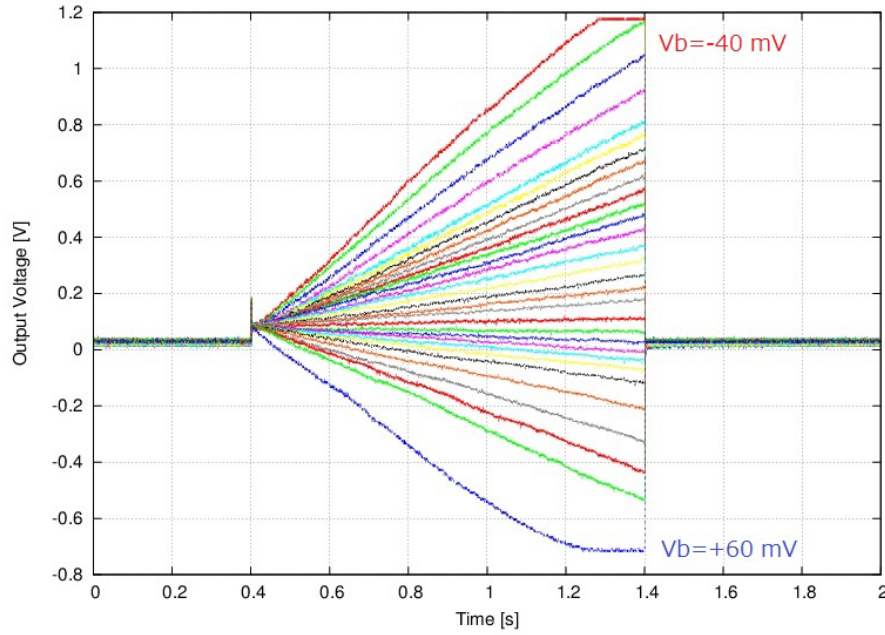


図 3.10 検出器バイアス電圧 V_B 毎の積分波形。積分時間は 1 秒間 (横軸 0.4~1.4 s) とし、検出器バイアスは -40 mV~+60 mV まで変化させている。出力で電圧は上限 1.18 V、下限 -0.70 V で飽和している。

図 3.10 の積分波形を相関二重サンプリング (CDS) 処理を行うことで、積分波形の傾き (dV/dt) を求めた (図 3.11)。CDS では、時刻 $t_1=0.3$ 、 $t_2=1.5$ の出力値を用いて、式 3.1 より積分波形の増分 ΔV を求めた。

$$\Delta V = V(t_2) - V(t_1) \quad (3.1)$$

また、事前に液体ヘリウム環境で電流電圧特性を測定しておいた検出器模擬抵抗の抵抗値 (122 G Ω ; 図 3.12 参照) を用いて、実効的な積分容量を求めた (図 3.11 緑直線)。

検出器模擬抵抗の電流 I_d は、式 3.2 で表される。

$$I_d = \frac{V_b}{R_s} \quad (3.2)$$

一方、積分電荷量は $Q = -CV$ で表され、 $Q = I_d \cdot \Delta t$ なので、積分波形の傾き dV/dt は式 3.4 となる。

$$I_d \Delta t = -C \Delta V \quad (3.3)$$

$$\frac{\Delta V}{\Delta t} = -\frac{C}{I_d} = -V_b C R_s \quad (3.4)$$

図 3.11 の緑直線は、式 3.4 に $R_s = 122 \text{ G}\Omega$ を代入し、積分容量 C についてフィッティングしたものである。 R_s の値は、別途液体ヘリウム環境にて測定を行った (図 3.12)。フィッティングには、検出器バイアス電圧が -0.03~0.005 V までの測定点を用いた。その結果、実効的な積分容量は 315 fF であった。

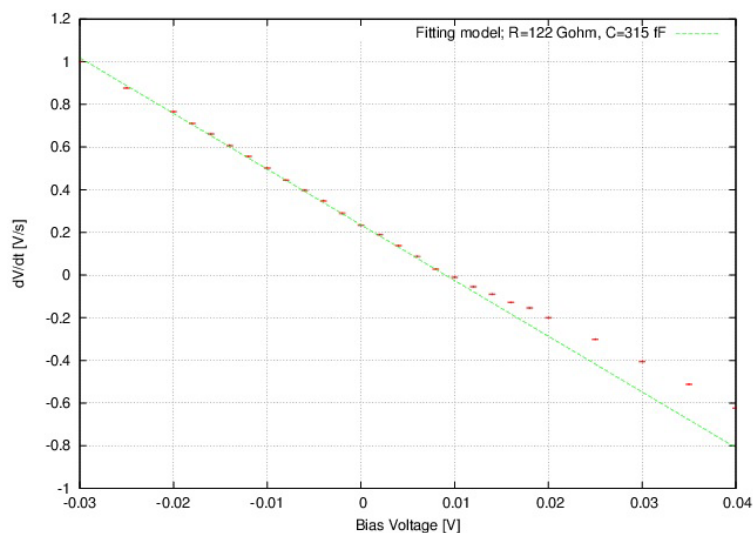


図 3.11 検出器バイアス電圧に対する dV/dt 。縦軸は式 3.1 によって導出される ΔV を $\Delta t = 0.8$ s で割った値である。横軸は検出器模擬抵抗に印加している電圧である。緑直線は横軸 -0.030 ~ 0.005 V までの領域を最小二乗法によって式 3.4 とのフィッティングを行った結果である。横軸 0.01 以上の領域でフィッティング直線とずれていることについては、後述するようにリセットスイッチとして用いた MOSFET の動作状況に由来すると考えられる。

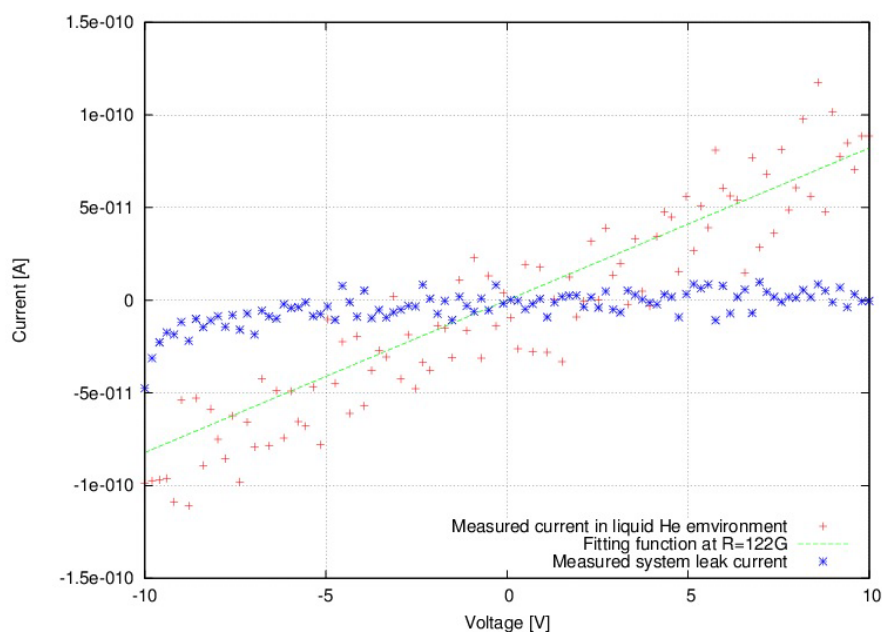


図 3.12 検出器模擬抵抗の電流電圧特性。赤色点は液体ヘリウム環境にて測定した検出器模擬抵抗の電流電圧特性である。緑直線は赤色点のデータを線形関数でフィッティングした結果であり、この時の抵抗値は 122 G Ω となった。また、青色点は電流測定時のシステムリークを表している。システムリークに対して検出器模擬抵抗の測定電流は有意に大きいため、この実験環境で検出器模擬抵抗の測定ができていることがわかる。

検出器を模擬した抵抗には、ELTECH INSTRUMENT 社製 100 G Ω (Model 104) を使用している。図 3.12 はこの抵抗を液体ヘリウムに浸して、4 K での電流電圧特性を測定したものである。図 3.12 から、極低温の環境であっても抵抗値の変化は室温と比べて 20 % 程度であり、線形性が良いことが分かった。

3.2.4 リセット動作

1.3.3 節にまとめたように、リセット動作に関する性能要求は、積分前後のリセットスイッチ動作が 1 ms 以内にすべて行われることである。本節では、図 3.13 に図示する積分波形のリセット前後の挙動について詳細に検証する。

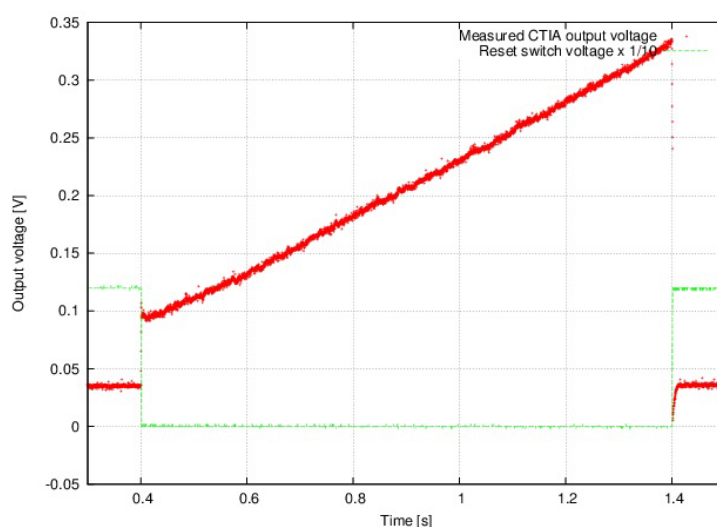


図 3.13 検出器バイアス電圧 0V の時の積分波形。緑線はリセットスイッチ電圧であり、1/10 倍にしてプロットしている。

積分動作の直後と直前の出力について図 3.14, 3.16 に示す。図 3.14 は積分動作からリセットレベルに変化する過程である。リセットスイッチのゲート電圧は 1 ms の時間をかけて ON にしている。リセットスイッチが ON 状態に達した時の出力波形を拡大して図 3.15 に示す。図 3.15 から、リセット ON 時の蓄積電荷放電は、0.15 ms 程度で完了していることが分かった。これは、電圧変化速度にして 3000 V/s であり、1 V の積分振幅を想定すると 0.33 ms である。

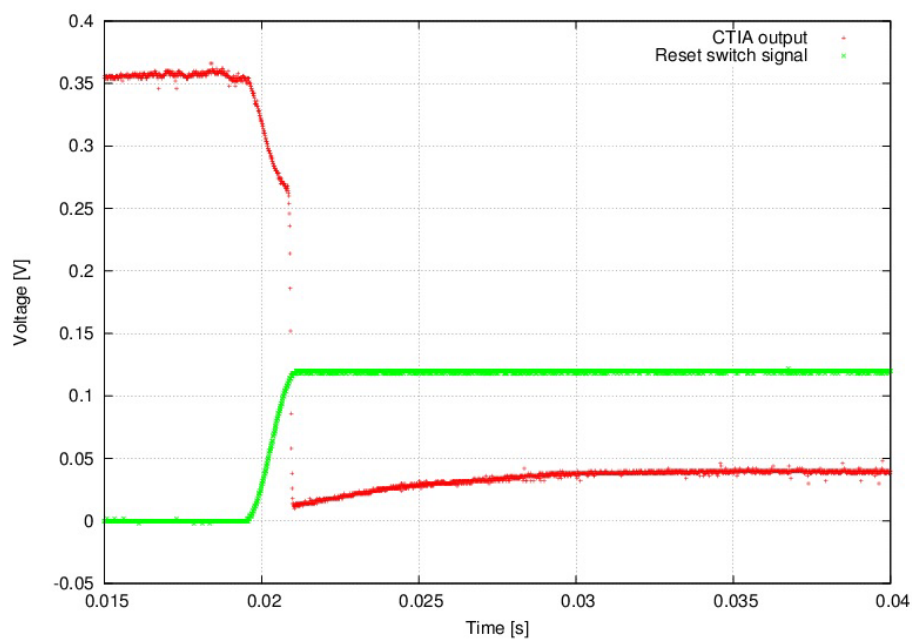


図 3.14 リセットスイッチ ON 直後の CTIA 出力。Reset switch signal は、リセットスイッチのゲートに印加している電圧 (1/10 表示) を表しており、1 ms の時間をかけて 0 V から 1.2 V に切り替えた。横軸 0.02 s 付近の CTIA 出力は、リセットスイッチゲートの電圧変化を反映して低下している。横軸 0.021 s での CTIA 出力の急峻な低下は積分容量が放電されていることを表している。

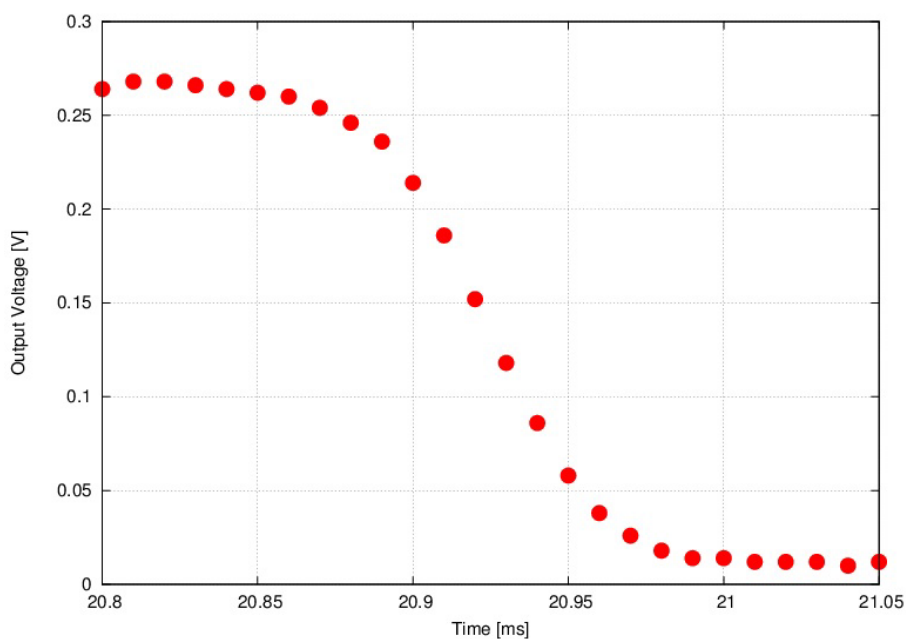


図 3.15 図 3.14 の時刻 0.021 s 付近の拡大図。Cf の放電を表しており、放電には 0.15 ms 程度かかっている (3000 V/s 相当の電圧変化速度)。

一方で、図 3.16 はリセットスイッチが OFF になった時刻から積分が始まる過程である。リセットス

イッチが OFF になった瞬間にフィードスルーが発生し、2 ms の時間幅を持つピークを経て積分動作が開始している。フィードスルーは、リセットスイッチのゲート容量に蓄積した電荷が積分容量に流入することで発生すると考えられる。リセットスイッチのゲート容量 C_{RST} に蓄積する電荷量 ΔQ_{RST} は、リセット電圧 ΔV_{RST} を用いて式 3.5 で表され、 ΔQ_{RST} によって積分容量 C_f にかかる電圧 ΔV_f は式 3.7 で表される。図 3.16 では、リセットスイッチのゲート電圧は 1.2 V から 0 V に変化しているため、 ΔV_{RST} は 1.2 V である。ゲート容量を $C_{\text{RST}}=10$ fF とし、積分容量を $C_f=150$ fF とした時、 ΔV_f は 0.08 V となる。これは、図 3.16 のフィードスルーの大きさと一致する。

$$\Delta Q_{\text{RST}} = C_{\text{RST}} \cdot \Delta V_{\text{RST}} \quad (3.5)$$

$$\Delta Q_{\text{RST}} = C_f \cdot \Delta V_f \quad (3.6)$$

$$\Delta V_f = \frac{\Delta Q_{\text{RST}}}{C_f} = \frac{C_{\text{RST}} \Delta V_{\text{RST}}}{C_f} \quad (3.7)$$

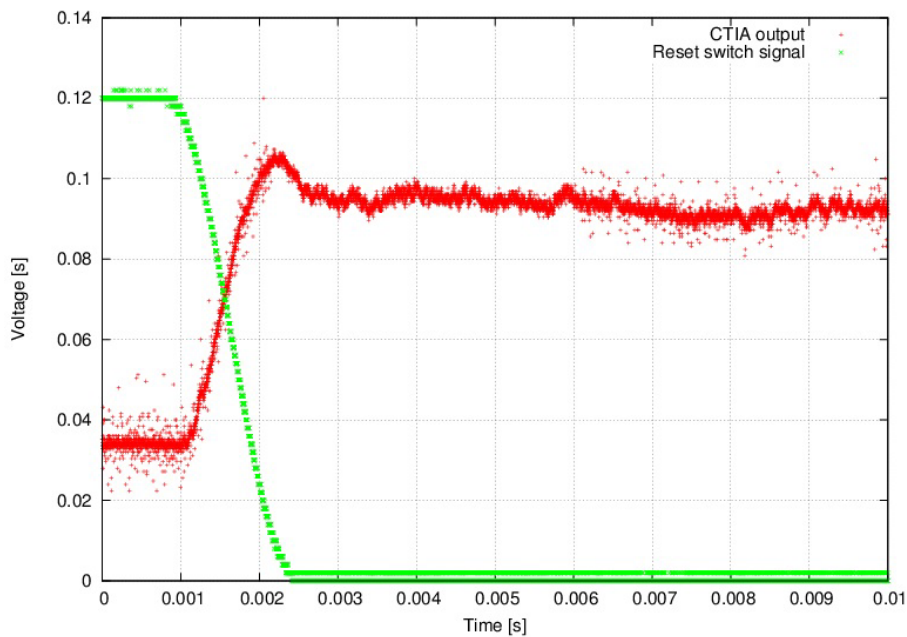


図 3.16 リセットスイッチ OFF 直後の出力。図 3.14 と同様に、リセットスイッチ電圧は 1/10 表示である。リセット OFF 直後はフィードスルーとみられるピークが見られ、その後に積分が開始している。フィードスルーはリセットスイッチ電圧と同程度の時定数 (2 ms) で終わり、積分が開始されている。

また、リセット OFF 直後 (積分開始時) には、図 3.17 で示すように、直線ではない出力が見られた。このリセット OFF 後のアノマリーが収束するまでの時間を明らかにするため、直線モデル関数と積分波形との残差を求めた。その残差の時間変化について図 3.18 に示す。

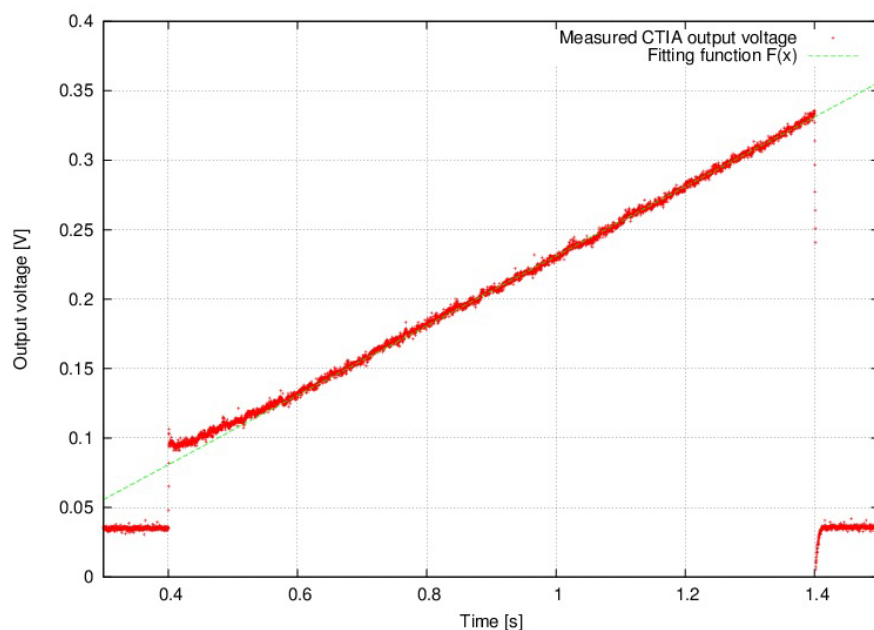


図 3.17 検出器バイアス電圧 0V の時の積分波形。緑線は横軸 0.8-1.4 s の範囲で直線関数をフィッティングした結果である。積分開始直後の測定結果とフィッティング関数に差あることがわかる。

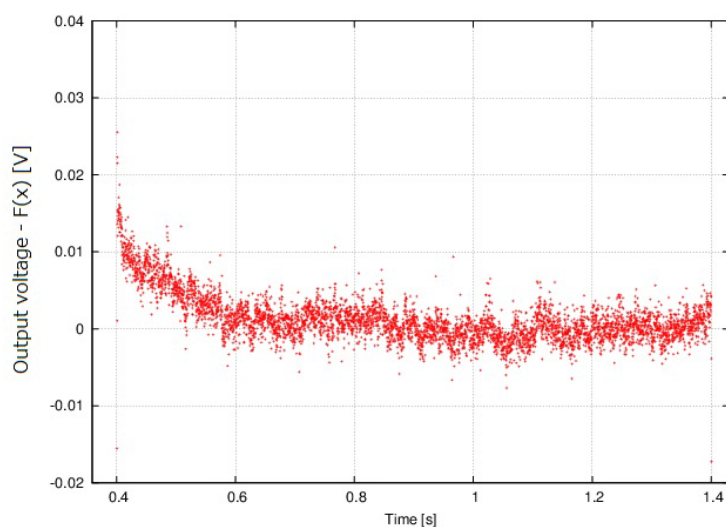


図 3.18 フィッティング関数と測定された積分波形の残差。図 3.17 の時刻 0.4-1.4 s について、(フィッティング関数-測定電圧) をプロットした。積分開始時刻 (0.4 s) から時間 0.2 s 程度をかけて残差が 0 に収束している。

以上より、リセットスイッチの ON/OFF 動作の前後に読み出しに有効ではない時間があることがわかった。リセット ON 直後では、積分容量の電荷が放電するために 0.15 ms が必要である。リセット OFF 直後では、2 ms のフィードスルーの後、リセットアノマリーが発生していた。そのため、積分波形が直線になるまでに 0.2 s を経る必要がある。

リセット速度に影響されるフレームレートについては、議論で述べる。

3.2.5 雑音

1.3 章で述べたように、CTIA の入力換算読み出し雑音に関する性能要求は $28 e/\sqrt{\text{Hz}}$ である。これは、CTIA の積分容量が 150 fF の時、 $30 \mu\text{V}/\sqrt{\text{Hz}}$ の入力換算雑音電圧に相当する。

雑音の検証実験では、図 3.19 に示すように、反転入力端子はチップ内で終端した CTIA を用いている。FFT analyzer を用いてパワースペクトル密度 (PSD) を測定した (図 3.20)。その結果、 1 Hz での PSD は、 77 K で $17 \mu\text{V}_{\text{RMS}}/\sqrt{\text{Hz}}$ 、 4.2 K で $62 \mu\text{V}_{\text{RMS}}/\sqrt{\text{Hz}}$ であった。 77 K から 4.2 K への雑音の増加は、移動度が増加したために 2 章で述べた出力部の雑音増加が表れていると予想される。

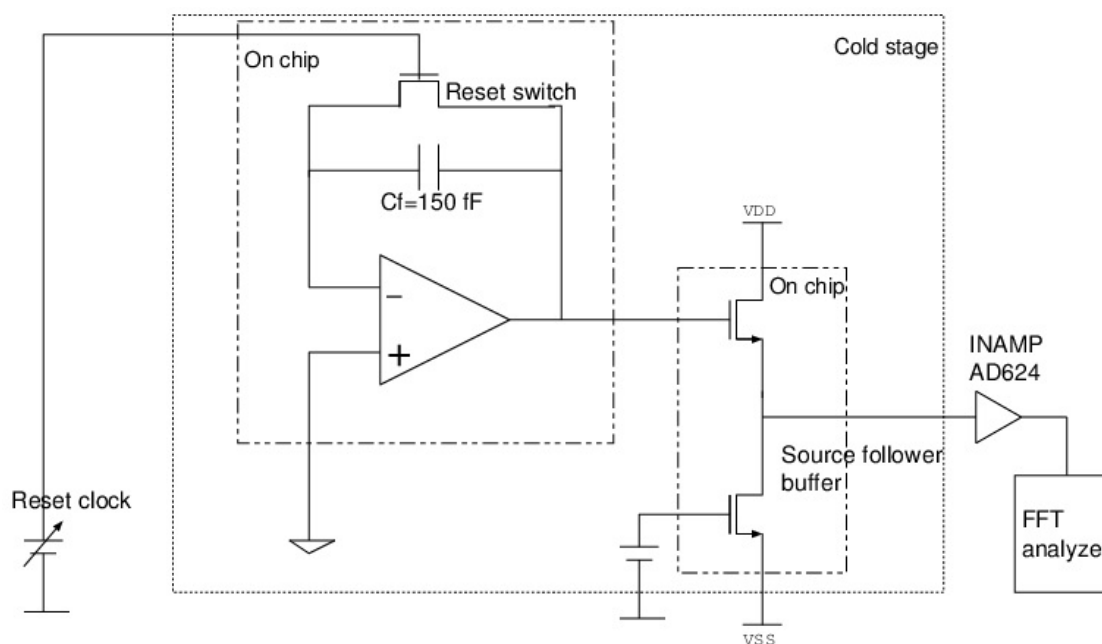


図 3.19 CTIA 雑音測定時の実験構成。CTIA の雑音増幅率は反転入力端子の寄生容量に大きく影響するため、チップ外の配線を除去して寄生容量を可能な限り低減した。出力電圧のパワースペクトル密度は FFT アナライザーで測定を行った。

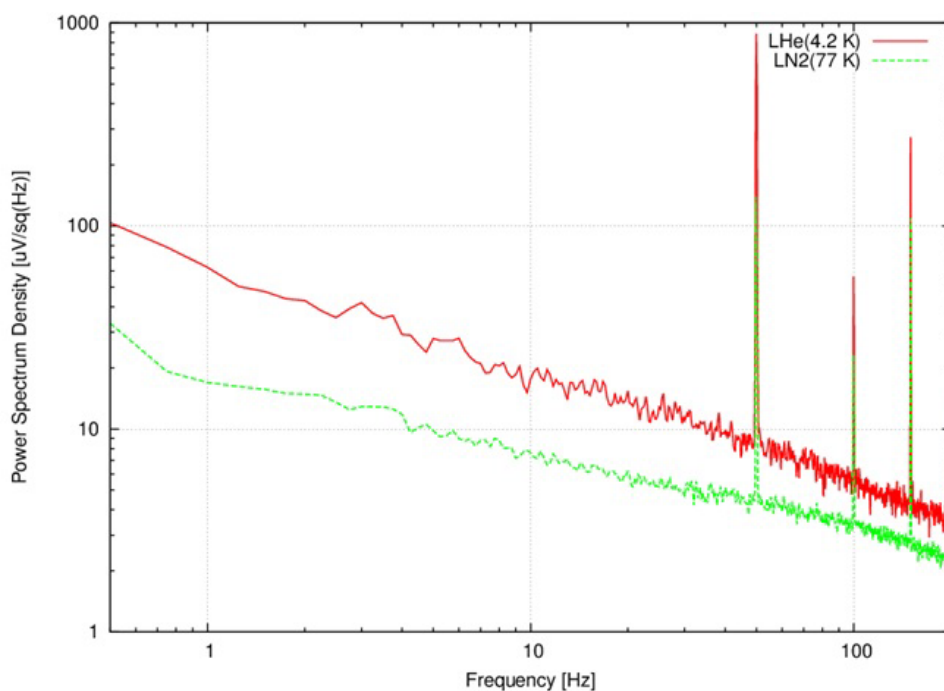


図 3.20 77 K と 4.2 K でのノイズパワースペクトル密度。1 Hz での 77 K の雑音は $17 \mu\text{V}/\sqrt{\text{Hz}}$ である。一方で、4.2 K では $62 \mu\text{V}/\sqrt{\text{Hz}}$ となった。

3.2.6 消費電力

1.3 章で述べたように、1 画素あたり $1 \mu\text{W}$ の消費電力が要求される。

本節では、オペアンプに印加している電源電圧と供給電流の積から消費電力を導出する。

供給電流は、電源回路出力端で測定した (図 3.21)。オペアンプ電源回路出力端には、 $1 \text{ k}\Omega$ の抵抗 R_{power} が直列に設置されており、抵抗の両端の電位差 V_{power} を計装アンプで 100 倍に増幅し、供給電圧 I_{power} を以下の式から導出する。

$$I_{\text{power}} = \frac{1}{100} \times \frac{V_{\text{power}}}{R_{\text{power}}} \quad (3.8)$$

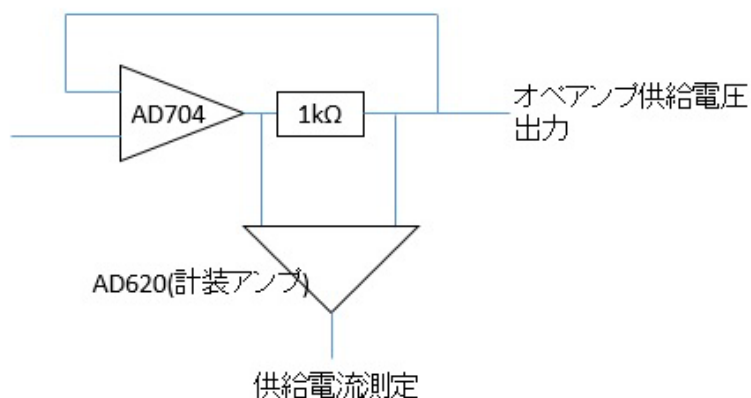


図 3.21 オペアンプ電源回路出力端概要。オペアンプへの電源電圧は、ボルテージフォロア (AD704 使用) によって出力される。供給している電流は、抵抗器の電圧降下を測定することによって求められる。

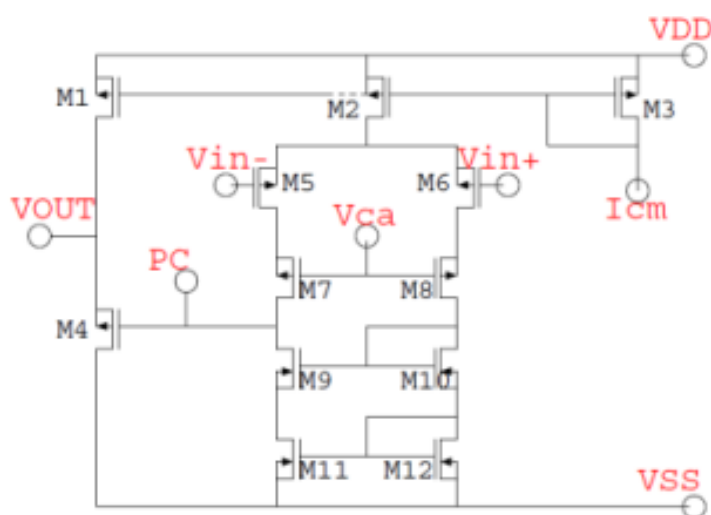


図 3.22 オペアンプ回路構造。オペアンプを駆動するために必要な電源電圧は、VDD, VSS, Vca, である。オペアンプ全体の駆動電流は M1, M2, M3 で構成されるカレントミラーで制御されており、Icm を参照電流として供給する。

図 3.22 で示すオペアンプへの供給電流は以下の表のようになった。電源電圧は、VDD=2.0 V, VSS=-2.9 V, Vca=-1.3 V である

図 3.22 の M1, M2, M3 で構成されるカレントミラーは、Icm で供給された電流を 1/10 にして M1, M2 に流すように設計した。参照電流 Icm は、抵抗器 (1 MΩ) に電圧を印加することで供給する。

CTIA の各種性能評価時 (4.2 K) の供給電流を図 3.23 に示し、その平均値を表 3.1 に示す。測定の結果、常温積分動作時のオペアンプへ供給される平均電流は、0.3 μA であった。供給電流 0.3 μA と電源電圧幅 4.9 V の積より、オペアンプの消費電力は、1.47 μW である。ここで、M3 で消費される電力は、1 画素のユニットセルには含まないので、本評価では考慮しない。

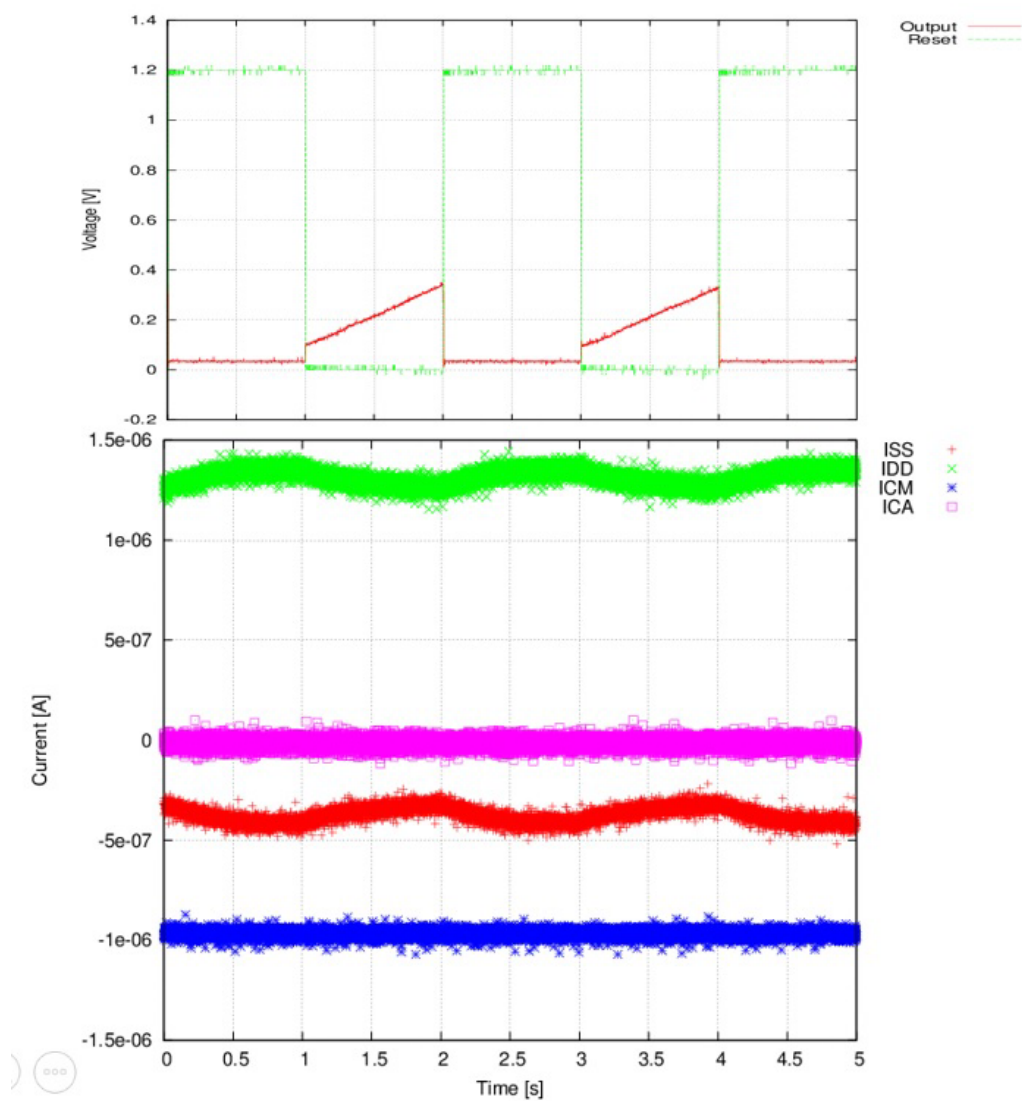


図 3.23 CTIA 動作中の供給電流。上図は CTIA 出力とリセットスイッチに印加している電圧であり、下図は同時間での OPAMP に供給されている電流を表している。各端子の供給電流の平均は表 3.1 に示す。

	I_{VDD}	I_{VSS}	I_{CM}
供給電流	$1.3 \mu A$	$-0.3 \mu A$	$-1.0 \mu A$

表 3.1 オペアンプ各端子に供給されている電流。正負は、図 3.22 の端子に外から流れ込む方向を正とし、吸い込む方向を負とした。

3.3 アナログスイッチ

CTIA アレイの出力画素を選択するためのアナログスイッチを液体ヘリウム温度で動作させ、ON/OFF の抵抗値を測定した [38]。出力選択スイッチの ON 抵抗、OFF 抵抗には、画素間クロストークについて以下の性能要求がある。

イメージセンサーの画素数を N 画素とする。CTIA アレイを動作させるとき、出力選択は 1 画素のみ ON になっており、 $N-1$ 画素は OFF の状態である。

ここで、OFF 状態の画素から ON 状態の画素へ電流の漏れがあると、画素間の DC クロストークとして出力画素に影響を及ぼす。これを防ぐためには、OFF しているすべての画素の合成抵抗が ON 抵抗よりも十分に大きいことが要求される (式 3.9)。

$$\frac{R_{\text{OFF}}}{N-1} \gg R_{\text{ON}} \quad (3.9)$$

3.3.1 ON/OFF 抵抗

図 3.26 で示す CMOS アナログスイッチを 4.2 K で動作させ、ON 状態での入力電圧に対する出力電流を測定した (図 3.25)。その結果、入力電圧範囲 $-1.0 \text{ V} \sim 1.0 \text{ V}$ では $10 \sim 20 \text{ k}\Omega$ の抵抗値を持つことが分かった。

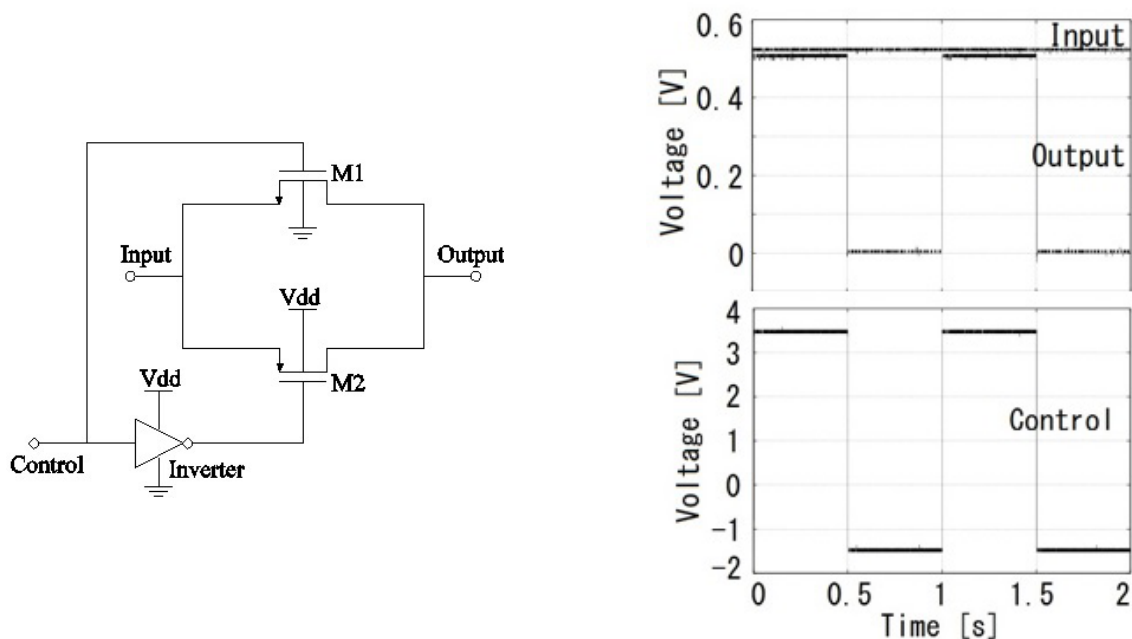


図 3.24 左図：CMOS アナログスイッチの回路構成。M1,M2 の MOSFET のゲート電圧を印加することで ON/OFF の切り替えを行う。右図：4.2 K でのスイッチ駆動の様子。上図はスイッチに入力している電圧と出力で測定された電圧である。下図はスイッチ ON/OFF の制御クロックである。

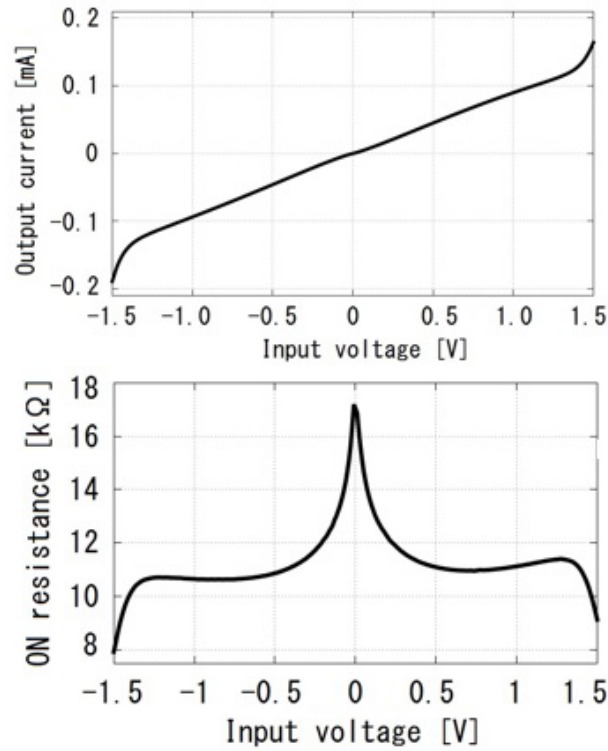


図 3.25 アナログスイッチ回路の ON 状態での電流電圧特性 (上) と ON 抵抗 (下)。入力電圧 $-1 \sim 1$ V での ON 抵抗は $10 \sim 20$ k Ω であった。

スイッチ OFF 時の抵抗を測定するために、図 3.26(左) の測定回路を構成した。この測定回路は、ON 状態のスイッチに電圧を印加して容量に電荷を蓄積させておき、OFF 状態のスイッチを経由して電荷が放電する過程をソースフォロアによって電圧出力読み出しする。その結果、図 3.26(右下) の時間変化する電圧が得られた。

出力電圧の時間変化から、容量 C の蓄積電荷 Q が放電する過程は以下の式で表される。

$$\Delta Q = C \Delta V \quad (3.10)$$

電荷量変化は時間 Δt と電流で表され、次のようになる。

$$\Delta Q = I \times \Delta t \quad (3.11)$$

ここで、スイッチの OFF 抵抗を R_{OFF} とすると

$$R_{\text{OFF}} = \frac{\Delta V}{I} \quad (3.12)$$

図 3.26(右下) と式 3.12 から、OFF 抵抗が $3 \times 10^{14} \Omega$ と導出される。

以上より、アナログスイッチの 4.2 K での ON 抵抗は 10 k Ω 、OFF 抵抗は $3 \times 10^{14} \Omega$ であると分かった。なので、 $N=1000$ 画素の時、式 (3.9) より

$$\frac{R_{\text{ON}}}{(R_{\text{OFF}})/(N-1)} = 3 \times 10^{-8} \quad (3.13)$$

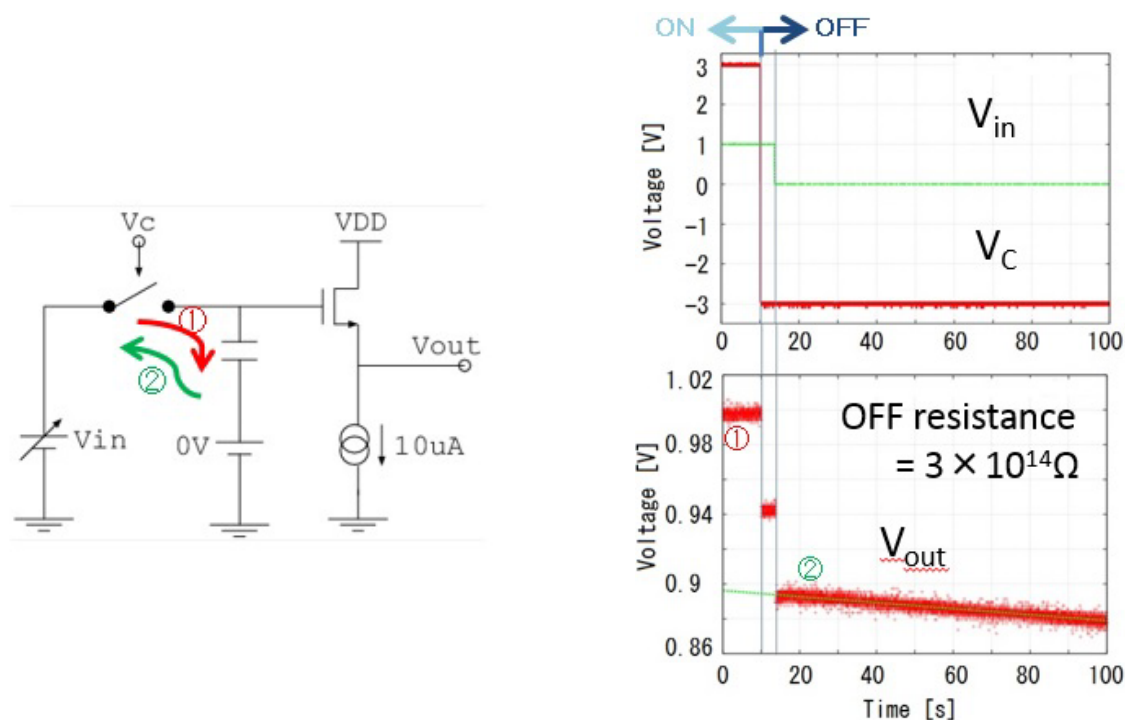


図 3.26 左図：OFF 抵抗測定回路図。①スイッチを ON にした状態で容量に電荷を蓄積し、②スイッチを OFF に切り替えて蓄積された電荷がスイッチを経由して放電される過程を電圧で読み取る。

右図：入力電圧とスイッチ ON/OFF の制御電圧 (上)。ソースフォロア出力電圧 (下)。電荷放電時の時間変化から OFF 抵抗を導出すると、 $3 \times 10^{14} \Omega$ となった。

となり、インピーダンス比は十分であることが分かった。

次に、アナログスイッチの ON/OFF 切り替え時の応答時間を測定した。図 3.27、図 3.28 はそれぞれ、ON-OFF 切り替え時と OFF-ON 切り替え時の応答である。測定結果から、スイッチ切り替え時の応答時間が 0.5 ms 程度であることがわかる。ただし、測定時のアナログスイッチには配線などによる寄生容量が付与されているため、測定された応答時間は上限値である。

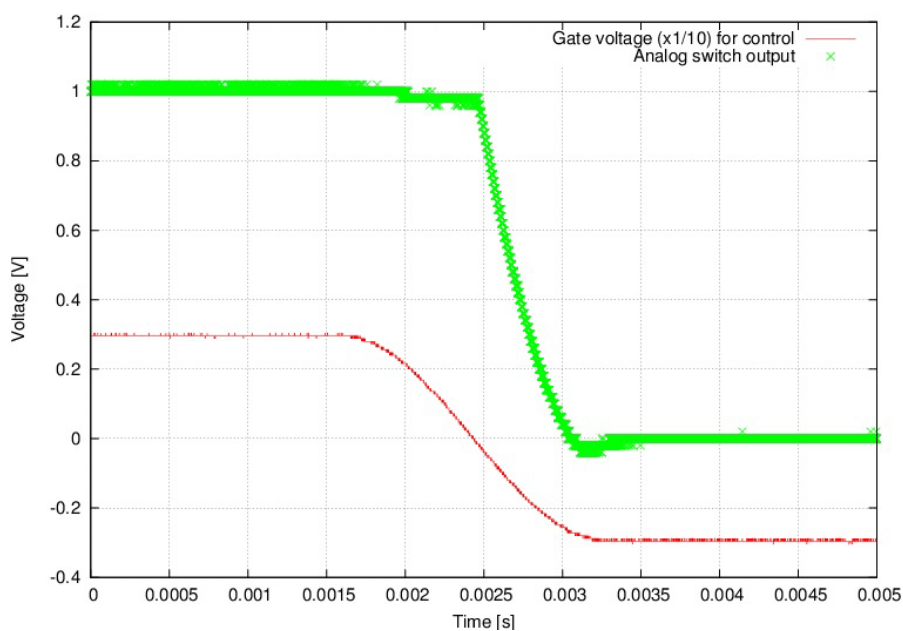


図 3.27 アナログスイッチの OFF 時の応答

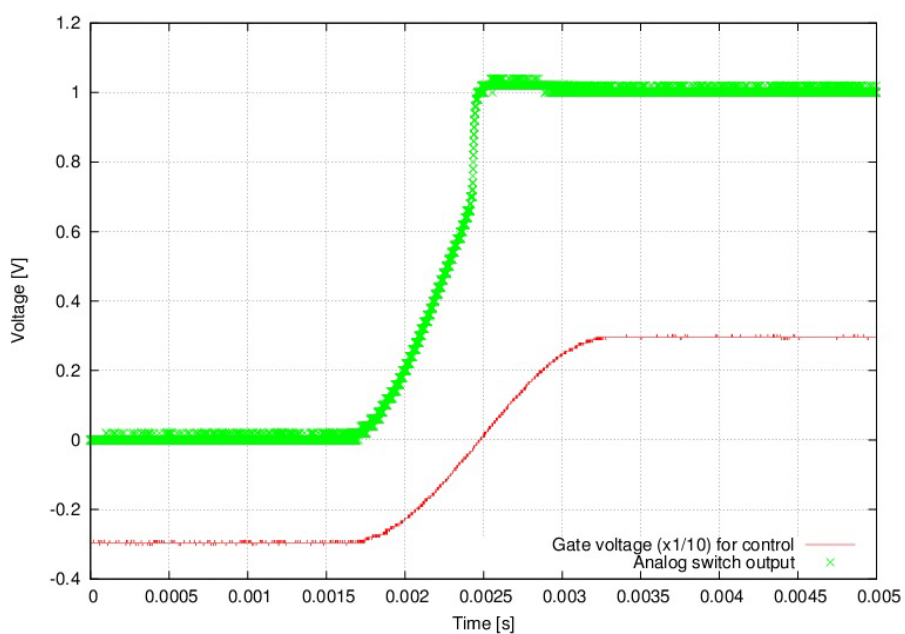


図 3.28 アナログスイッチの ON 時の応答

3.4 シフトレジスタ

画素選択スイッチの制御にはシフトレジスタを用いる。シフトレジスタは直列した D 型フリップフロップで構成されている (図 3.29)。シフトレジスタの常温環境での動作を図 3.30 に示す。

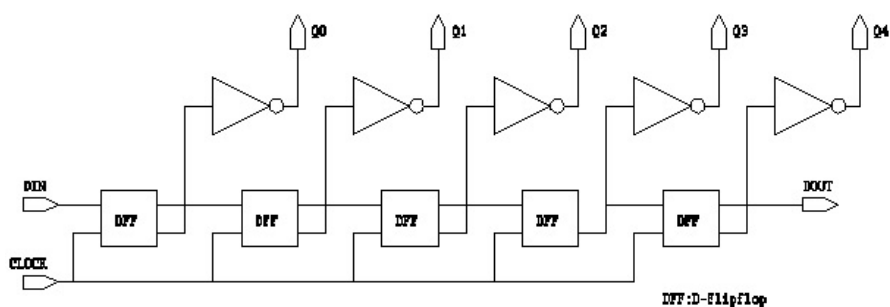


図 3.29 シフトレジスタ回路。D 型フリップフロップを DIN、Clock 信号で制御し、Clock の立ち上がり時に順次 H/L レベルを Q に出力する。

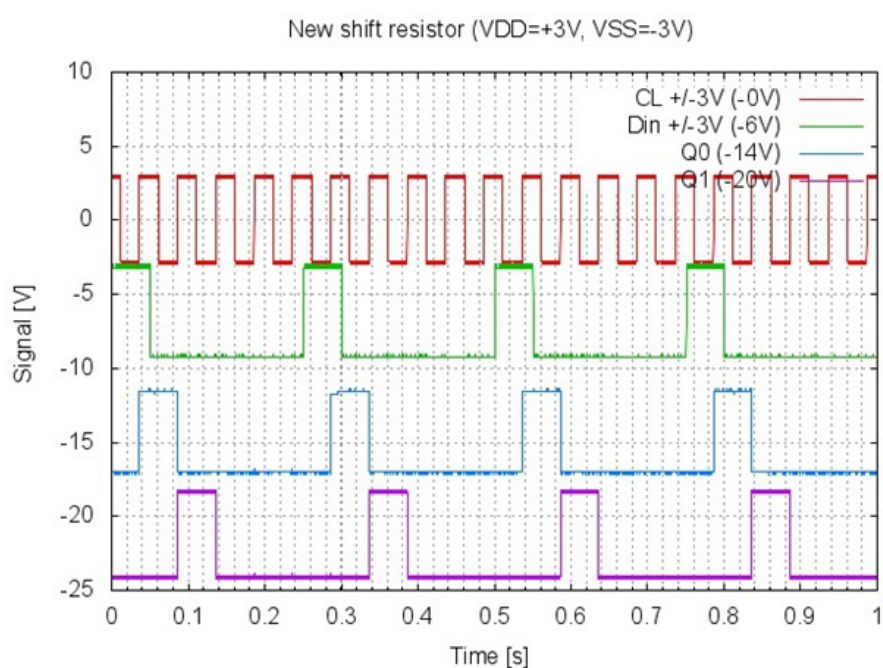


図 3.30 常温でのシフトレジスタ動作信号。clock 信号の立ち上がり時にフリップフロップの入力クロックを出力しており、順次後段のフリップフロップに伝達している。

フリップフロップは、4 K での動作が実証されているため、上記シフトレジスタの 4 K での動作は問題ないと考えられる。

第 4 章

議論

本章では、1 章と 2 章で述べた要求性能と設計仕様に対して、3 章で述べた極低温回路読み出し回路の実測性能を検証した。以下の 2 点に関して、検証実験結果を踏まえて議論する。

- 想定される検出器電流を測定するために十分な性能を有しているか
- 1000 画素以上の多画素イメージセンサーを構成するために必要な条件を満たしているか

4.1 出力電圧スイングの検証

出力電圧の非線形な挙動について議論し、有効な出力電圧範囲について追及する。

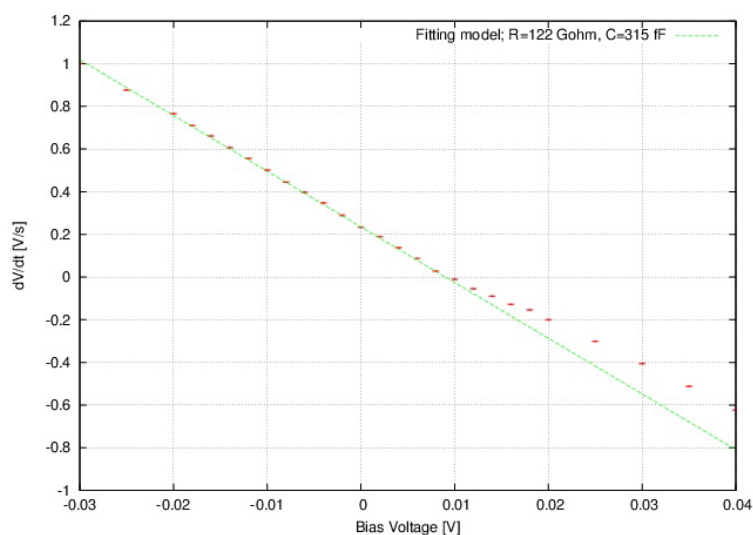


図 4.1 図 3.11 の再掲。検出器バイアス電圧に対する積分波形の傾き

図 3.11 において、検出器バイアス電圧 0.01 V 以上の領域の測定結果はフィッティング結果とずれており、非線形な挙動を示していた。この問題は、リセットスイッチの極性が変化することで説明ができる(図 4.2)。リセットスイッチはボディコンタクトのない N タイプ MOSFET で構成している。そのため、ソース側とドレイン側で集積回路内の構造は対象であり、その極性を決めているのは両端に印加される電

圧と電流に依存している。CTIA のリセットスイッチとして用いた場合は、図 4.2 に示すように CTIA 出力電圧の正負によってリセットスイッチのソース、ドレインが入れ替わることになる。

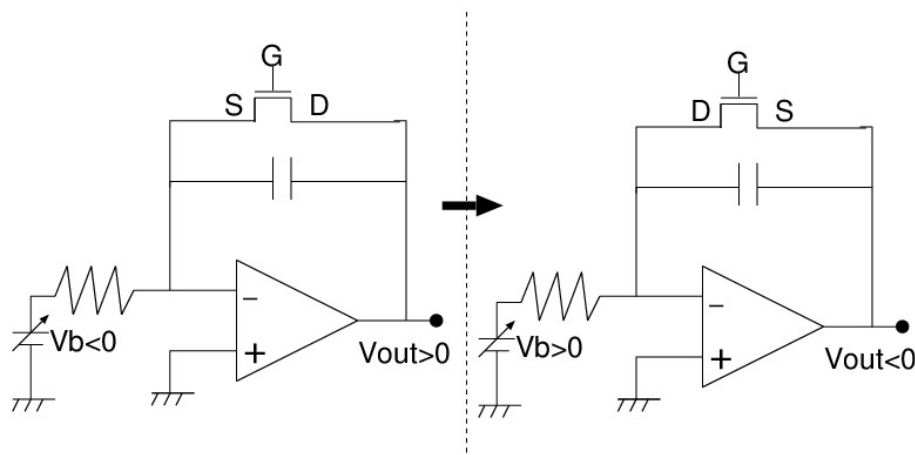


図 4.2 出力電圧の正負に対するリセットスイッチの極性変化の概念図。リセットスイッチはボディコンタクトのない NMOS である。オペアンプ反転入力端子は負帰還により非反転入力と仮想接地されているため、電位の変動はない。そのため、出力電圧の正負によって、リセットスイッチ MOSFET の極性が変わり、ソース (S) とドレイン (D) が入れ替わる。

ここで、リセットスイッチの ON/OFF の切り替えは、ゲートとソース間の電圧で制御される。したがって、CTIA 出力電圧が正の時はリセットスイッチのソースが仮想接地により固定されているため、ON/OFF はゲート電圧の制御によってのみ行われるが、CTIA 出力電圧が負の時は、(ゲート電圧-出力電圧) によって制御されることになる。このことから、図 3.11 の非線形領域は、リセットスイッチが OFF 状態ではなく、積分電荷が漏れていたと考えられる。したがって、検出器電流の積分値として有効な領域ではない。

図 3.10 における有効な領域は、出力電圧が正の領域から飽和するまでの領域であり、その出力電圧幅は 1.18 V である。

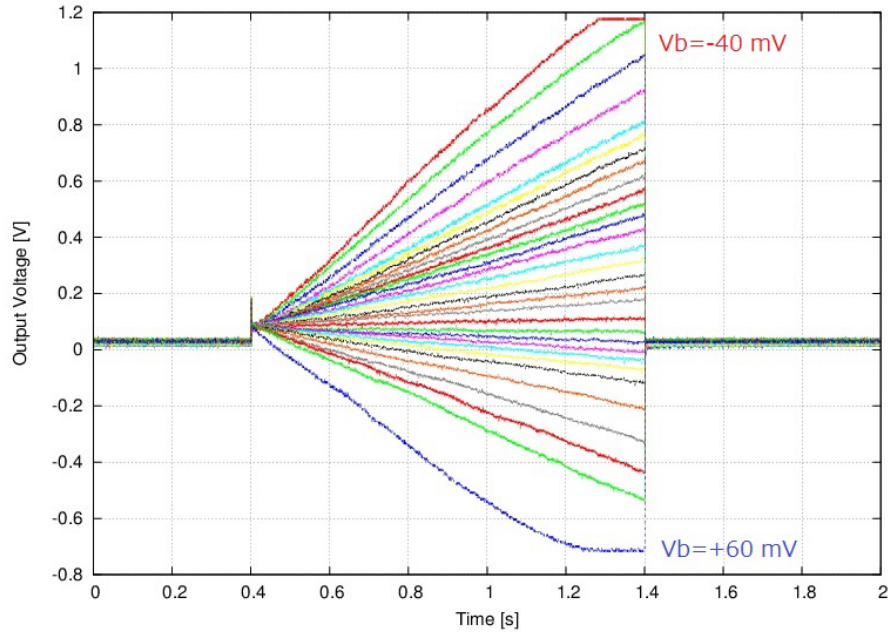


図 4.3 図 3.10 の再掲。出力電圧 >0 の領域が有効な領域であると考えられる。

以上のように、リセットスイッチが N タイプの時は出力が正の電圧になるようにセンサーを動作させる必要がある。また、リセットスイッチに P タイプの MOSFET を使用した場合は、反対に負の出力電圧にする必要がある。出力電圧の正負が決まると、検出器の光電流の方向及び、検出器バイアス電圧の方向が決まるため、検出器の極性とリセットスイッチのタイプ (N, P) が 1 対 1 で対応することになる。フォトコンダクターの場合は、検出器バイアス電圧の方向を調整するだけで良いが、Blocked impurity band (BIB) 検出器のように光電流の向きが構造に依存する検出器である場合、接続方向をリセットスイッチのタイプと合わせる必要がある。

4.2 雑音性能の検証

3.2.5 節で述べた雑音性能の測定コンフィギュレーションから、測定結果における雑音の成分を分析した。図 3.19 の雑音測定コンフィギュレーションの出力には、次の雑音成分が含まれる。

- オペアンプの入力換算雑音電圧 $V_{n,OPAMP}$
- リセットスイッチ MOSFET の熱雑音 $V_{n,thermal}$
- リセットスイッチ MOSFET の漏れ電流によるショット雑音 $V_{n,shot}$
- ソースフォロアバッファの入力換算雑音電圧 $V_{n,SF}$
- 測定システムの由来の雑音 $V_{n,system}$

これらの雑音成分を考慮した時の等価回路は図 4.4 のようになる。

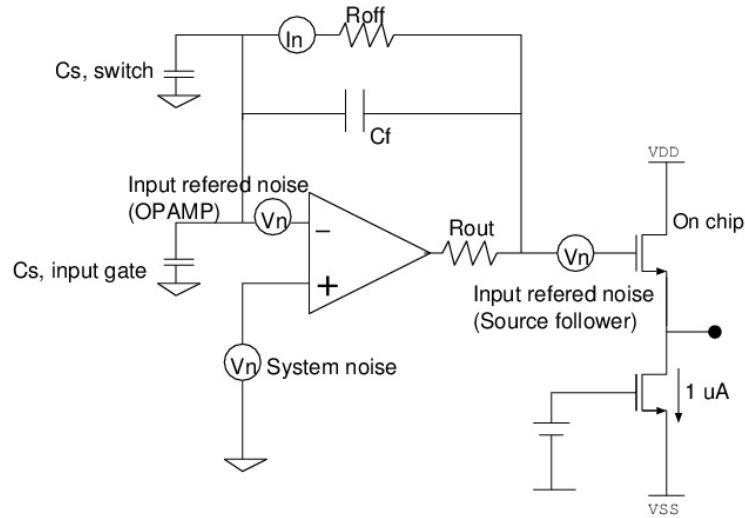


図 4.4 雑音測定コンフィギュレーションでの等価雑音モデル。リセットスイッチは抵抗 R_{off} で置き換えた。雑音電圧 V_n と雑音電流 I_n はそれぞれ、上記の雑音成分を表す。リセットスイッチのゲート-ソース間容量を $C_{s,\text{switch}} = 10 \text{ fF}$ 、オペアンプの入力ゲートに付随する容量を $C_{s,\text{inputgate}} = 10 \text{ fF}$ とした。

最初に、オペアンプとソースフォロアの入力換算雑音について述べる。本論文で設計した CTIA は Nagata et al. (2011)[33] で用いられたオペアンプを参照して設計しており、その入力換算雑音は図 4.5 のように測定されている。Nagata et al.(2011) から、本論文で用いた回路の雑音設計値 (1 Hz 帯) は、オペアンプに対して $19 \mu\text{V}/\sqrt{\text{Hz}}$ 、ソースフォロアで測定した MOSFET に対して $10 \mu\text{V}/\sqrt{\text{Hz}}$ である。

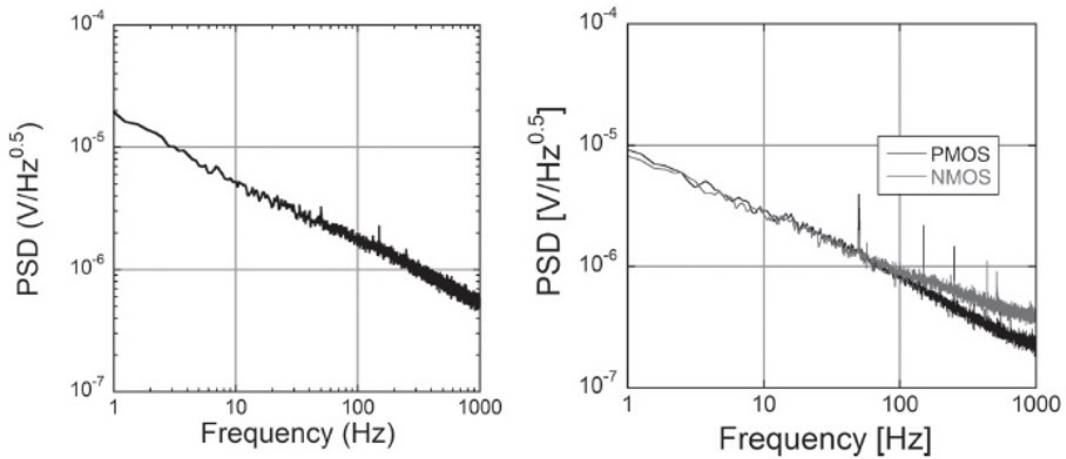


図 4.5 Nagata らによって測定された 4.2 K でのオペアンプ (左図) と MOSFET (右図) の入力換算雑音電圧 PSD[33]。左図オペアンプの入力ゲートのサイズはゲート幅/ゲート長 $L=5 \mu\text{m}/5 \mu\text{m}$ 、右図 MOSFET のゲートサイズは $0.63 \mu\text{m}/5 \mu\text{m}$ である。

次に、リセットスイッチの漏れ電流によるショット雑音について述べる。リセットスイッチの漏れ電流は、CTIA 雑音測定時の時系列出力 (図 4.6) から導出する。図 4.6 の積分時は OFF 状態のリセットスイッチに流れている漏れ電流 I_{leak} を反映しており、式 4.1 で表される。単位時間あたりの電荷量変動 $\Delta Q/\Delta t$ は I_{leak} となる。

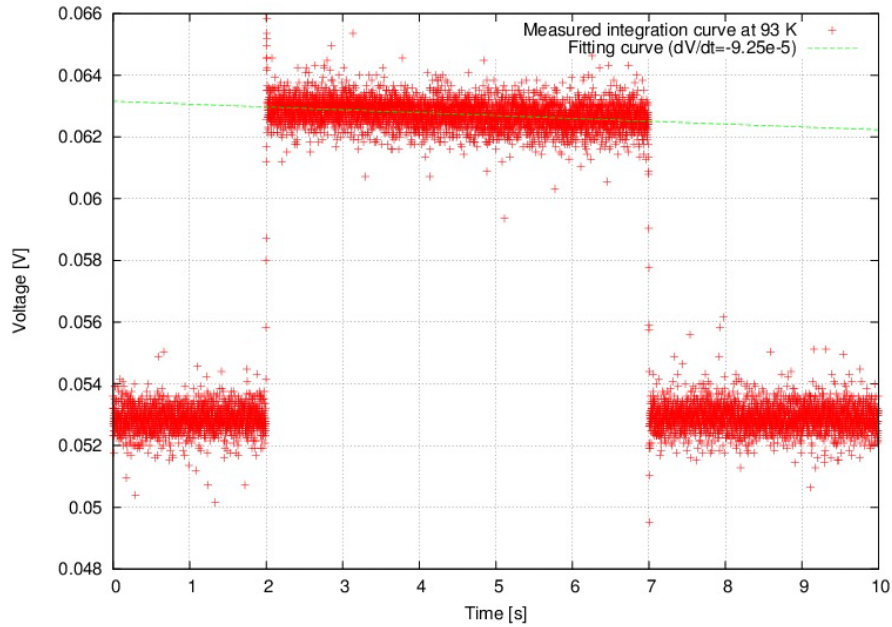


図 4.6 雑音測定時の時系列出力電圧。緑線は時刻 2.5-6.5 s の領域で直線をフィッティングした結果であり、その傾きは -9.25×10^{-5} V/s である。

$$I_{\text{leak}} = \Delta Q / \Delta t = C_f \frac{\Delta V_{\text{out}}}{t} \quad (4.1)$$

図 4.6 から積分波形の傾きは -9.25×10^{-5} V/s であり、積分容量は $C_f = 150$ fF であるので、漏れ電流は $I_{\text{leak}} = 1.39 \times 10^{-17}$ A となる。素電荷が $q = 1.6 \times 10^{-19}$ C であり、蓄積電荷のショット雑音がポワソン分布に従うとすると、漏れ電流によるショット雑音は式 4.2 で表される。

$$Q_{\text{shot}} = \sqrt{\frac{I_{\text{leak}}}{q}} = 9.3 \quad (4.2)$$

このショット雑音電荷が積分容量に蓄積された時の電圧が CTIA におけるショット雑音電圧であり、式 4.3 で表される。

$$V_{n,\text{shot}} = \frac{Q_{\text{shot}} \times q}{C_f} = 9.9 \mu\text{V} / \sqrt{\text{Hz}} \quad (4.3)$$

次に、リセットスイッチが有する熱雑音について述べる。図 4.4 で図示したように、リセットスイッチを等価抵抗とした時、その抵抗値は MOSFET の OFF 抵抗である。図 4.6 の積分波形における 1 秒あたり

の電圧降下と漏れ電流から、OFF 抵抗は $R_{\text{off}} = 6.7 \times 10^{12} \Omega$ である。 R_{off} が有する熱雑音 $V_{R_{\text{off}}, \text{thermal}}$ は、次式で表される。

$$V_{R_{\text{off}}, \text{thermal}} = \sqrt{4kTR_{\text{off}}} \text{ V}/\sqrt{\text{Hz}} \quad (4.4)$$

式 4.4 の熱雑音は、図 4.7 の等価回路を経て出力で観測される。図 4.7 はリセット OFF 抵抗とオペアンプの出力抵抗で構成されており、 R_{off} の熱雑音は分圧されて出力される。したがって、出力での熱雑音の値 $V_{n, \text{thermal}}$ は式 4.5 で表される。

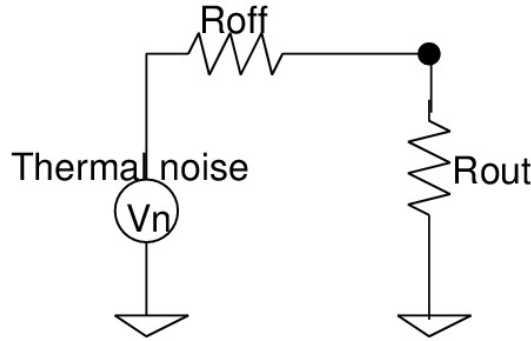


図 4.7 熱雑音等価回路。 R_{off} はリセットスイッチ MOSFET の OFF 抵抗。 R_{out} はオペアンプの出力抵抗である。

$$V_{n, \text{thermal}} = \frac{R_{\text{out}}}{R_{\text{off}} + R_{\text{out}}} \sqrt{4kTR_{\text{off}}} \quad (4.5)$$

$R_{\text{off}} = 6.7 \times 10^{12} \Omega$, $R_{\text{out}} = 20 \text{ M}\Omega$ を用いると、 $V_{n, \text{thermal}} = 5.54 \times 10^{-10} \text{ V}/\sqrt{\text{Hz}}$ である。

上記に加えて、CTIA の反転入力端子に寄生する容量を C_s とすると容量分圧の効果によって出力電圧には $(1 + C_s/C_f)$ のファクターがかかる。したがって、3.2.4 節で求めた雑音電圧は、以下のモデルで記述される。

$$V_{n, \text{output}}^2 = \left(1 + \frac{C_s}{C_f}\right)^2 (V_{n, \text{OPAMP}}^2 + V_{n, \text{thermal}}^2 + V_{n, \text{shot}}^2 + V_{n, \text{system}}^2) + V_{n, \text{SF}}^2 \quad (4.6)$$

ここで、 $V_{n, \text{OPAMP}} = 19 \mu\text{V}/\sqrt{\text{Hz}}$ 、 $V_{n, \text{thermal}} = 5 \times 10^{-10} \text{ V}/\sqrt{\text{Hz}}$ 、 $V_{n, \text{shot}} = 10 \mu\text{V}/\sqrt{\text{Hz}}$ 、 $V_{n, \text{SF}} = 10 \mu\text{V}/\sqrt{\text{Hz}}$ 、 $V_{n, \text{system}} = 0.1 \mu\text{V}/\sqrt{\text{Hz}}$ であった。

上記の各雑音成分を代入すると、 $V_{n, \text{output}} = 23.7 \mu\text{V}/\sqrt{\text{Hz}}$ となる。一方で、本論文で測定された CTIA の雑音スペクトル (図 3.20) では、1 Hz で $62 \mu\text{V}/\sqrt{\text{Hz}}$ であり、上記の雑音モデルでは説明できない超過がある。

2 章で述べたように CTIA に使用している OPAMP 内では、キンク現象が発生している可能性があり、それに伴う低周波雑音の増加がありうる [34]。また、図 3.19 で示したように CTIA 動作中の供給電流には不安定な動作が確認されており、雑音の原因となっている可能性がある。図 3.20 の雑音スペクトルは、要求値及び設計値を満たしておらず、今後の雑音源の調査と低雑音化を目指した回路設計が必要となる。

次に、キンク現象による雑音超過を低減する目的で、電源電圧を調整して測定された CTIA 雑音スペクトルを図 4.8 に示す。

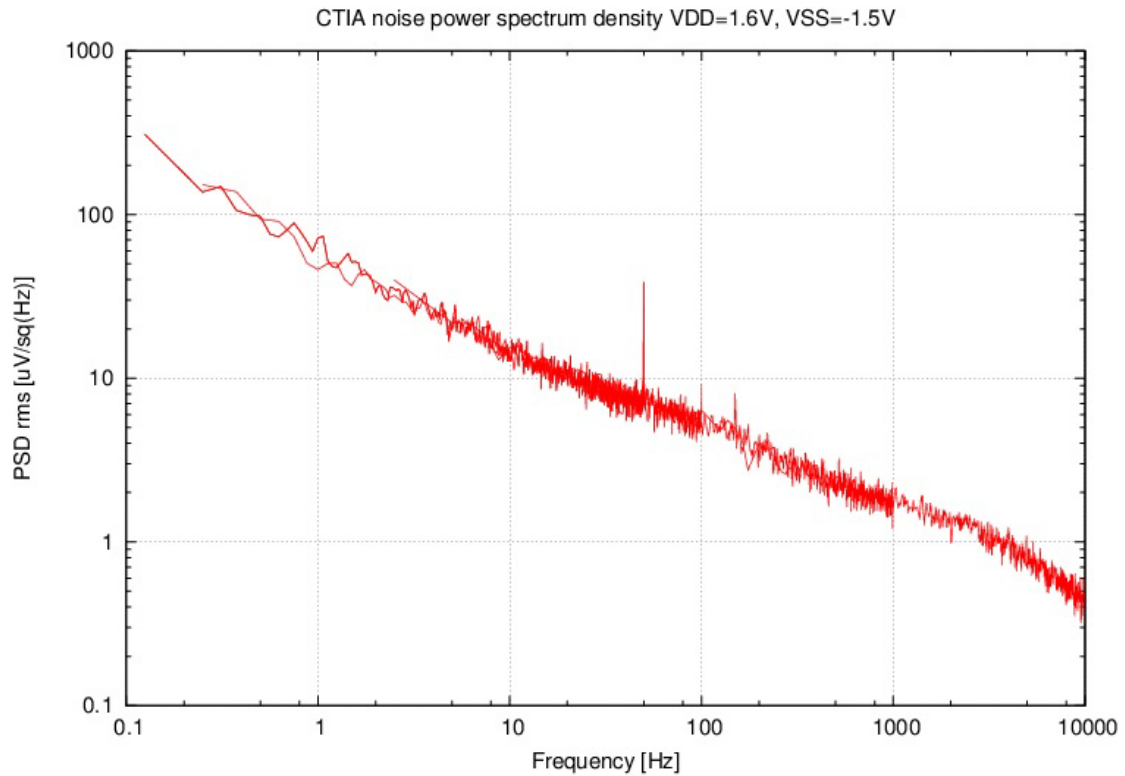


図 4.8 4.2 K でのノイズパワースペクトル密度 (VDD=1.6 V, VSS=-1.5 V に調整)。50 Hz, 100 Hz, 150 Hz にみられるピークは商用電源の高調波である。

以下では、測定された雑音のパワースペクトル密度 (図 4.8) から雑音等価電力 (NEP) を求める。

実際の CTIA は出力は、CDS することが想定されるので、CDS による周波数フィルタを考慮した雑音電圧の導出を行う。CDS を行くと、サンプリング間隔に対応した周波数フィルターを信号にかける効果がある。

T の時間間隔でサンプリングを行った場合、周波数空間に対してかかる透過率 $G(f)$ は

$$G(f) = \int_{-\infty}^{\infty} (\delta(t+T) - \delta(t)) \exp[2\pi i f t] dt = 1 - \exp(-2\pi i f T) \quad (4.7)$$

となる。ここで、 $\delta(t)$ はデルタ関数である。 $G(f)$ の実効的なフィルター関数は $|G(f)|$ であり、

$$|G(f)| = |\sin(\pi f T)| \quad (4.8)$$

である。T=1 s の場合の透過率を図 4.9 に示す。

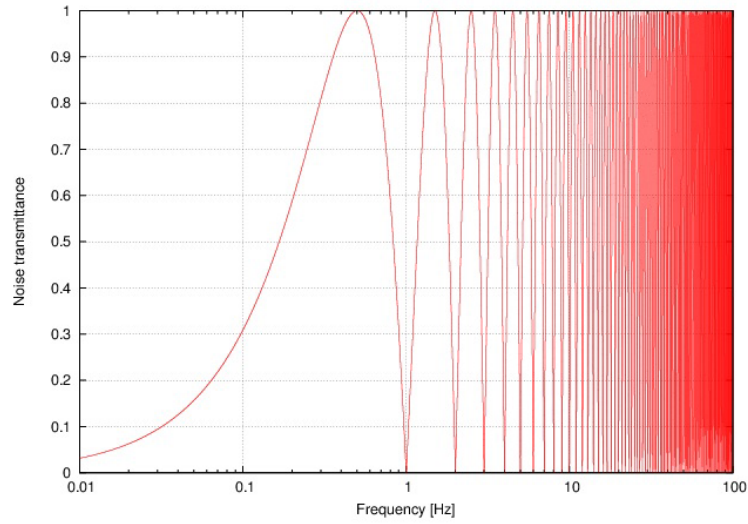


図 4.9 1 秒間隔でサンプリングした場合の周波数フィルター透過率。

3.2.4 節で得られた CTIA の雑音スペクトルに CDS による周波数フィルターを掛け合わせ、雑音電圧 V_n を導出する (式 4.9)

$$V_n^2 = \int_{f_1}^{f_2} V_{\text{PSD}}^2 \times |G(f)|^2 df \quad (4.9)$$

式 4.9 を $f_1=0.1$ Hz から $f_2=10$ kHz まで積分した結果を、図 4.10 に示す。

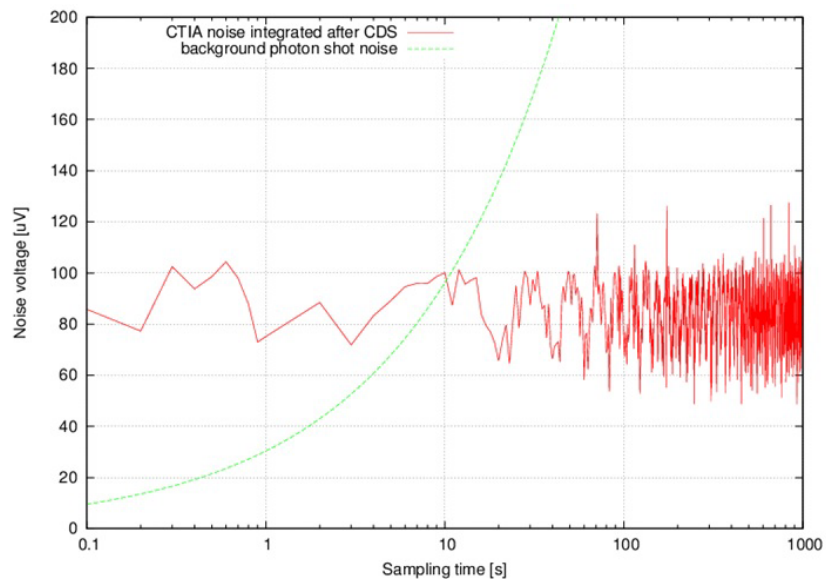


図 4.10 式 4.9 で積分された雑音電圧。緑色線は背景光によるショット雑音である。

次に、CDS と周波数積分の結果から雑音等価電力 (NEP) を見積もる。

NEP [W/√Hz] は S/N 比が 1 の時の入力電力である。ここで、図 4.11 のように検出効率 η の検出器に CTIA が接続されており、 T_i [s] の積分を行った時、 $N_{CDS,e}$ [e] の電荷雑音が出来たとする。この時、検出器には $NEP \times \sqrt{\Delta f}$ [W] の電力が入力されていると、CTIA に入力される電荷数 $N_{input,e}$ は、

$$N_{input,e} = \frac{NEP \times \sqrt{\Delta f}}{E_{ph}} \times \eta \quad (4.10)$$

ここで、 Δf は読み出しにおける帯域幅であり、 $\Delta f = \frac{1}{2T_i}$ である。従って、CTIA 出力での S/N 比は、

$$S/N = \frac{N_{input,e} \cdot \eta}{N_{CDS,e}} \quad (4.11)$$

である。NEP の定義から、S/N=1 とし、式 (4.10) と (4.11) を用いると、

$$NEP = \frac{E_{ph}}{\eta} \times N_{CDS,e} \times \sqrt{\frac{2}{T_i}} \text{ [W/√Hz]} \quad (4.12)$$

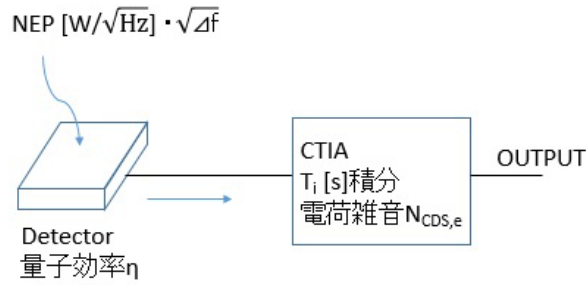


図 4.11 NEP 概念図

波長 λ の光子のエネルギー E_{ph} は、プランク定数 h 、光速 c を用いて次のように表される。

$$E_{ph} = h\nu = h\frac{c}{\lambda} \quad (4.13)$$

従って、 $\lambda = 30 \mu\text{m}$ の光に対しては、 $E_{ph} = 6.6 \times 10^{-21}$ J/photon である。 $\eta = 0.1$ の検出器を仮定した時、式 (4.12) から導出される NEP は、図 4.12 となる。ここで、CTIA の積分時間=CDS サンプリング時間と近似した。

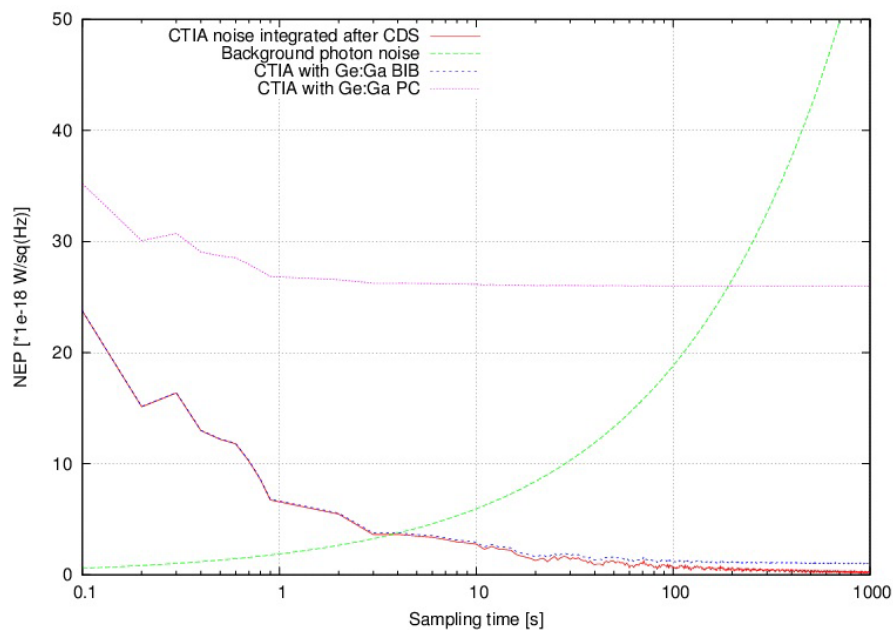


図 4.12 CTIA のサンプリング時間間隔に対する NEP。プロットの内約は、1) 本研究で測定された CTIA 雑音のみ、2) 背景放射のフォトンショット雑音、CTIA と Ge:Ga BIB 検出器 [15] の組み合わせ、CTIA と Ge:Ga フォトコンダクタ [37] の組み合わせによる NEP。また、上記 NEP 算出にあたり、検出器効率 $\eta=0.1$ とした。

図 4.12 から、本研究の CTIA は、Ge:Ga フォトコンダクターとの組み合わせでは 200 秒、Ge:Ga BIB との組み合わせでは 4 秒程度の積分で自然背景光限界に達することが分かった。さらに、最近の TES ボロメータの NEP[39] との比較をしたところ、図 4.13 のようになり、積分時間 50 秒以上では TES ボロメータの NEP 下回る性能を得る。

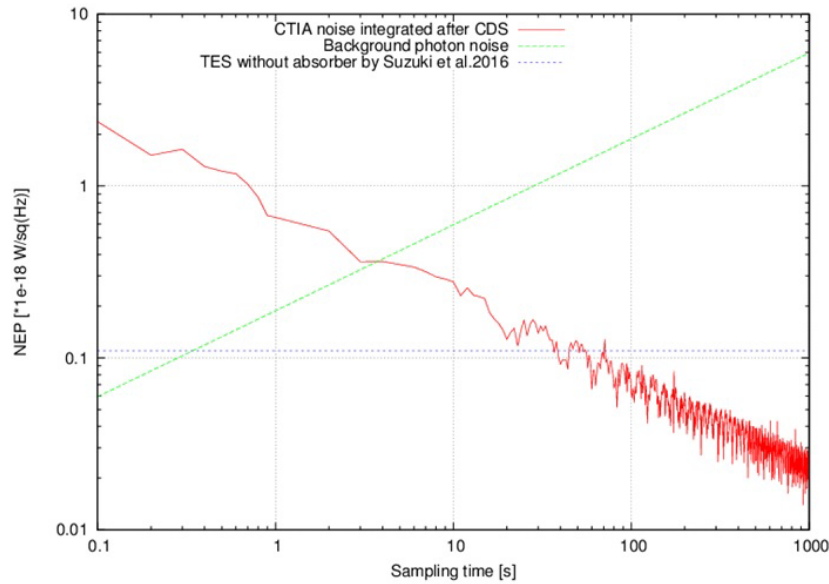


図 4.13 本研究の CTIA、背景放射フォトンショット雑音、及び最近の TES ボロメータ [39] における NEP の比較。TES ボロメータの NEP は光学及び検出器効率が 1 での値であるため、CTIA の NEP も $\eta=1$ としてある。サンプリング時間が 50 秒を超えると TES ボロメータの NEP を下回る。

4.3 ダイナミックレンジの検証

1.3.3 節から、ダイナミックレンジの性能要求は 5 桁と設定した。4.1 節及び 4.2 節で求められた、CTIA の出力電圧範囲と雑音からダイナミックレンジを求める。ダイナミックレンジは、式 4.14 で表される。

$$\text{ダイナミックレンジ} = \frac{\text{出力電圧範囲}}{\text{雑音電圧}} \quad (4.14)$$

4.1 節の議論から、出力電圧範囲は 1.18 V とする。ここで、図 3.11 における非線形な領域は除いた。また、図 4.10 から、CDS 積分後の平均雑音電圧は $80 \mu\text{V}$ であった。

従って、式 4.14 からダイナミックレンジは 1.5×10^4 と導出される。

遠赤外線用 TES ボロメータの一例 [40] では、ダイナミックレンジは数 100 程度と見積もられており、本研究の CTIA は比較的大きなダイナミックレンジを有していると考えられる。

4.4 フレームレートの検証

フレームレートは CTIA のリセット速度と、アナログスイッチの ON/OFF 切り替え応答速度、シフトレジスタの出力速度のうち、最も遅い成分で決まる。

3 章で述べたように、CTIA のリセットにかかる時間は、

- ・リセット ON 直後 0.15 ms
- ・リセット OFF 直後のアノマリー緩和 0.2 s

であり、合計で 0.2 s である。

アナログスイッチの応答時間は、

- ・ ON-OFF 切り替え時 0.5 ms 以下
- ・ OFF-ON 切り替え時 0.5 ms 以下

シフトレジスタの出力時間は 1 ms 以下であった。

従って、最も長い成分は、CTIA のリセット時間であり、0.2 s 必要である。従って、フレームレートは

$$\text{フレームレート [Hz]} = \frac{1}{\text{積分時間} + 0.2s} \quad (4.15)$$

となる。したがって、フレームレート 1 Hz で観測する時、積分時間は 0.8 秒まで長くすることが可能である。

4.5 消費電力の検証

3 章で述べたように、CTIA は $1.47 \mu\text{W}$ で駆動することができた。アナログスイッチとシフトレジスタの消費電力は本論文では検証していないが、設計値で想定した電源電圧で駆動しているため、消費電力は設計値から大きく変わらないと考えられる。アナログスイッチとシフトレジスタの消費電力設計値は、それぞれ 10^{-11} W 、 10^{-8} W であった。

従って、1000 画素での総消費電力は 1.47 mW と見積もられるため、2 章で述べた要求値から 1.47 のファクターだけ超過する。しかしながら、1 章で述べた冷凍機の冷却パワーでは複数の検出器に対して 10 mW を供給できるため、搭載する検出器数を調整することで、本研究の CTIA 消費電力を許容できる。

また、本研究の測定で消費電力が設計値よりも大きくなった原因は OPAMP 内でのキンク現象と考えられるため、今後は、キンクが発生しない動作領域での回路設計が求められる。それによって、総消費電力 1 mW の実現は可能である。

4.6 多画素化への展望

これまでの検証実験において、画像センサーに必要なコンポーネント (CTIA, アナログスイッチ、シフトレジスタ) について極低温での動作が検証された。これらのコンポーネントを組み合わせることで、多画素のイメージセンサー読み出し回路が実現可能である。

本論文には含まれないが、図 4.14 のような 32×32 画素の読み出し回路がすでに設計・試作されている。図 4.14 の読み出し回路は、各画素の出力にバッファを設けておらず、出力画素を選択するアナログスイッチのフィードスルーや非出力画素からのクロストークが発生する可能性がある。従って、将来の試作では、本論文で検証した CTIA 評価回路のように CTIA の出力バッファとしてソースフォロアを設けることが必要であると考えられる。

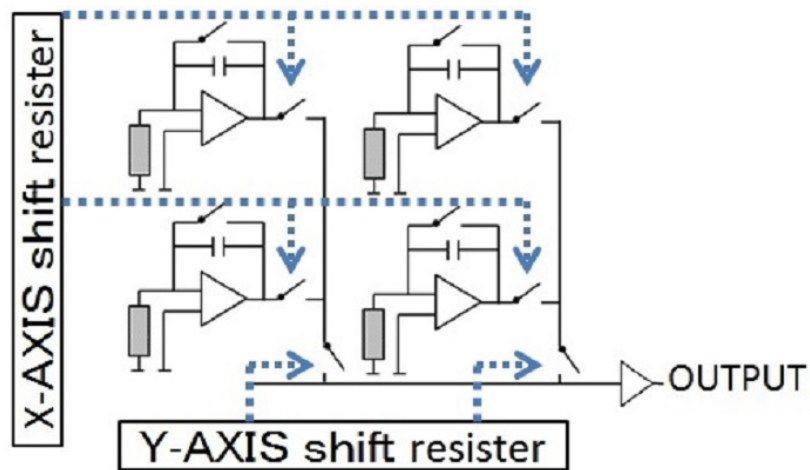


図 4.14 マルチプレクサ概要。X-Y の 2 次元アレイの各出力スイッチをシフトレジスタで制御する。

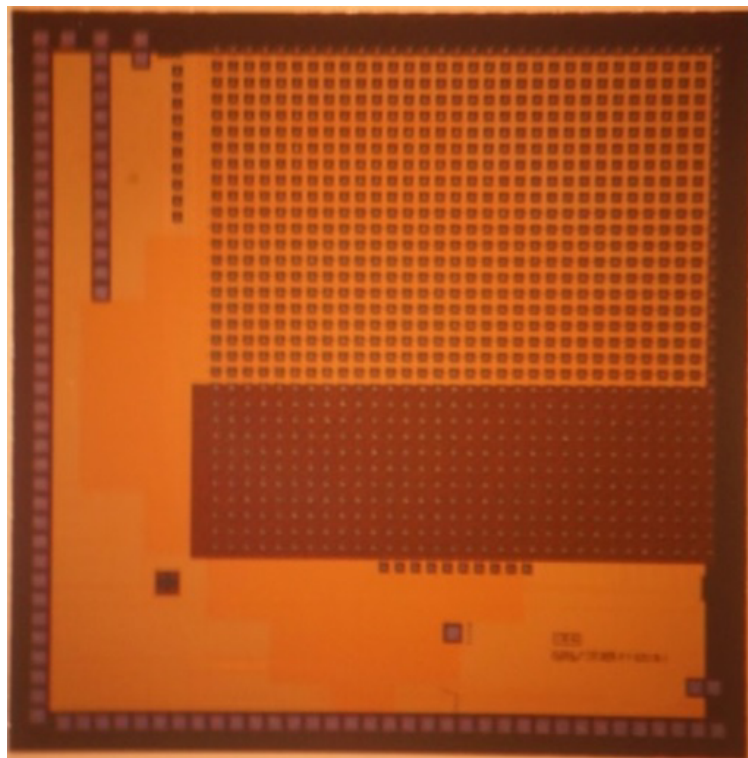


図 4.15 試作した 32×32 pixels CTIA アレイ。チップサイズは 4.5 mm 角である。

以上のような 1000 画素の読み出し回路に Ge:Ga の検出器アレイをダイレクトハイブリット接続することで、図 4.16 のような画像センサーが完成する。

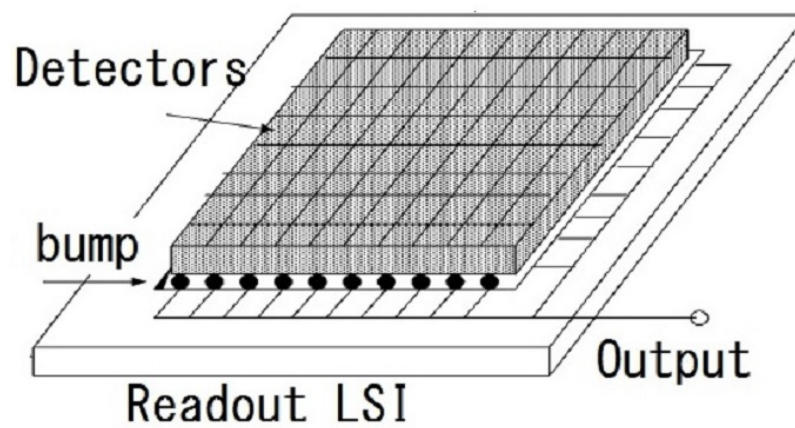


図 4.16 イメージセンサー構造概念。Ge-BIB 検出器アレイと FD-SOI CTIA アレイを画素毎に接続する。

第 5 章

結論

本論文では、赤方偏移 $z=3-6$ における PAH 輝線をサーベイ観測するための遠赤外線イメージセンサーに必要な極低温読み出し集積回路の開発を行った。極低温読み出し回路に必要な各コンポーネントについての要求仕様を分析し、その要求を満たす設計を行い、極低温での性能を実証した。各コンポーネントについての要求仕様、設計仕様、実証性能を表 5.1、表 5.2、表 5.3 に示す。

CTIA の出力電圧幅は、4 章で述べたようにリセットスイッチの極性反転のため、設計値よりも小さい値となったが、要求値は満たすことができた。雑音は、自然背景光限界以下の要求に対して、有意に大きな値が得られた。そして、NEP においても設計時の要求は満たさないものの、積分時間を長くすることで、自然背景光限界に達することができ、最近の TES ボロメータの NEP を超えることも可能であることが分かった。これは、画素内で積分できるという機能の強みであり、FD-SOI CMOS という設計自由度の高いプロセスをベースにしているために実現できている。また、画素数の要求 (1000 画素) 及び冷却システムの仮定から、1 画素の消費電力を $1\ \mu\text{W}$ となるよう設計したところ、4.2 K での動作において 1 画素 $1.47\ \mu\text{W}$ で動作していることがわかった。リセットスイッチの応答時間では、3 章で述べた積分直後の波形アノマリーが支配的であり、0.2 秒必要であることが明らかとなった。この応答時間は、設計値に対しては大きい、要求値は十分に満たしている。

アナログスイッチについては、ON/OFF 切り替え時の応答時間を測定した。測定実験では、上限値のみが得られたが要求を満たす時間で応答することが明らかになった。また、消費電力は 2 章で述べたように無視できるほど小さいと考えられるため、本論文の実証実験では扱わなかった。

シフトレジスタについては、本論文での実証は常温での動作のみである。2 章で述べたように、すでに 1 画素分のシフトレジスタであるフリップフロップについて 4.2 K で実証されており、要求を十分に満たす出力速度を得られることが明らかである。また、消費電力についても、2 章で述べたように十分に無視できるほど小さいと考えられる。

以上の検証により、1000 画素の高感度遠赤外線画像センサーに必要とされる極低温読み出し回路の各コンポーネントの開発に成功した。今後は、本研究で明らかになった問題点（雑音と消費電力）を回路設計の点から改善することが求められる。また、すでに試作している 32×32 画素の読み出し回路を極低温環境で評価し、アレイ動作を実証することが期待される。

CTIA	要求仕様	設計仕様	極低温実証性能 (4.2 K)
出力電圧幅	1 V	2.9 V	1.18 V
雑音 at 1 s (NEP)	28 e ($1.9 \times 10^{-18} \text{ W} / \sqrt{\text{Hz}}$)	18 e	89 e ($7 \times 10^{-18} \text{ W} / \sqrt{\text{Hz}}$)
ダイナミックレンジ	5 桁	5 桁	4 桁
消費電力	1 μW	1 μW	1.47 μW
リセット応答時間	1 s 以下	1E-7 s	0.2 s

表 5.1 CTIA の性能仕様と実証結果のまとめ。

アナログスイッチ	要求仕様	設計仕様	極低温実証性能 (4.2 K)
消費電力	$\ll 1 \mu\text{W}$	10^{-11} W	not available
ON/OFF 応答時間	1 ms 以下	3E-9 s	0.5 ms 以下

表 5.2 アナログスイッチの性能仕様と実証結果のまとめ。消費電力は十分小さいことが予想される。

シフトレジスタ	要求仕様	設計仕様	極低温実証性能 (4.2 K)
消費電力	$\ll 5 \mu\text{W}$	10^{-8} W	not available
出力速度	1 kHz	25 kHz	not available

表 5.3 シフトレジスタの性能仕様と実証結果のまとめ。消費電力は十分小さいことが予想される。また、4.2 K で 25 kHz の出力速度を持つフリップフロップを参考に設計したため、シフトレジスタの出力速度も 25 kHz 程度はあるものと考えられる。

参考文献

- [1] G.L.Pilbratt et al., A& A Volume 518, July-August 2010
- [2] Madau et al. 2014, Annual Review of Astronomy and Astrophysics, Vol. 52: 415-486
- [3] C.Gruppioni et al., MNRAS 432, 23-52 (2013)
- [4] A.Poglitsch et al. 2010, Astronomy and Astrophysics, Volume 518, id.L2, 12 pp.
- [5] M.J.Griffin et al., A& A Volume 518, July-August 2010
- [6] B.T.Drain, EAS Publications Series, 46 (2011) 29-42
- [7] D.Lutz et al. The Astrophysical Journal, 684:853-861, 2008
- [8] European Space Agency, SPICA Assessment Study Report, 2009
- [9] G.Rodighiero et al., 2011 The Astrophysical Journal Letters, Volume 739, Number 2
- [10] T. Nakagawa et al., Publications of The Korean Astronomical Society, Volume 30, Issue 2, 2015, pp.621-624
- [11] S.Oyabu (private communication, 2016)
- [12] Zhen-yi Cai et al., The Astrophysical Journal, 768:21 (24pp), 2013
- [13] D.Ishihara (private communication, 2016)
- [14] A.Rogalski et al. Opto-Electron. Rev., 21, no. 4, 2013
- [15] T. Wada et al. "Development for Germanium Blocked Impurity Band Far-Infrared Image Sensors with Fully-Depleted Silicon-On-Insulator CMOS Readout Integrated Circuit", Journal of Low Temperature Physics 184, pp217-224 (2016)
- [16] Hiroyuki Sugita et al., Cryogenics 50 (2010) 566-571
- [17] T.Wada et al. Proc. of SPIE, vol. 8442, 84423V-1, (2012)
- [18] S.Matsuura et al.,The Astrophysical Journal, 737:2 (19pp), 2011
- [19] Robert M. Glidden et al., SPIE, Infrared readout electronics, Vol.1684, (1992)
- [20] P. Merken, et al., "A low-noise low-power readout electronics circuit at 4 K in standard CMOS technology for PACS/Herschel", Proc. SPIE 5498, Millimeter and Submillimeter Detectors for Astronomy II, 622, (2004)
- [21] Edmundo A. Gutierrez-D., M. Jamal Deen, Cor L. Claeys, "Low Temperature Electronics Physics, Devices, Circuits, and Applications", Academic press, (2001)
- [22] C. G. Sodini, P. K. Ko, and J. L. Moll, "The effect of high field on MOS device and circuit performance", IEEE Trans. Electron Devices ED-31(10), 1386-1393, (1984)
- [23] C. Canali, G. Majni, R. Minder, and G. Ottaviani, "Electron and hole drift velocity measurements in

- silicon and their relation to electric field and temperature", IEEE Trans. Electron Devices ED-22, 1045-1047, (1975)
- [24] P.A. Wolff, "Theory of electron multiplication in silicon and germanium", Phys. Rev. 95(6), 1415-1420, (1954)
- [25] C. G. Rogers, "MOST'S AT CRYOGENIC TEMPERATURE", Solid-State Electronics, Pergamon Press, Vol. 11, pp. 1079-1091, (1968)
- [26] Jean-Pierre Colinge, "Reduction of Kink Effect in Thin-Film SOI MOSFET's", IEEE ELECTRON. DEVICE LETTERS., Vol 9, No. 2, (1988)
- [27] E.Simoen and C.Claeys, Journal of Applied Physics 73, 3068, (1993)
- [28] E.Simoen and C.Claeys, Journal of Applied Physics 73, 3074, (1993)
- [29] B.Dierickx, L.Warmerdam, E.Simoen, J.Vermeiren and C.Claeys, IEEE Transactions on electron devices, VOL. 35, NO. 7, (1988)
- [30] M.Kawada et al. Publ. Astron. Soc. Japan 59, S389-S400, 2007
- [31] H.Nagata et al.2004, Electron Devices, IEEE Transactions on Volume:51 , Issue 2, 270 - 278
- [32] H.Nagata et al.,AIP Conf. Proc.1185,267 (2009)
- [33] H. Nagata et al., IEICE Trans. Commun. E94-B, 2952 (2011)
- [34] B.Dierickx, E. Simoen et al. IEEE Trans. Vol. 38, No. 4, (1991)
- [35] T. Suzuki et al.,. PUBLICATIONS OF THE ASTRONOMICAL SOCIETY OF THE PACIFIC, 120:895-906, 2008
- [36] H. Ikeda, "Analog-VLSI Open-IP Project," <http://reserch.kek.jp/people/ikeda/openIP/>, (2005).
- [37] M. Fujiwara et al. "Development of a gallium-doped germanium far-infrared photoconductor direct hybrid two-dimensional array", Applied Optics, Vol. 42, No. 12, (2003)
- [38] K. Nagase et al., in WOLTE-10 (2013)
- [39] T. Suzuki et al., "Development of Ultra-Low-Noise TES Bolometer Arrays", Journal of Low Temperature Physics 184, pp 52-59, (2016)
- [40] Philip D. Mauskopf, "A TES Focal Plane for SPICA-SAFARI", INTERNATIONAL SYMPOSIUM ON SPACE TERAHERTZ TECHNOLOGY, (2010)

謝辞

本研究に携わる機会を頂き、ご指導を賜った松原英雄宇宙科学研究所教授に心より感謝いたします。大型衛星プロジェクトの重要役職にあり、大変お忙しい状況にもかかわらず、浅学非才な私を根気強くご指導して頂いたことに御礼申し上げます。また、本研究を進めるにあたり、研究方針や実験方法、論文の書き方に至るまで広くご指導頂いた和田武彦宇宙科学研究所助教に御礼申し上げます。和田助教には、赤外線天文衛星「あかり」から続く極低温読み出し回路や赤外線検出器の研究とそのノウハウをご教授頂き、大変貴重な経験ができました。私は不出来な学生であったと思いますが、いつも丁寧にご指導頂いたことに感謝しております。また、和田助教と共に私を指導してくださり、実験方法などご教授頂いた鈴木仁研究員（現名古屋大学助教）に御礼申し上げます。回路設計及び、その評価方法について、事あるごとにご相談させて頂いた池田博一宇宙科学研究所教授に御礼申し上げます。お忙しい中、いつも心よくご相談に乗って頂き、大変感謝しております。私が本研究に携わる以前から、FD-SOI CMOS をベースにした極低温読み出し回路の開発を和田助教と共に進めていた永田洋久研究員には、これまでの極低温読み出し回路開発の経緯などご教授頂きましたことに御礼申し上げます。また、本研究を進めるうえで欠かせない、集積回路プロセスの運営をして頂いておりました新井康夫高エネルギー加速器科学研究所教授に御礼申し上げます。新井教授には、集積回路の設計法や設計ツールの使い方をご指導頂き、大変お世話になりました。数々の研究会で発表する機会を頂いたことも感謝しております。また、共同研究者として議論に参加させてくださいました、金田英宏名古屋大教授はじめとした名古屋大 Uir 研の皆様には御礼申し上げます。Ge-BIB 検出器の開発に関わらせて頂き、大変貴重な経験をさせて頂きましたこと、感謝いたします。また、博士課程 1-2 年生時に検出器開発のゼミに参加させてくださいました松尾宏国立天文台準教授に御礼申し上げます。私は、当時のゼミが切っ掛けで検出器開発への興味が深まり、その後の研究のモチベーションとなっていました。また、私の所属していました宇宙科学研究所赤外線グループの皆様には、大学院生活の多くを共有して頂き、支援して頂いたことに感謝いたします。最後に、私の学生期間を長きにわたり、支援してくださいました私の両親に御礼申し上げます。両親の支援と理解なくしては、今の私はありませんでした。大変感謝しております。