

ILC バーテックス検出器に向けた位置・時間計
測 SOI ピクセル検出器の研究開発

小野 峻

博士（理学）

平成29（2017）年度

ILC バーテックス検出器に向けた位置・時間計測
SOI ピクセル検出器の研究開発

小野 峻

2017年6月8日

概要

現在の素粒子物理学実験においては、超対称性粒子をはじめとする標準理論を超える物理の探索・解明が重要なテーマとなっている。日本国内で現在建設計画が推進されている電子・陽電子衝突加速器実験 International Linear Collider(ILC) においては、ヒッグス粒子の精密測定及び超対称性粒子の直接・間接測定を行うことで新たな物理理論の発見、検証が期待されている。この ILC 実験では高ルミノシティ・高頻度での電子・陽電子ビーム衝突によって、生成・崩壊する粒子を検出し発生事象を精密に再構成するための検出器システムの研究開発が重要な要素となっている。特に、電子・陽電子の衝突点に最も近接し崩壊粒子の位置の精密計測を行うバーテックス検出器では $3\ \mu\text{m}$ 以上の非常に高精度の位置分解能を要求しており、そのために新たなシリコンピクセル検出器の開発が必要となっている。また、ILC では高ルミノシティ・高頻度でのビーム衝突による多数のバックグラウンドが発生するため、検出されたシグナルから必要となる事象の粒子飛跡を正確に再構成する性能が要求されている。

この ILC バーテックス検出器の実現に向けて、本研究で SOI(Silicon-On-Insulator) 技術を使用したセンサー・回路一体型のピクセル検出器の研究開発を実施してきた。SOI 技術とは、高抵抗のシリコンバルクのウェハ上に酸化膜 (SiO_2) 層 (Buried-Oxide: BOX) を形成し、さらにその上部に MOSFET を配置する回路層となる低抵抗シリコン層を形成するウェハ製造技術である。この SOI 構造の基板となる高抵抗シリコンウェハを空乏化しセンサー層として扱うことによって、一つのウェハ上に荷電粒子を検出するセンサー部と読み出しを行う回路部を一体化させた SOI ピクセル検出器を実現することが可能となる。

現在、開発を進めている ILC 用 SOI ピクセル検出器:SOFIST(SOI Fine-measurement of Space and Time) ではセンサー・回路一体型構造を利用し、一つのピクセル上に検出粒子シグナルと検出時間情報を同時に記録するための複雑な回路を高密度実装する。これにより高精度の位置分解能性能を達成するとともに荷電粒子が通過した時間情報を記録し、位置・時間情報を同時に検出することによって精密な粒子飛跡再構成・崩壊点計測を実現する。このため、SOFIST のピクセル内にシグナル・時間情報を格納するアナログメモリ、タイムスタンプ回路、そして荷電粒子ヒットを識別、格納するためのコンパレータやシフトレジスタなどの多数の回路を搭載する。これらの複雑な処理回路を搭載し、さらに高精度の位置分解能を実現するための小型ピクセルの実現が SOFIST の開発における重要課題となっており、その実現に向けて複数段階に分かれた試作センサーの設計開発・評価を行ってきた。

本研究では SOFIST に要求される機能・性能の検討から開始し、試作センサーチップの設計・シミュレーションによる回路特性の検証、実デバイスを使用した基本特性試験、そして実際の荷電粒子ビームによる飛跡再構成性能の評価までを実施した。最初の試作となる SOFIST Ver.1 では、センサー単体での位置分解能性能の評価のため、 $20\ \mu\text{m}$ 角の小型ピクセル回路を実装した。また、センサーチップ内にカラム並列による 8 bit ADC を搭載しピクセルシグナルの高速読み出しを実現している。そして次の試作となる SOFIST Ver.2 センサーでは、ピクセル内タイムスタンプ回路による時間情報記録可能なピクセル回路開発を行った。

また、Ver.1 試作センサーについては位置分解能性能の評価を行うため、米国フェルミ国立加速器研究所のテストビーム照射施設を利用したビームテストによる性能評価を行っている。Ver.1 センサーを使用した荷電粒子飛跡検出器を構築して 120 GeV の高エネルギー陽子ビームを照射し、検出されたシグナルから飛跡の再構成・センサーごとの分解能計測を行った。このビームテストでのセンサー評価により、Ver.1 でのセンサー位置分解能が約 $1.7\ \mu\text{m}$ を達成した。

現在はさらに、これらの Ver.1,2 の開発・評価結果をフィードバックしたピクセル回路機能の統合 (Ver.3)、そして三次元積層化によるピクセル回路実装 (Ver.4) を目指す新たな試作センサー (Ver.4) の開発も開始している。三次元積層化技術では、SOI 検出器上にコーンバンプ電極を形成し、その上に読み出し・信号処理回路チップを積層し接合することによって、さらなる回路の高密度化、小型化を図っている。

これらの試作センサーの設計開発・評価を行うことで、SOFIST の目標であるピクセルごとで荷電粒子シグナル・タイムスタンプ情報を保持し、そしてピクセルサイズ $20\ \mu\text{m}$ 角への小型化に向けた基礎検討を行った。本研究を通して、ILC バーテックス検出器に必要な位置・時間情報を記録する SOFIST のピクセル素子開発が可能であることを実証した。

目次

1	序論・研究背景	8
1.1	International Linear Collider(ILC) 概略	8
1.2	ILC 検出器システム	9
1.2.1	ILD detector	10
1.3	崩壊点 (バーテックス) 検出器	11
1.4	研究開発動向	14
1.5	研究目的	17
2	Silicon-on-Insulator(SOI) 検出器	19
2.1	Silicon-on-Insulator 技術	19
2.2	SOI ピクセル検出器	20
2.2.1	センサー構造	21
2.2.2	特長・利点	22
2.2.3	Double-SOI 構造	25
2.2.4	検出器大面積化	26
2.3	SOI 検出器の優位性	26
3	SOFIST: ILC Vertex 検出器用 SOI ピクセルセンサー	28
3.1	SOFIST 概要	28
3.2	ピクセル構成	29
3.2.1	ピクセル位置分解能	30
3.2.2	ピクセルヒット占有率	32
3.3	読み出し回路構成	33
3.3.1	ADC 分解能	34
3.3.2	読み出し時間概算	35
3.4	全体動作・オペレーション	36
3.4.1	シグナル蓄積	37
3.4.2	データ読み出し	38
3.5	研究方針・マイルストーン	39
3.5.1	開発マイルストーン	39

3.5.2	研究方針、課題	40
4	センサー試作・評価	42
4.1	試作スケジュール	42
4.2	SOFIST Ver.1	42
4.2.1	全体構成	42
4.2.2	詳細設計・シミュレーション	43
4.2.3	詳細回路図	61
4.2.4	評価試験	68
4.3	SOFIST Ver.2	74
4.3.1	Ver.1 フィードバック	74
4.3.2	全体構成	74
4.3.3	詳細設計・シミュレーション	75
4.3.4	詳細回路図	88
4.4	設計開発・評価結果まとめ	94
5	ビームテスト評価	95
5.1	セットアップ	95
5.2	同期・DAQ システム	97
5.3	データ取得・解析	98
5.3.1	シグナルスペクトル	98
5.3.2	センサー空乏層厚	107
5.3.3	飛跡再構成・位置分解能	108
6	課題・展望	117
6.1	現状課題	117
6.2	次期試作チップ開発	118
6.2.1	SOFIST Ver.3	118
6.2.2	SOFIST Ver.4	118
6.2.3	試作チップ仕様まとめ	121
6.3	今後の課題について	123
7	結論	125

目次

1	ILC 加速器システム概要 [1]	8
2	ILC 検出器システム配置 [2]	9
3	ILD 検出器, 左:概要図, 右:検出器部断面構造 [2]	10
4	バーテックス検出器構造, 左:5 layer single-sided, 右:6 layer double-sided [8]	12
5	ILC 入射ビーム構造	13
6	Smart-Cut 方式による SOI ウェハ製造 (SOITEC 社 [15])	20
7	SOI ピクセルセンサー構造	22
8	SOI Active 共有化技術, 左:bulk-CMOS での素子分離レイアウト, 右:SOI での Active 共有レイアウト	23
9	Double-SOI ピクセルセンサー構造	26
10	SOFIST センサーチップ概要, 左:チップ構成、 右:検出器 $r\phi$ ジオメトリ (1,2 層)	28
11	ピクセル回路アーキテクチャ	30
12	ヒットピクセル数と位置分解能の見積もり計算結果、左:ピクセル入射角、 右:ヒットピクセル数・分解能相関	32
13	SOFIST チップ読み出し経路	37
14	SOFIST 全体動作タイミングチャート	38
15	SOFIST Ver.1 チップ, 左:チップ概要、 右:全体レイアウト	43
16	SOFIST Ver.1 ピクセル回路	44
17	SOFIST Ver.1 ピクセル回路レイアウト, 左:下層, 右:上層	44
18	Ver.1:ソース接地回路 DC 特性	45
19	Ver.1:ピクセル回路応答シミュレーション, 上:CSA reset, 中央:Charge input, 下:Pixel output	48
20	Ver.1:ピクセル回路出力線形性, 左:High gain, 右:low gain	48
21	Ver.1:ピクセル回路テストパルス出力線形性, 左:High gain, 右:Low gain . .	51
22	High gain テストパルス出力, 左:Pixel output, 右:Residual	52
23	Ver.1:ピクセル回路配置	52
24	Ver.1:ピクセル回路 BWP(赤) サイズ, 左:12×12, 中央:14×14, 右:16×16 . .	53
25	Ver.1:CSA 回路 AC 解析シミュレーション結果、上:CSA 出力 (入 力:1 mV)、 下:出力ノイズスペクトル	57

26	Column ADC 回路構成	58
27	チョッパインバータ型コンパレータ	58
28	Column ADC 動作タイミングチャート	59
29	Column ADC ランプ波形シミュレーション結果, 上:Ramp waveform, 下:Residual	60
30	Ver.1:ピクセル詳細回路図	61
31	Ver.1:初段増幅器 (CSA) 詳細回路図	62
32	Ver.1:Column-ADC 全体回路図	64
33	Ver.1:Column-ADC 内コンパレータ詳細回路図	65
34	Ver.1:Column-ADC 内カウンタ詳細回路図	66
35	Ver.1:カウンタ用 D-FF 詳細回路図	67
36	SOFIST Ver.1 チップ写真	68
37	Ver.1:High gain ピクセル回路テストパルス応答観測結果, 上:テストパル スなし, 下:テストパルスあり	69
38	Ver.1:Low gain ピクセル回路テストパルス応答観測結果, 上:テストパル スなし, 下:テストパルスあり	70
39	Ver.1 Column ADC 回路出力結果, 左:ADC output, 右:Residual	70
40	Ver.1 動作タイミングチャート	71
41	Ver.1 ピクセル回路テストパルス出力計測結果, 黒:High gain, 青:Low gain .	72
42	Ver.1 ピクセル回路間ゲインばらつき, 左:High gain, 右:Low gain	72
43	Ver.1 β 線試験セットアップ	73
44	Ver.1 β 線シグナル検出, 左:検出画像, 右:シグナルスペクトル (Low gain) .	73
45	SOFIST Ver.2 チップ, 左:チップ概要, 右:全体レイアウト	75
46	SOFIST Ver.2 チップ写真	76
47	SOFIST Ver.2 ピクセル回路, 上:タイムスタンプピクセル, 下:アナログシ グナルピクセル	77
48	SOFIST Ver.2 タイムスタンプピクセル回路レイアウト	78
49	Ver.2:Half-Dynamic D-FF 構成	79
50	Ver.2:ピクセル回路動作タイミングチャート	80
51	Ver.2:タイムスタンプピクセル動作シミュレーション	82
52	Ver.2:コンパレータ動作遅延シミュレーション, 上段:コンパレータ入力, 中段:1 段目インバータ出力, 下段:2 段目インバータ出力 (コンパレータ 出力)	83

53	ゼロサプレッション回路構成	85
54	アービターブロック回路構成、動作タイミングチャート	86
55	ゼロサプレッションシミュレーション結果	87
56	ゼロサプレッションシミュレーション入出力データ比較, 左:入力乱数 データ, 右:出力シグナルデータ	87
57	Ver.2:タイムスタンプピクセル詳細回路図	89
58	Ver.2:アナログシグナルピクセル詳細回路図	90
59	Ver.2:初段増幅器 (CSA) 詳細回路図	91
60	Ver.2:アナログシグナル用バッファ (N-SF) 詳細回路図	91
61	Ver.2:コンパレータ詳細回路図	92
62	Ver.2:Half-Dynamic D-FF 詳細回路図	92
63	Ver.2:タイムスタンプ・アナログシグナルメモリ詳細回路図	93
64	SOFIST ビームテスト: セットアップ写真	96
65	SOFIST ビームテスト: センサー配置	96
66	FPIX センサー 左: チップ構成, 右: ピクセル回路	97
67	SOFIST ビームテスト: 検出器間同期	98
68	検出器イベントディスプレイ	99
69	クラスターシグナルスペクトル (Column-ADC, HV = 130 V), 左: High gain, 右: Low gain	100
70	クラスターサイズ (Column-ADC, HV = 130 V), 左: High gain, 右: Low gain	100
71	クラスターシグナルスペクトル (SEABAS ADC, HV = 130 V), 左上: High gain, 左下: Low gain(BPW:12 μm), 右上: Low gain(BPW:14 μm), 右下: Low gain(BPW:16 μm)	101
72	クラスターサイズ (SEABAS ADC, HV = 130 V), 左上: High gain, 左 下: Low gain(BPW:12 μm), 右上: Low gain(BPW:14 μm), 右下: Low gain(BPW:16 μm)	102
73	ピクセルノイズ (SEABAS ADC, HV = 130 V), 左: High gain, 右: Low gain	103
74	ピクセルノイズ分布 (SEABAS ADC, HV = 130 V), 左: High gain, 右: Low gain	103
75	クラスターシグナルスペクトル (SEABAS ADC, HV = 15 V), 左上: High gain, 左下: Low gain(BPW:12 μm), 右上: Low gain(BPW:14 μm), 右下: Low gain(BPW:16 μm)	105

76	クラスターサイズ (SEABAS ADC, HV = 15 V), 左上: High gain, 左下: Low gain(BPW:12 μm), 右上: Low gain(BPW:14 μm), 右下: Low gain(BPW:16 μm)	106
77	シグナル・バイアス電圧相関 (右は横軸を電圧平方根としてプロット) . . .	107
78	SOFIST-FPIX イベント相関 左上: SOFIST-SOFIST, 右上: FPIX-FPIX, 右下: SOFIST-FPIX	108
79	検出点位置 (Y')-残差計算値 (Δx) 相関 (回転補正前)	110
80	検出点位置 (Y')-残差計算値 (Δx) 相関 (回転補正後)	110
81	FPIX, SOFIST x 方向残差分布 (上段左から FPIX1, FPIX2, FPIX3, 下段左から FPIX4, SOFIST1, SOFIST2)	111
82	FPIX1 アライメントパラメータ導出解析イタレーション。横軸:イタレーション回数、 Δx , Δy 補正 5 回毎に θ 補正を実施	112
83	SOFIST1 アライメントパラメータ導出解析イタレーション。横軸:イタレーション回数、 Δx , Δy 補正 5 回毎に θ 補正を実施	113
84	FPIX, SOFIST x 方向残差分布 (アライメント完了後)	113
85	再構成飛跡:傾き分布、左:x 方向、右:y 方向	114
86	再構成飛跡: χ^2 分布、左:x 方向、右:y 方向	114
87	SOFIST 残差分布: 左:x 方向、右:y 方向	115
88	SOFIST 残差分布 (HV = 15 V): 左:x 方向、右:y 方向	116
89	SOFIST Ver.3 ピクセル回路構成	119
90	SOFIST Ver.3 チップ概要	120
91	SOI センサー 3 次元積層化技術 (T-Micro 社 [37])	121
92	コーンバンプ写真 (T-Micro 社 [37])	121
93	SOFIST Ver.4 チップ概要, 左:Lower, 右:Upper	122
94	SOFIST Ver.4 ピクセル回路構成	123

表目次

1	バーテックス検出器パラメータ [2]	12
2	バーテックス検出器用ピクセルセンサー要求性能 [2]	14
3	バーテックス検出器用ピクセル検出器性能仕様一覧	18
4	SOFIST 性能仕様	29
5	ピクセルヒット数分布	33
6	1 ライン内のピクセルメモリあたりの平均ゼロサプレッション (T_C)・データ出力 (T_D) 時間 (k: ヒットメモリ)。最下段は Analog Signal、Timestamp(8メモリ分) での合計	36
7	1 ライン、500 ライン読み出しに必要な平均時間	39
8	CSA 回路のゲイン設計値、シミュレーション結果	48
9	センスノード部・配線間寄生容量 (High gain)	49
10	センスノード部・配線間寄生容量 (Low gain)	50
11	コンパレータ回路の出力遅延時間 (閾値電圧:0.8 V)	81
12	SOFIST Ver.1/Ver.2 チップ設計仕様	94
13	FPIX センサー仕様	96
14	ピクセルシグナル、ノイズ測定結果 (SEABAS ADC, HV = 130 V)	104
15	ピクセルシグナル、ノイズ測定結果 (SEABAS ADC, HV = 15 V)	104
16	SOFIST Ver.3/Ver.4 チップ設計仕様	122

1 序論・研究背景

最初に、本論文の研究背景・目的について示す。研究背景となる ILC 実験、及びそこで求められる検出器システム、特に崩壊点 (バーテックス) 検出器についての詳細を述べた後、現在の研究動向と新たなバーテックス検出器用ピクセルセンサーの研究開発の目的について説明を行う。

1.1 International Linear Collider(ILC) 概略

現在、日本が中心となって International Linear Collider (ILC) [1] による実験計画が推進されている (図 1)。ILC は線形加速器による次世代の電子・陽電子衝突型加速器実験である。この加速器計画では、全長 30km となる長大な加速器を使用して重心系エネルギー $E_{CM} = 250\text{-}500\text{ GeV}$ (アップグレードにより最大 1TeV) まで加速された電子、陽電子を衝突させる。既存の電子・陽電子加速器実験と比較し、より高エネルギー領域での実験を目指しており、ヒッグスボソンの精密計測及び超対称性理論などの新たな物理理論の検証を目標としている。

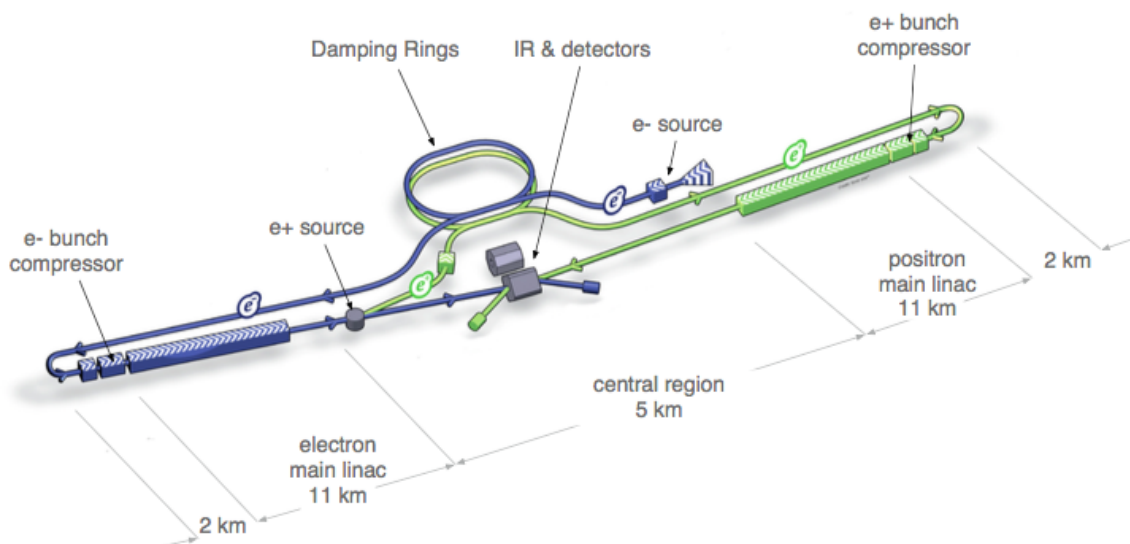


図 1 ILC 加速器システム概要 [1]

2012 年に LHC において報告された新粒子は質量 125-126 GeV と計測されており、標準模型で提唱されるヒッグス粒子の予測値と良く一致している。ILC ではこのエネルギー

領域において、ヒッグスと示唆される新粒子についての精密な計測をおこなう事が計画されている。ILC 実験においては点粒子である電子・陽電子による衝突をおこなうため、バックグラウンドとなる事象が少なく目標とする事象に対して高い精度での探査・検証が可能となっている。特にヒッグス粒子の崩壊過程において、様々な崩壊モードに対しての崩壊分岐比を計測する事で標準模型をこえる新たな物理理論の発見・検証が期待されている。

1.2 ILC 検出器システム

ILC 実験では加速された電子・陽電子の衝突点において、生成・崩壊した粒子を高精度に検出するための検出器システムが必要となる。特に、電子・陽電子による低バックグラウンドによる物理事象の精密測定を実現するためには、衝突事象の終状態に生成される全て粒子を、高精度で検出・識別し再構成を行うために高性能の測定器が要求される。ILC 実験で設置される検出器システムは、様々な提案からレビューをおこない現在は2つの設計案 SID、及び ILD がそれぞれ検討されている [2]。検出器システムは、プッシュプル構造で ILC ビーム衝突点に入れ替えて配置される構造となっており、実験毎に切り替えて使用する事が可能である (図 2)。2種の検出器システムを使用する事により検出された実験結果を相互補完し、また相互に結果を検証し実験結果の信頼性を高めることでさらに実験の進行を加速させる事を目的としている。

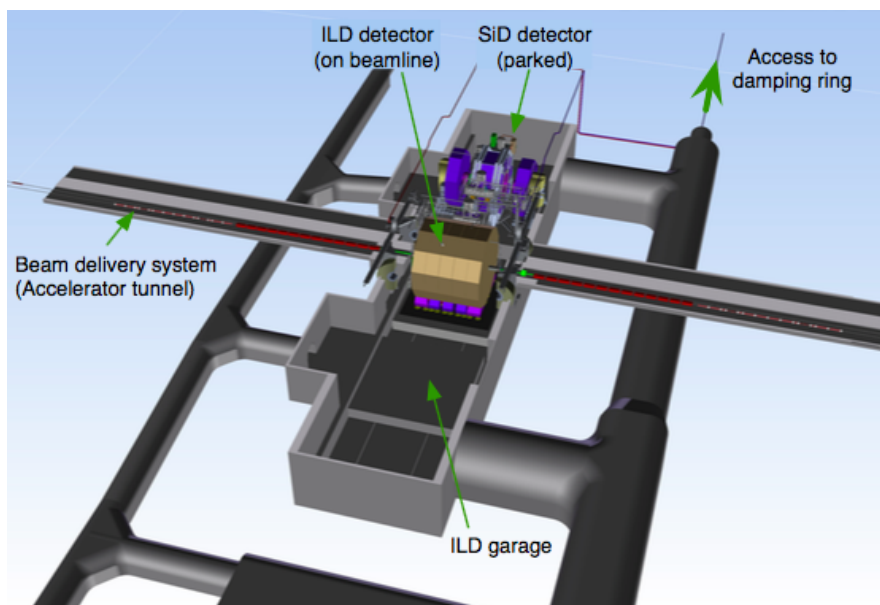


図 2 ILC 検出器システム配置 [2]

1.2.1 ILD detector

本研究で研究開発を行う SOI 検出器は ILD 検出器システムへの実装を目標としており、以下では ILD 検出器の全体概要を説明する。ILD(図 3) は、日本国内のグループが多く参加し開発研究が推進されている。ILD は大型の汎用検出器システムとして設計が進められており、システム中心部より高精度の崩壊点計測用のバーテックス検出器とその周囲を囲う粒子飛跡検出器システムが配置されている。飛跡検出は、シリコントラッカーと TPC(Time projection chamber)、カロリメータから構成されている。これらのシステム構成によって、高精度の 3 次元イメージングによる粒子識別、トラッキングが可能となる。また、検出器システム周囲には 3.5 T の磁場を発生させるソレノイドが配置されている。

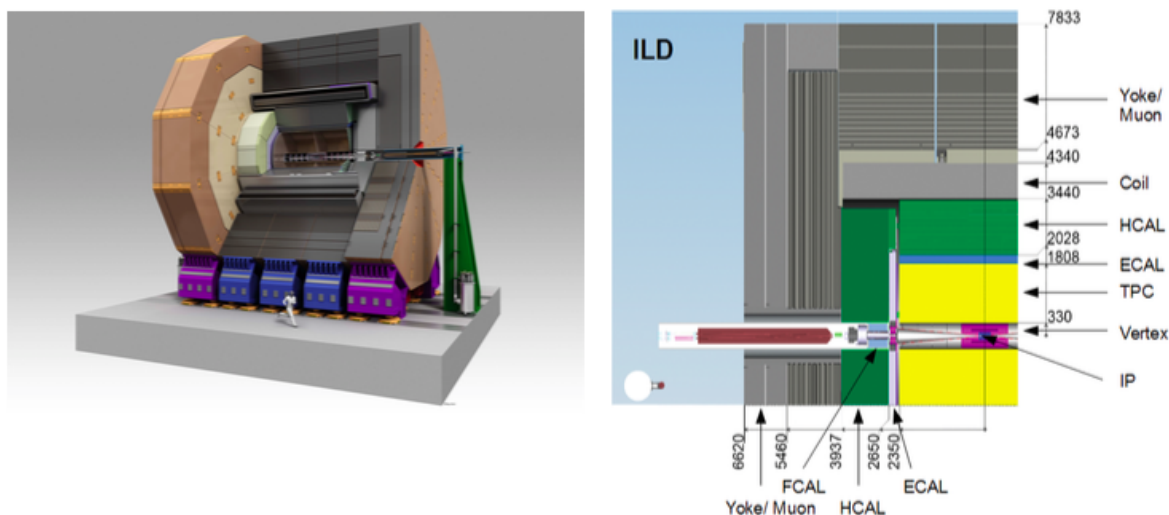


図 3 ILD 検出器, 左:概要図, 右:検出器部断面構造 [2]

ILD の主要な検出器の構成を以下に示す。

■Vertex detector (VTX) 最内層に配置され衝突点を取り囲む崩壊点 (バーテック) 検出器システムであり、複数層の構成からなるピクセルセンサーによる検出器で構成される。VTX 検出器の詳細については後述する。

■Silicon tracker(SIT, SET, FTD, ETD) VTX 外部に配置されるシリコントラッカー検出器。VTX の外周に 2 層構造配置される SIT、後述の TPC 外周に配置される SET、前方およびエンドキャップに配置される FTD, ETD で構成される。SIT, SET は TPC 検出器の前後において粒子飛跡の精密な位置計測を実施し、検出器システムの運動量分解能の精度

を向上させる。

■**Time Projection Chamber(TPC)** 粒子飛跡の再構成を行うガス検出器。荷電粒子の通過によるイオン化で発生した電子を一様電場によってドリフトさせ、ドリフト時間から3次元での粒子飛跡の再構成をおこなう。また、同時にエネルギー損失 (dE/dx) を計測する事で通過粒子識別を実施する。

■**Electromagnetic calorimeter(ECAL)** 光子・電子の電磁シャワーを発生させ、エネルギー計測をおこなう EM カロリメータ。タングステンによる吸収体と、シリコンダイオードまたはシンチレータによる有感部を30層積み重ねた構成となる。

■**Hadron calorimeter(HCAL)** ECAL の周囲を取り囲むように配置され、ハドロンシャワーのエネルギー計測をおこなうハドロンカロリメータ。48層からなる鉄の吸収体と、有感部はシンチレータあるいはガス RPC(Resistive Plate Chambers) が検討されている。

1.3 崩壊点 (バーテックス) 検出器

崩壊点検出器はILDシステムの最内層に設置され、ビーム衝突によって生成された粒子の崩壊点の空間位置の精密計測を目的とする。崩壊点より飛来する荷電粒子に対して、各層で検出されたシグナルよりその飛跡を再構成し、各飛跡を外挿することで崩壊位置の計測を行う。そのため、電子・陽電子ビーム衝突点を取り囲むように円筒形構造で複数の検出器層が配置される。各層の検出器は高精度の位置分解能を要求され、シリコンを使用した半導体ピクセルセンサーの採用が検討されている。検出器のジオメトリは5レイヤー構造で各層にセンサー1層を配置する Single-sided detector、3レイヤー構造で各層にセンサーを2層ずつ配置する Double-sided detector の2案が検討されている(図4)。Double-sided detector では検出器全体のレイヤー数が増加するが、レイヤーごとで表裏2面の検出点から飛跡の通過点を再構成することで位置分解能の向上を図ることができる。Double-sided detector の場合の衝突点からの各層の配置距離 (r) とビーム軸方向のサイズ (z) を表1に示す。

以下に、バーテックス検出器システムに対する要求性能を示す。

■**空間分解能** バーテックス検出器を開発する上で、最重要となる要求性能が検出器としての空間分解能である。ILCでは、ヒッグスとの強い結合が予測される c, b クォークを含む粒子への崩壊を検出し、それらの結合定数・崩壊分岐比の精密計測をすることによってヒッグス機構の検証を行う。これらの粒子は比較的質量が重く短寿命(約1 ps)で崩壊す

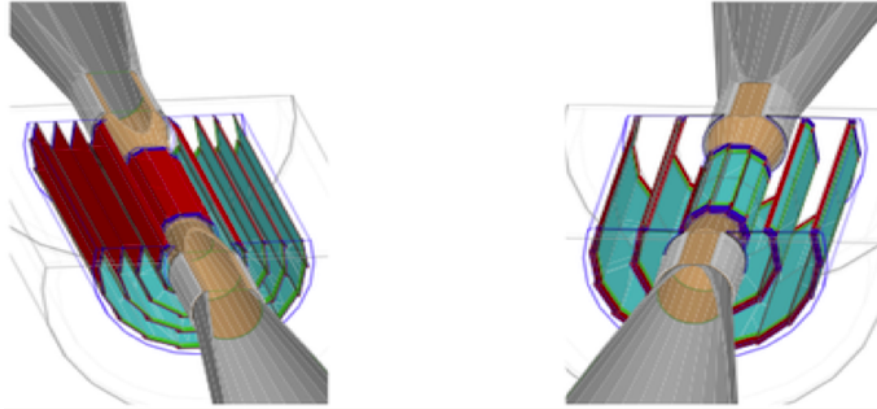


図4 バーテックス検出器構造, 左:5 layer single-sided, 右:6 layer double-sided [8]

表1 バーテックス検出器パラメータ [2]

-	r [mm]	z [mm]
Layer 1	16	62.5
Layer 2	18	62.5
Layer 3	37	125
Layer 4	39	125
Layer 5	58	125
Layer 6	60	125

る。c, b を含む粒子の崩壊長は数 $100 \mu\text{m}$ 程度であり、それら二次粒子の崩壊点は衝突点付近に近接する。崩壊点検出器はこれらの各崩壊点を他のバックグラウンドから分離するために、高精度での飛跡再構成及び崩壊点分解能が必要とされる。そのために、崩壊点検出器ではセンサー毎の高い位置分解能を要求している。

ILC で実装されるバーテックス検出器の飛跡による再構成の空間分解能は以下の式によって定められる。第1項が検出器全体としての空間分解能の要求を表す。

$$\sigma_b < 5 \oplus \frac{10}{p \sin^{\frac{3}{2}} \theta} [\mu\text{m}] \quad (1)$$

検出器全体の崩壊点位置の空間分解能として $5 \mu\text{m}$ 以上が要求されており、それを達成するためには各ピクセルセンサーはより高い位置分解能が必要となる。また、崩壊点の精密計測において、もう一つの重要なファクターは検出器の物質質量である。荷電粒子が物質内を通過する際に物質内でクーロン多重散乱による効果が先の式の第2項で示され

る。散乱によって粒子飛跡が曲げられることにより、検出器飛跡の分解能低下につながる。よって、多重散乱を抑え飛跡検出・崩壊点の計測精度を上げるには検出器の低物質量化が必要となる。崩壊点検出器で要求される物質質量は一層あたりで、シリコンの Radiation length: X_0 に対して約 0.15% 未満 (約 $100\mu\text{m}$) となっている。

■ピクセル占有率 崩壊粒子飛跡の再構成は、検出器上の各レイヤー上のセンサーで検出された検出点の中で同じ粒子飛跡からのシグナルを選別する必要がある。一つのセンサー内に飛跡と近接した領域に複数のシグナルを検出した場合に粒子飛跡の正確な再構成が困難となる。特に近年の加速器実験では、加速器のルミノシティが上昇し衝突によって多数のバックグラウンドが発生する。衝突点に最も近いバレット検出器では、検出器・センサー内の占有率 (全ピクセルに対するヒットピクセルの割合) が上昇するため粒子飛跡の再構成ではこの占有率低減が重要となる。正確な粒子飛跡再構成にはセンサー内の占有率は 2% 以下にまで抑える必要がある。

また、ILC の場合では電子・陽電子ビームの入射・衝突は図 5 に示すようなビームトレイン構造を示している。重心系エネルギー 500 GeV において、1 トレインに 1,312 ビームバンチが連続的に入射しそれが 200 ms 間隔で繰り返される構造となる。将来のアップグレードにおいては、重心系エネルギー 1 TeV で 2450 バンチまで増加する。1 回のビームトレイン入射によって発生するヒットイベントを全て蓄積し読み出した場合にはその占有率が增大するため、占有率を低減させるヒットイベントの蓄積・読み出しのスキームが必要となる。

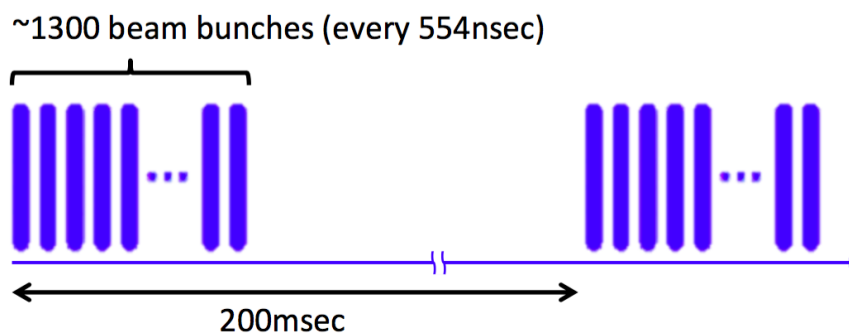


図 5 ILC 入射ビーム構造

■動作速度 図 5 に示す ILC のビームトレイン構造では 1 回のビームトレイン衝突によって蓄積されたイベントは、200 ms 後の次のビームトレイン衝突までに読み出し・転送を行わなければならない。高い位置分解能を実現するためには、小型ピクセルを実装す

る必要があり、必然として検出器内の総ピクセル数が増大する。そのため、センサー・ピクセル制御やシグナル読み出し・転送時間の向上が必要となる。

■放射線耐性 バーテックス検出器はビーム衝突点に最も近接し、高密度の放射線照射に曝される。シリコンセンサーは放射線損傷によってセンサー部の暗電流増加によるノイズ増加や、回路部の故障・誤動作が発生するため、高い対放射線性能が要求される。

■消費電力 検出器内センサーは運用中の温度上昇により、熱ノイズによる性能の悪化や異常動作などの原因となる。そのため、運用時は冷却システムによってセンサー温度を冷却・維持が必要となるが、高性能の冷却システムを実装するには配管などの検出器内に配置しなければならず、物質量の増加につながってしまう。そのため、エアフローなどによる冷却システムの物質量を最小化とともに、センサー自体の消費電力を抑制し温度上昇を抑えることが必要となる。

以上の要求に対する、ILC バーテックス検出器に搭載されるピクセルセンサーが満たすべき必要性能の一覧に示す。

表2 バーテックス検出器用ピクセルセンサー要求性能 [2]

Parameter	Requirement
位置分解能 (第1層)	3 [μm]
センサー厚 (物質量)	< 100 [μm] (< 0.15 % X_0 /layer)
ピクセル占有率	< 2 %
動作速度	200 [ms/frame]
放射線耐性	TID: > 100 [krad/year]
消費電力	< 50 [mW/cm ²]

1.4 研究開発動向

ILD では前項に示す要求性能を満たすための新たな崩壊点検出器及びそこに搭載されるピクセルセンサーの研究開発が、世界各国の研究機関において行なわれている。特に要求される高い位置分解能の実現については、現在の加速実験で実用化されている後述のハイブリッド検出器等のピクセルセンサーでは達成することが困難であり、新たなシリコンセンサーの技術開発が急務となっている。

現在、加速器実験のバーテックス検出器用ピクセルセンサーとしてはハイブリッド型センサー・検出器が主流となっている [3]。ハイブリッド型センサーでは、センサー部と読み出し回路部のチップを別ウェハで製造し、バンプと呼ばれる突起電極によって2つのチップをピクセルごとに接合する。回路部を微細なプロセスによって実装を行うことにより、ピクセル単位での複雑な回路を実装・データ処理が可能となる。しかしながら、センサー部からの信号を金属バンプを通して読み出しを行うため、接合部の寄生容量が大きくなり読み出しノイズの上昇などの問題が発生する。また、接合部の歩留まりを高めるためには接合間隔を空ける必要があり、結果としてピクセルサイズ小型化(位置分解能向上)のボトルネックとなっている。

ILC バーテックス検出器用のセンサーとしては、必要とするピクセルサイズ最適化のためバンプ接合を必要としないモノリシック、一体型のピクセルセンサーによる提案がなされている。一体型ピクセルセンサーではセンサーと読み出しを行う回路が単一のウェハ内で実装される構成となり、ピクセルサイズの微細化、センサー低物質量化の点で優位性があるため、次世代の加速実験に向けた研究開発が進められている。

また、ILC に向けて開発されているバーテックス検出器群は、ビームトレイン構造に対応するため1ビームトレイン内で発生したヒットイベントの蓄積・読み出しのアーキテクチャによって、以下のように分類される。

トレイン間読み出し (Readout between trains):

ビームトレイン入射中にヒットイベントを蓄積、入射終了後次のビーム入射までにヒットデータを読み出す。ヒットイベントの蓄積・読み出しを完全に分ける事となるため、チップ制御において必要となるブロックのみを動作させる手法を取る事でチップあたりに必要となる消費電力を低減する事が可能である。また、次のビームトレイン入射までにデータを読み出す事となるため、要求されるデータの転送速度を抑える事ができる。ただし、1トレイン分の全ヒットデータをセンサー内で蓄積するため検出器のヒット占有率が増大することが問題となる。そのために、ピクセルの微細化による位置分解能向上や、センサー内でのヒットイベントのバンチ情報を付加する事によるヒットイベント分離識別の手法が必要となる。

トレイン内読み出し (Readout during train):

ビームトレイン入射中にヒットイベントの蓄積・読み出しを並行して実施する。ビームトレインの入射時間幅を複数に分割し、それぞれのタイムウィンドウで蓄積されたヒットイベントを読み出す事で占有率の低減を図る。一回のタイムウィンドウに複数のバンチ衝突によるヒット情報が入るため、なるべく多くの分割数(短い時間幅)での読み出しが必要となる。そのため検出器の読み出し速度の高速化が必須であり、ローリングシャッター等

の高速の読み出し手法が要求される。またこの方法では、ビームトレイン入射中は常に読み出し制御を行っているため入射中の消費電力は増大するが、ビーム入射後は蓄積・読み出し制御を全て停止できるため平均的な消費電力をおさえることが出来る。

以降において、現在 ILD バージェックス検出器用に向けて開発が進められているピクセルセンサーについての概要を述べる。

■MAPS (Monolithic Active Pixel Sensors) MAPS は bulk-CMOS プロセスを使用した一体型の CMOS ピクセルセンサーである [4, 5]。一般的な bulk-CMOS において MOSFET はシリコンウェハのエピタキシャルレイヤー上で形成されるが、そのレイヤーをセンサー部として使用している。センサーレイヤー上で発生した電荷はウェハ上の電極部で収集し、周囲に配置された回路で読み出し行う。センサーウェハ上に CMOS FET 回路による機能を付加したピクセルを構成する事が可能となる。ただし、回路部が存在するためセンサーレイヤーは完全空乏化されておらず、センサーノード付近のみが部分空乏化されている構造のため、生成された電荷はセンサーノードに向かってドリフト拡散しながら収集される。

MAPS を使用した検出器は、BNL(Brookhaven National Laboratory) RHIC(Relativistic Heavy Ion Collider) での STAR 実験でバーテックス検出器として採用されている [6]。また、LHC ALICE 実験における ITS(Inner Tracking System) の次期検出器アップグレードの候補となっている [7]。MAPS を使用した ILC 用バーテックス検出器の候補の一つとしては PLUME [8] と呼ばれる検出器システムが提案されている。PLUME では Double-sided ladder 構造を想定してラダー構造を含めた検出器システムとして開発が行われている。PLUME 内部では、MIMOSSA26 [9] と呼ばれる MAPS のピクセルセンサーをベースとして研究開発が進められている。センサーのピクセルサイズは $18 \mu\text{m}$ となっており、Double layer での読み出しを行う事で $3.5 \mu\text{m}$ の位置分解能を達成している。またセンサー自体は $50 \mu\text{m}$ まで薄化されているが完全空乏化はなされていないため、実質の有感領域は $20 \mu\text{m}$ 厚程度となっている。センサー自体はローリングシャッターモードで高速読み出しが可能となっており、ビームトレイン入射中に複数回の読み出しを行う。

■DEPFET (DEPleted Field Effect Transistor) DEPFET は、MAPS と同様センサーとなるシリコンウェハ上に FET 素子を埋め込んだ構造となっている [10]。ただし、一般的な CMOS センサーと比較しピクセル構造は単純化されており、ピクセル内に 1 つの特殊な FET のみが配置されている。通常の FET 素子と異なる点は、FET 素子のゲート端子の下部にもう一つの Internal gate と呼ばれるノードが存在する事である。DEPFET ではセ

ンサーバルクに裏面よりバイアス電圧を掛ける事で、生成された電荷はこの Internal gate に収集される。Internal gate に収集された電荷によって、上部 FET のゲート電圧が上がり上部の FET 素子のソース・ドレイン間電流が変化する。ピクセル毎にこの電流値変化を読み出す事によってシグナル検出が可能となる。ソース・ドレイン端子をピクセル外部に配置された次段アンプへと接続し、ピクセル内の FET と次段アンプをカスコード接続する事でピクセルの電流値変化を電圧変換し読み出しがおこなわれる。通常の CMOS プロセスとは異なるため、センサーチップ上に複雑な回路を実装する事が出来ないため、別途読み出し用の ASIC が必要となっている。

DEPFET を使用したシステムは、KEK の Belle 2 実験での最内層バーテックス検出器 [11] として採用される事が決定している。ILC に向けた DEPFET 検出器では、センサー厚は $50\ \mu\text{m}$ で完全空乏化されておりピクセルサイズは $20\ \mu\text{m}$ 角となっている [12]。この検出器もまた、ローリングシャッターによる高速の読み出しを行う検出器となっている。

■FPCCD (Fine Pixel CCD) FPCCD は Charge-Coupled Device(CCD) 構造を利用した非常に小型のピクセル素子を実装した検出器システムである [13]。CCD はこれまでのセンサーとは異なり、ピクセル上に読み出し用の回路素子は配置されない。CCD では各ピクセルに収集されたチャージシグナルを、センサーに対し外部よりクロックシグナルを入力する事で隣接ピクセルへバケツリレーによって電荷転送を行う。転送ラインの終端のピクセルまで転送された電荷信号は、そのピクセルに接続された読み出し回路を使用しチップ外へと出力される。このセンサーもまた、外部に読み出し・AD 変換を行う ASIC が必要となる。FPCCD では 1 つのピクセルは $5\ \mu\text{m}$ 角となっており、他の検出器システムと比べて非常に高精度の位置分解能を達成する事が出来る。FPCCD はトレイン間読み出しを採用しており、1 トレインの全シグナルを蓄積後に読み出しを行う。小型ピクセルを採用することでの占有率抑制、及び分解能向上により 1 トレイン分のシグナル蓄積でも飛跡再構成を可能とする。

現状における、MAPS, DEPFET, FPCCD 各検出器での性能仕様を表 3 に示す。

1.5 研究目的

現在、ILD に向けて研究開発が進められているバーテックス検出器候補では、各々位置分解能の向上とともにピクセル占有率を低減させる読み出し手法の提案が行なわれている。表 3 に示される MAPS, DEPFET では $20\ \mu\text{m}$ 角程度のピクセルと高速読み出しによ

表3 バーテックス検出器用ピクセル検出器性能仕様一覧

Parameter	MAPS	DEPFET	FPCCD
動作分類	トレイン内読み出し	トレイン内読み出し	トレイン間読み出し
ピクセルピッチ	18.4 [μm]	25 [μm]	5 [μm]
センサー厚	50 [μm]	50-75 [μm]	50 [μm]
動作速度	10 [$\mu\text{sec/frame}$]	25-50 [$\mu\text{sec/frame}$]	-

る分解能向上・占有率抑制の両立を図っている。また、FPCCDではピクセルサイズをより小型化(5 μm 角)をすることで分解能をさらに向上させるとともにチャンネル数を増やすことで蓄積占有率を下げて、1トレイン分のヒットを全て蓄積する。ただし、正確な粒子飛跡の再構成を実施するためにはピクセル占有率の低減以外にも、入射してくる1ビームトレイン内でのバンチ毎のイベント分離を行うことが重要なファクターと考える。バンチ単位のイベント識別を行うことが可能であれば、発生したイベントごとにバーテックス検出器の検出点を分離することができるため、高精度の粒子飛跡の再構成から生成・崩壊粒子の識別を行う上で重要な性能となりうる。前述のバーテックス検出器候補では、入射シグナルに対してのバンチごとの識別を行うことが可能な時間分解・動作速度とはなっていない。

そこで、ILCに向けた新たなバーテックス検出器開発として、本論文ではSOI検出器によるILC用ピクセルセンサーの開発を提案する。3 μm 以上の位置分解能とともにバンチ単位の時間計測を行う位置・時間同時計測可能なピクセル検出器を提案し、高空間分解能とヒットバンチ識別の両立を目指す。微細ピクセルによる高位置分解能と時間情報取得を両立し4次元情報での飛跡再構成を行うことができれば、ILCでの検出イベントの再構成において大きな利点となる。また、高ルミノシティ・高頻度衝突による次世代の加速器実験においても多数のバックグラウンドイベントを除外し正確なイベント再構成を目指す上で、高位置・時間分解能をもつピクセルセンサーは重要な研究開発要素である。

本論文は、このILC用ピクセル検出器実現に向けた試作センサー:SOFISTの開発検討・センサー設計・性能評価の結果について報告する。論文の構成は、第2章でこの研究開発の基盤となるSOIピクセル検出器について説明し、第3章でSOI使用した新たなピクセル検出器:SOFISTについての詳細を述べる。第4章では現在までに設計・開発を行った2つの施策チップについての詳細・評価結果を示し、第5章で試作センサーを使用したビームテストでの評価結果を述べる。最後に第6章で現状明らかになった課題と新たなセンサー構造に向けた設計・提案を行う。

2 Silicon-on-Insulator(SOI) 検出器

この章において、本研究の検出器開発において重要な要素となる silicon-on-insulator(SOI) ウェハ技術についての説明及び、その SOI ウェハを使用したピクセル検出器 (SOIPIX) についての詳細を説明する。特にこの技術を使用したセンサーを開発する事の利点、そして素粒子、加速器実験への応用について記述する。

2.1 Silicon-on-Insulator 技術

Silicon-on-Insulator(SOI) 技術とは、シリコンバルクのウェハ上に酸化膜 (SiO_2) 層 (Buried-Oxide: BOX) を形成し、さらにその上部に MOSFET を配置する回路層となる低抵抗シリコン層を形成するウェハ製造技術である。従来までのバルクシリコンによるウェハプロセスで製造される CMOS 回路 (bulk-CMOS) では、N/P MOS FET は基盤上に P/N-Well 領域を形成しその領域内に配置される。この場合、形成した素子と基板の間に寄生ダイオードや寄生容量が生じるため回路の実効動作速度の低下、リーク電流の増加、ラッチアップによる故障等の問題が発生する。SOI ウェハを使用することによって、形成される MOSFET は SiO_2 の絶縁層上に配置されるので素子・基盤間が分離される。その結果、基盤との寄生ダイオード、寄生容量の発生を抑制する事が可能となる。この SOI ウェハを使用して製造される LSI チップは、通常の bulk-CMOS のチップと比べて、高密度の回路実装、回路の動作速度高速化、低消費電力化、ラッチアップ耐性向上と言った利点が存在する。また、SOI には部分空乏型 (Partially Depleted-SOI: PD-SOI) および完全空乏型 (Fully Depleted-SOI: FD-SOI) の 2 種類の構造がある。PD-SOI ではゲート下のシリコン内部 (ボディ領域) を完全に空乏化せず一部に中性領域が存在する。FD-SOI ではシリコン基板内部を完全に空乏化している。PD-SOI では Body 領域が電氣的浮遊状態となって特性変動 (基板浮遊効果) が起きるため対策が必要となる。FD-SOI では基板浮遊効果の影響を除くことができ、またソース・ドレインと基板間接合容量を小さくすることができるが、内部を完全に空乏化するためシリコン層を薄くする必要がある。

SOI ウェハを製造する際の基盤となるシリコン単結晶の精製方法については、主に Czochralski(Cz) 法と Floating Zone(Fz) 法と呼ばれる手法が挙げられる。CZ 法は最も一般的なシリコン結晶の精製方法で、石英の坩堝内で溶融させたシリコンの表面にシリコン種結晶を接触させ、回転させながら引上げることで円柱状の結晶を成長させる。Cz 法では、精製時に坩堝から酸素原子がシリコン結晶に混入することとなり、結果として製造

ウェハの基板抵抗が低くなる。Fz 法は原料となる多結晶シリコンロッドを加熱し、その下部に種結晶の単結晶を接合し加熱することで溶融部を作る。その溶融部を維持しながらロッド全体を下方に移動させると、下方部分が冷却され結晶化する。その際に不純物は溶融部に残されるため高純度の単結晶が精製可能となる。

精製されたシリコンウェハを使用し SOI ウェハの製造を行う。現在使用されている製造方法は張り合わせ方式、SIMOX 方式、そして Smart-Cut 方式 [14] が一般に知られている。本研究で使用するセンサーは Smart-Cut 方式を使用して製造された SOI ウェハを用いている (図 6)。Smart-Cut 方式は、(1) 2つのシリコンウェハを使用、(2) 片方のウェハ表面に絶縁層となる酸化膜を形成、(3) 酸化膜下へ水素イオンを打ち込む。水素イオンを注入された深度領域は水素脆化現象が起きるため、その領域を境界として剥離しやすくなる。(4) 水素イオン注入後のウェハをもう片方のシリコンウェハへと熱処理によって接合する。(5) 上部シリコンを剥がし、(6) 表面研磨による仕上げ処理を行うことで SOI ウェハが形成される。後述する SOI センサー製造においては2種の異なる抵抗率のウェハを使用し、高抵抗側をセンサー層として使用している。

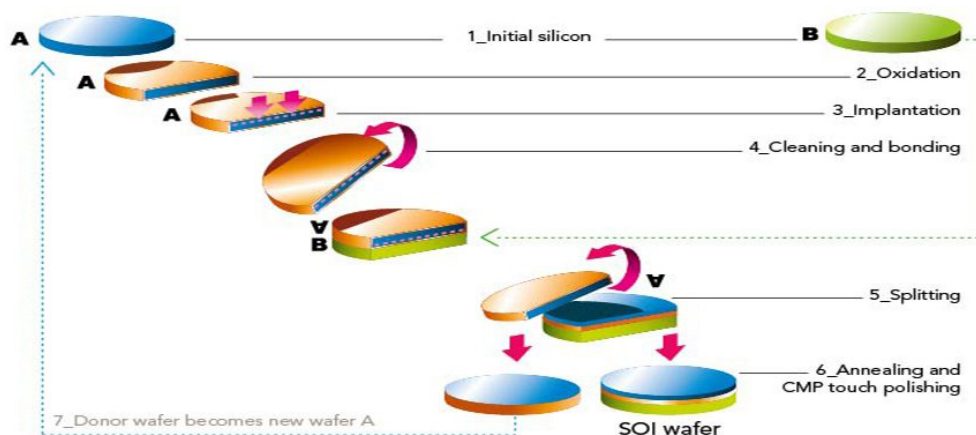


図 6 Smart-Cut 方式による SOI ウェハ製造 (SOITEC 社 [15])

2.2 SOI ピクセル検出器

SOI 技術は前述の通り回路の高速化・低消費電力化を目指す技術として、一般的な CMOS LSI チップ製造で幅広く使用されている。これらの LSI チップでは主に上部回路

層のみを使用して ASIC を実装しており、下部のシリコンウェハは基板としてのみ使用している。この下部基板として高抵抗のシリコンウェハを使用し PN ダイオードの構造を形成し、さらにチップ裏面側から高電圧を印加してシリコン基板を空乏化する。この下部シリコン層をセンサーダイオードとして扱うことによって、SOI ウェハそのものをシリコンセンサーへと応用する [16]。

SOI センサーでは下部センサー側で発生した電荷をウェハに印加されたバイアス電圧によりセンサー端子に収集し、上部回路層でセンサー層で収集された電荷信号を上部の回路で読み出し・信号処理をおこなう。この構造によって、センサー機能としての信号検出・収集と、回路機能としての信号処理・読み出しを一つのウェハチップ上で実装可能な、回路・センサー一体型のシリコン検出器を形成することが可能となる。

現在、KEK 測定器開発室が中心となりこの SOI ウェハを使用した一体型シリコンピクセル検出器 (SOI センサー、SOIPIX) の研究開発を進めている [17]。ここでは、素粒子実験 [18]、天文 [19]、X 線・放射光実験 [20]、物性物理等様々な分野での実験応用を目指した科学計測用の横断的な SOI 検出器開発が進められている。また、対放射線耐性の向上やセンサー内の電場構造の改善等の、デバイス構造に関わる要素技術の開発も並行して進められており、これらのフィードバックによる新たなシリコン検出器の研究開発も行われている。本研究では、素粒子実験分野におけるバーテックス検出器用ピクセルセンサーとしての応用に着目して、この SOI センサーの開発を進めている。

2.2.1 センサー構造

SOI センサーの概略図を図 7 に示す。MOSFET が形成されている上部回路層とセンサー領域となる下部基板は絶縁層を貫く貫通配線 (VIA) によって接続される。貫通配線はセンサー層上部にあるセンスノード部へと接続され、センサー領域内で生成される電荷を収集している。センサー領域は裏面側から高電圧を掛けることで空乏化が可能であり、この空乏化電圧による電場によって内部で発生した電荷をセンスノードへと収集する。

SOI センサー開発では、LAPIS semiconductor [30] の $0.2 \mu\text{m}$ FD-SOI プロセスを使用して製造を行っている。FD-SOI の場合、接合容量が小さいため FET 回路特性の向上や、放射線の影響による動作故障 (SEE: Single Event Effect) に強い等の利点があるが、バックゲート効果による問題が発生する。バックゲート効果は基板側の電圧印加によって FET のゲート直下のボディ部にバックチャネル層が形成されることで FET の閾値電圧が変動する現象である。通常の SOI ASIC では基板側は電圧を印加しないため問題とならない。SOI センサー構造の場合、センサー側を空乏化するために高電圧を印加しており、また FD-SOI によってボディ領域を薄膜化し完全空乏状態で動作するためバックゲート効果の

影響が大きくなる。SOI センサーでは、バックゲート効果を抑制するため基板側に Buried P-Well(BPW) を配置している。BPW はセンスノードに接続される形で、ピクセル回路内の FET 素子の下側に配置される。BPW によって、センサー基板側に掛けられる高電圧による回路への影響を遮蔽・抑制する効果がある。通常、センスノードと BPW は接続され貫通配線を介して電圧供給によって定電圧を保持する。また、センスノードと接続される事で BPW 上でも電荷収集が可能であり、センスノードの実質面積が広がる事で、ピクセル境界に入った電荷の損失を抑えることができる。ただし、BPW の面積を大きくした場合に、センスノード上での寄生容量も増大する結果となり、回路部のゲイン低下、ノイズの増大の問題が発生する。SOI センサーの設計を行う際にはこの BPW のサイズの最適化が重要な要素となる。

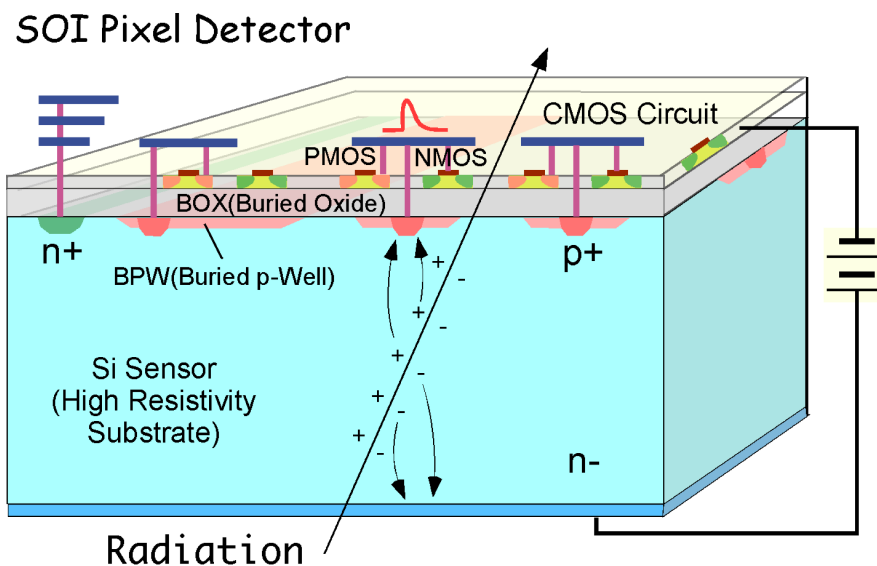


図7 SOI ピクセルセンサー構造

2.2.2 特長・利点

SOI 技術を使用して製造されるピクセルセンサーの構造的な特長を以下に述べる。

■センサー・回路一体型構造 SOI センサーでは一つのウェハ上でセンサー・回路両方を実装する事が出来る。その結果、従来の加速器実験等において使用されていたハイブリッド型検出器と比べて、低物質量化が実現可能である。特に加速器実験の場合、低運動量の荷電粒子の飛跡検出ではセンサー内での多重散乱の低減が必要となっており、センサー自体の低物質量化が重要な要素となっている。

また、SO センサーはセンサー・回路層の接続にバンプボンディング構造が不要となっている。ハイブリッド型検出器ではバンプの形成、貼付けに伴う接続不良、歩留まりの問題から、バンプ間距離の縮小が困難となっており、それによってピクセルサイズの小型化に制限がある。また、SOI センサーではバンプボンディングがないため、ピクセル回路の縮小化、有効となる。

■低寄生容量 前述の通り SOI 基板上で形成される CMOS 回路は MOSFET 間あるいは MOSFET-基盤間の寄生容量が従来の bulk-CMOS プロセスと比べて小さくなる。そのため、SOI センサー上で形成される読み出し、信号処理回路においてより高 S/N、高速回路動作が可能となる。

■CMOS 回路実装 SOI により、ピクセル回路内に PMOS/NMOS の各 FET 素子を高い密度で実装する事が可能となり、ピクセルの多機能化を図る事ができる。すでに SOI 技術を用いて、ピクセル回路内での入射信号に対する閾値弁別によるセルフトリガ生成 [21] や、ピクセル内での入射光子数をカウントするカウンティングピクセル [22] の実装等、複雑機能を持ったピクセルセンサーの研究がされている。

また、SOI では素子分離のための P/N-Well 領域が不要であるため NMOS PMOS FET の Active 領域を結合する素子構造が可能となる (Active 共有化:図 8)。これにより従来の回路レイアウトと比較し実装面積を大きく減らすことにつながる。特にピクセルの小型化と多数の機能実装の両立を目指す検出器では、Active 共有化による回路サイズの圧縮は大きな利点である。

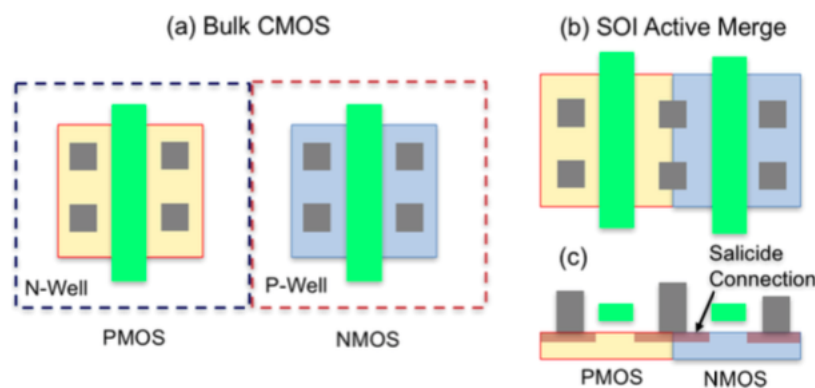


図 8 SOI Active 共有化技術, 左:bulk-CMOS での素子分離レイアウト, 右:SOI での Active 共有レイアウト

■低消費電力化 bulk-CMOS プロセスでは FET のソース、ドレイン端子から基板に向けてのリーク電流が発生し、これらのリーク電流は最終的にチップ上での消費電力増加に繋がる。SOI プロセスの場合、酸化膜上に FET がおかれる事でこのリーク電流発生を抑制し最終的にチップ全体の低消費電力化に繋がる。

■耐放射線性能 素粒子・加速器実験で運用される検出器は、実験中長期間にわたり放射線に曝される。そのため、実験において使用されるセンサーには高い耐放射線性能が要求される。シリコンセンサー・回路が放射線環境下に置かれた場合の影響は以下に分類される [23]。

- シングルイベント効果 (SEE : Single Event Effect)
- トータルドーズ効果 (TID : Total Ionizing Dose Effect)
- 格子欠陥損傷効果

SEE, TID は放射線がシリコンウェハ内部と通過する際に発生する電離・イオン化に起因する。SEE は放射線の入射ごとに発生する偶発的な故障である。CMOS 回路が放射線環境下に置かれた場合、荷電粒子等が半導体内を通過する際に生成される電荷によって回路素子内に電流が流れる。この発生電流による擬似的な信号が回路誤動作、および寄生トランジスタ起因のラッチアップによる素子破壊の原因となる。

TID はシリコンウェハが長期間放射線に曝されることによって、電離で生成された正孔がシリコンウェハ内にトラップされることでシリコンの電気特性が変化する現象である。ウェハ内の SiO_2 内で発生した電子と正孔 (ホール) は電子は短時間でそのほとんどが再結合、あるいは電極へ回収されることで消失する。しかし正孔は再結合する事なく Si/SiO_2 界面でトラップされることで残留する。トラップされた正孔によって新たな界面準位が形成されるため、周囲の半導体素子の電気特性が変化する。TID によるダメージは照射された放射線の累積線量に依存して増加するため、放射線環境下で長期間実施される実験では重要な項目である。

最後の格子欠陥損傷は、特に核子・原子核がシリコンウェハ内に入射した際にシリコン結晶の原子を弾き出されることによって発生する格子欠陥による効果である。センサー内に格子欠陥が発生することで、シリコンのエネルギーバンドギャップ内に新たなエネルギー準位が形成される。新たなエネルギー準位を介した価電子帯から伝導帯への熱励起でのキャリア生成による暗電流の増加、伝導帯内のキャリアがエネルギー準位にトラップにされることによる電荷損失などの影響が発生する。また、N 型半導体では格子欠陥によってアクセプタ準位付近にトラップ準位が形成され、このエネルギー準位によって N 型の

不純物密度が変化する。この放射線損傷が蓄積した結果として P 型半導体へと変化してしまう (Type-inversion [24])。

SOI 検出器に対する、上記の放射線損傷に対する耐性について説明する。SOI プロセスでは絶縁層上に FET が配置され、FET のゲート直下の空乏領域が通常の bulk-CMOS プロセスと比べて小さくなり、またシリコンウェハ部分は BOX 層により回路層と遮蔽されている。特に FD-SOI プロセスによりボディ部を薄膜化形成されているため、放射線通過による生成電流の影響も小さくなるため SEE による故障は抑制される利点がある。

また、SOI ウェハの場合 BOX 層が存在することため、BOX 層にトラップされた正孔の影響で回路部の動作性能が変化する。これもバックゲート効果と同様に FD-SOI では特に回路性能へ影響を与える。ただ TID に対する SOI 検出器の放射線耐性向上としては後述する Double-SOI 構造による検出器を採用する事によって、TID の損傷による影響を相殺可能である。

最後の格子欠陥損傷については、現状においてまだ SOI 検出器への損傷の定量評価は成されていない。格子欠陥損傷による影響は主にセンサーウェハ上での損傷によるため、センサー厚の薄化処理等によりその影響を抑制できる可能性があるが今後において実験評価が必要となる項目である。

2.2.3 Double-SOI 構造

SOI センサーの TID 効果による放射線損傷を抑制するために、SOI 構造を更に改良した Double-SOI ウェハ [25] が考案された。Double SOI 構造は図 9 に示す通り、SOI ウェハの BOX 層内に新たなシリコン層を形成した構造である。新たに形成された中間シリコン層 (Middle Silicon) は絶縁層内に発生したトラップチャージに対する遮蔽の役割を果たす。Middle silicon には、回路層から貫通配線を形成するし、任意の電圧値を印加する事が出来る。累積したトラップチャージの量によって印加する電圧値を調整し、トラップチャージの影響を相殺し照射線量が増加しても MOSFET の動作性能を維持する事が可能となる [26, 27]。この Double-SOI 構造によって、約 1 MGy 以上の γ 線照射後も回路性能を維持したオペレーションが可能となっている。

また、Double-SOI のもう一つの利点として回路間のクロストーク抑制効果がある。回路が配置されている領域直下の Middle-Silicon 層の電位を固定することで、近接して混載されたデジタル・アナログ回路間で発生するクロストークを低減させることが示された [28]。

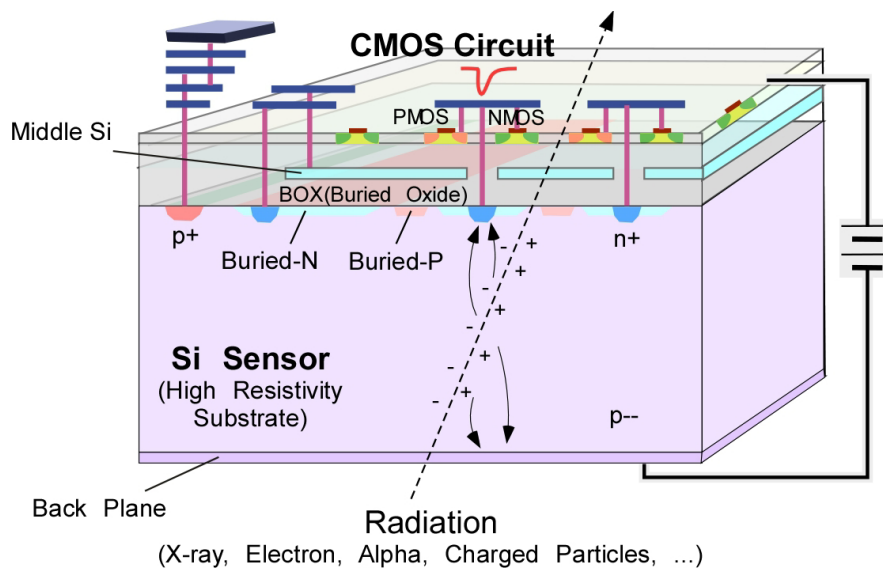


図9 Double-SOI ピクセルセンサー構造

2.2.4 検出器大面積化

科学計測用ピクセルセンサー・検出器を開発する際に、多くの場合に有感領域の拡大のためセンサーサイズの大面積化が要求される。シリコンセンサーチップの大面積化の上限は、半導体製造プロセスで回路パターンをウェハ上に転写する際に使用するフォトマスクのショットサイズによって決まる。SOI 検出器ではショットサイズ以上のセンサーサイズを必要とする場合に、ステッチング露光と呼ばれる手法を用いる事で更なる大面積化が可能となる。ステッチング露光では複数の隣接するショット間を繋ぎ合わせる事で、複数ショットからなるセンサーチップを製造できる。現状では、3ショットを繋ぎ合わせる事でセンサーサイズ $26.7 \times 64 \text{ mm}^2$ のチップが製造されている [20]。

2.3 SOI 検出器の優位性

最後に本章で説明を行った SOI ピクセルセンサー・検出器の利点・優位性についてまとめる。

- センサー・回路一体型構造
- 低寄生容量
- CMOS 回路実装・回路サイズ縮小
- 低消費電力化

- 高放射線耐性 (SEE, TID)

こうした特長は、現在検討中の ILC に代表される加速器実験用のバーテックス検出器への採用に向けても有効となる。特に ILC において必要とされる小型ピクセルによる高い位置分解能、低物質量化、低消費電力、耐放射線性能等の性能要求に対しては、SOI センサーは十分に適応可能な実力を保持している。また、イベント検出・タイミング計測や高速制御、読み出し処理等をセンサーチップ上に埋め込む事が可能であり検出器の高機能化、高集積化も実現可能となっている。よって、この SOI センサーを ILC 実験用のバーテックス検出器の候補としての開発を進めている。次章より、新たな SOI センサー検討と試作評価の内容を記述する。

3 SOFIST: ILC Vertex 検出器用 SOI ピクセルセンサー

本章で、この研究の開発目標となる ILC 実験用の新しい SOI ピクセルセンサーの概要とその開発内容について説明する。

3.1 SOFIST 概要

ILC に向けて提案を行っている新しい SOI センサーの概要を図 10 に示す。本センサーはバーテックス検出器内の最内層用センサーとして開発を進めている。このセンサーでは、入射した荷電粒子の通過位置とその粒子のセンサー通過時の時間情報の両方をチップ内で取得する。位置と時間情報を取得する事で、1 ビームトレイン分の蓄積されたヒットが、どのバンチに属するかの識別を行う。

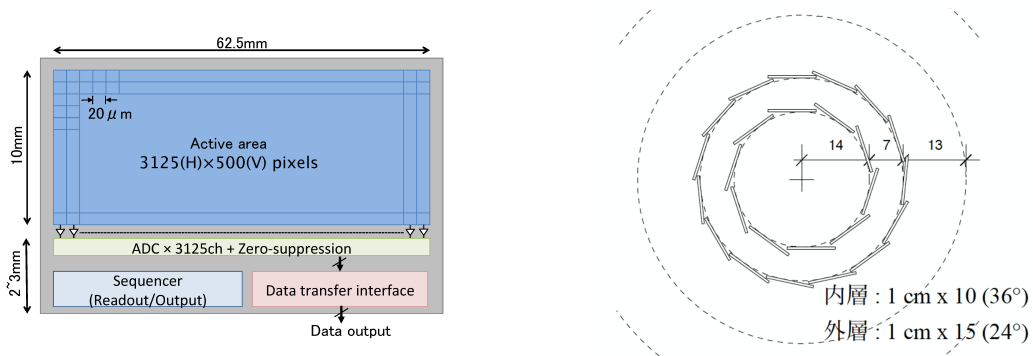


図 10 SOFIST センサーチップ概要, 左:チップ構成、右:検出器 $r\phi$ ジオメトリ (1,2 層)

各ピクセル内で蓄積されたシグナルはセンサーチップ上に実装される ADC によってデジタル変換される。ADC はピクセルアレイの長辺方向の各読み出しカラムに配置されており、1 ラインのピクセルシグナルを一斉に AD 変換し出力を行う。さらにデジタル変換後のデータに対して、ADC の後段に配置されたデジタル処理回路でヒットデータのみを抽出 (ゼロサプレッション) を行う。これらの AD 変換・信号処理回路はセンサー上でのデータを削減することで、蓄積されたデータを高速で処理する事を目的としている。

ピクセル・ADC・デジタル処理回路を含めた、チップ全体の制御はセンサー上に配置された制御回路 (シーケンサー) によって統括する。この制御回路自体はチップ外からのコマンド制御によって動作を変更する。これらの処理はセンサーとチップ外の制御回路との配線数の削減、及び高速のデータ収集制御を行うために必要となる。

本センサーは位置・時間を同時取得可能な SOI 検出器として SOFIST(SOi sensor for

Fine measurement of Space and Time) と命名している。SOFIST の目標となる主な性能仕様、パラメータを表 4 に示す。各パラメータは表 2 の仕様を満たす性能値として設定している。

表 4 SOFIST 性能仕様

Parameter	
Pixel size	20×20 μm^2
Pixel memory	Analog signal memory ×4 Timestamp memory ×4
SNR	≥ 17
Pixel array	500×3125
Sensor thickness	50 μm
Column ADC	3125 channels
ADC resolution	Analog signal: ≥ 8 bit Timestamp: ≥ 12 bit
Readout speed	> 40 MHz

3.2 ピクセル構成

ピクセル回路のアーキテクチャを図 11 に示す。各ピクセル回路内には、初段プリアンプと、入力信号に対し閾値弁別を行うコンパレータが配置されている。センサーノードに荷電粒子からの信号電荷が蓄積されると、初段アンプの出力電圧が変化する。初段プリアンプ出力が、設定された閾値電圧を超えた場合にコンパレータが動作する。コンパレータ出力は、後段のシフトレジスタ回路 (D-FF) に接続されており、このレジスタによってピクセル単位でのヒット情報の保持を行う。

本ピクセル回路には、位置・時間情報の同時取得を実現するため 2 種のアナログメモリ回路を実装している。プリアンプ出力の電圧信号は Analog signal memory に直接接続されている。D-FF 出力はアナログメモリの入力制御スイッチへと接続されており、コンパレータ動作時のアナログ信号を電圧値として保持する。また、プリアンプ出力の電圧値が立ち上がった後にアナログメモリで信号を保持するため、コンパレータ出力から一定時間遅延させて D-FF を動作させる。他方のアナログメモリ回路は時間情報を記録する Timestamp memory となっている。Timestamp memory の入力ピクセル外部からの

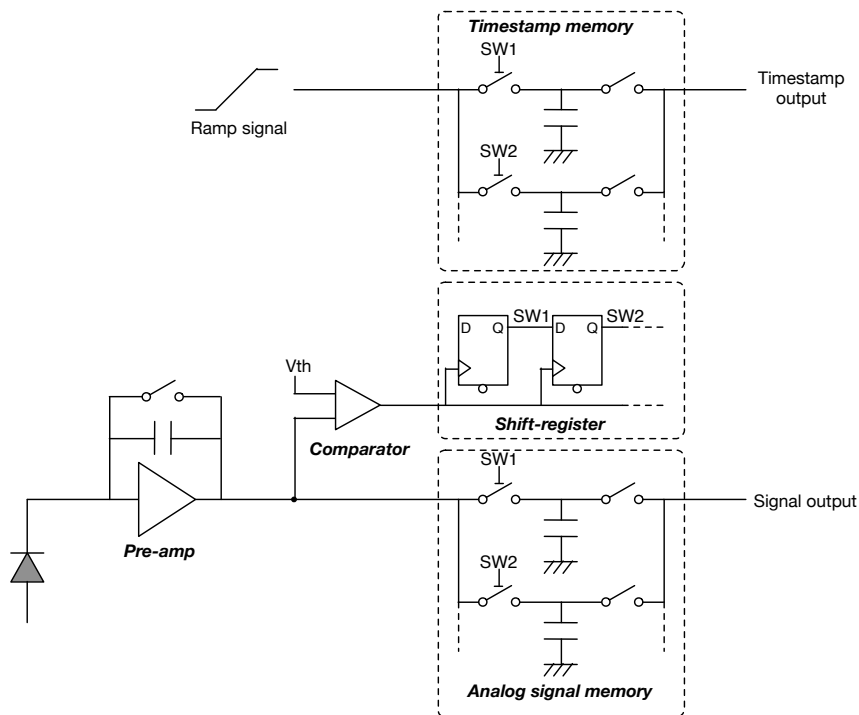


図 11 ピクセル回路アーキテクチャ

入力ラインが接続されており、Analog signal memory と同様コンパレータが動作した時点での入力電圧を保持する。Timestamp memory へは時間経過に比例するランプ波形を入力する。ランプ波形はセンサーの蓄積動作開始とともに変化を開始する事で、コンパレータが動作した際の荷電粒子通過時の時間経過を電圧値としてメモリに保持する。これら2種のメモリ出力はピクセル外の Column-ADC によって読み出し、ピクセルごとの入力シグナル・時間情報を入力する。

また、一つのピクセル内にそれぞれ複数個のアナログシグナル、タイムスタンプメモリを搭載する。複数メモリを搭載することで、1 ビームトレイン分のイベント蓄積においてピクセルあたり複数回の荷電粒子のヒットシグナルの蓄積を可能とする。必要となるピクセル内メモリ数は、検出器が配置される環境でのピクセル占有率に依存する。

3.2.1 ピクセル位置分解能

SOFIST のピクセル回路サイズは $20 \mu\text{m}$ 角での実装を目指している。SOFIST では、ILC バーテックス検出器としての性能を満たすためセンサー単体での位置分解能性能として $3 \mu\text{m}$ 以上を目標としている。ピクセル毎にヒット情報の有無のみを読み出すバイナリ

読み出し方式を行った場合には、センサーの分解能は一様分布の標準偏差よりピクセルサイズの $1/\sqrt{12}$ で決定される。バイナリ読み出しで位置分解能 $3\ \mu\text{m}$ を達成するには必要なピクセルサイズは約 $10.4\ \mu\text{m}$ と計算される。しかしながら、SOFIST の機能や多数のメモリキャパシタを 1 ピクセル内に埋め込むためには、より大型の面積でのピクセル回路の実装が必要となる。

より大型のピクセルサイズでより高精度の分解能を達成するために、荷電粒子の生成・収集された電荷のピクセル間チャージシェアを利用したヒット位置計算の手法を検討する。センサー内で生成された電荷はセンサー内部の電場により近傍のピクセルのセンサーノードへと収集されるが、実際には生成された電荷は収集までの拡散により複数のピクセルへと分配されて検出される。このピクセル間での検出シグナル量の分割比から、入射位置を推定することで必要な分解能を達成する事が可能となる。

電荷分布によって、位置を推定する場合に重要となる指標はピクセルごとの Signal-to-Noise(S/N) 比である。チャージシェアによって各ピクセルで検出されたシグナルに対して、ピクセル各々で発生するノイズ量に依存しヒット位置推定結果の誤差が発生する。仮に、シグナルが隣接 2 ピクセル間でチャージシェアされ場合に S/N の影響は、 $\delta x = (\text{Pixel pitch}) \cdot N/S$ と計算される [29]。この計算は x,y 座標の一方向にのみでの計算であり、厳密には 2 次元ピクセル検出器では各方向の誤差の合計となる。ただし、今回の検出器評価では x,y 方向に分離した位置の検出・測定を独立に行うため、各方向それぞれでの誤差検討を行う。また、重心演算による位置計算の精度はセンサーのピクセルサイズ・ノイズ性能に依存することとなる。さらに斜入射などによりチャージシェアされるピクセル数が増加した場合にはその精度は変化する。

図 12 に、チャージシェアされるピクセル数 (Multiplicity) と位置分解能の変化のプロットを示す。この見積計算では、センサー面に対する荷電粒子の入射角を $\tan\theta = n \cdot p/d$ と仮定している (図 12:左図)。ここで θ はセンサー面の法線方向に対する角度、 p,d はそれぞれセンサーのピクセルピッチとセンサー厚である。 n はチャージシェアされるピクセル数を示している。入射角が大きくなる (チャージシェア数が増加する) 事によってセンサー内の粒子飛跡が長くなり、生成電荷シグナル量も増加する。シェアピクセル数によって変化する電荷シグナル量とノイズ (S/N 比) を見積もり、2 ピクセル間シェアでの分解能との比を計算した。(2 ピクセルでの分解能は上記計算より $\delta x = 1.2\ \mu\text{m}$ としている)。ここではセンサー厚 $d = 50\ \mu\text{m}$ 、ピクセルピッチ $p = 20\ \mu\text{m}$ としており、また $S/N = 17$ を仮定している。この計算では、シェアピクセル数が 8 未満であれば分解能 $3\ \mu\text{m}$ 以上を達成することができることがわかる。

図 12 の結果は簡略化した見積結果であり、実際にはさらにセンサー内での生成電荷拡

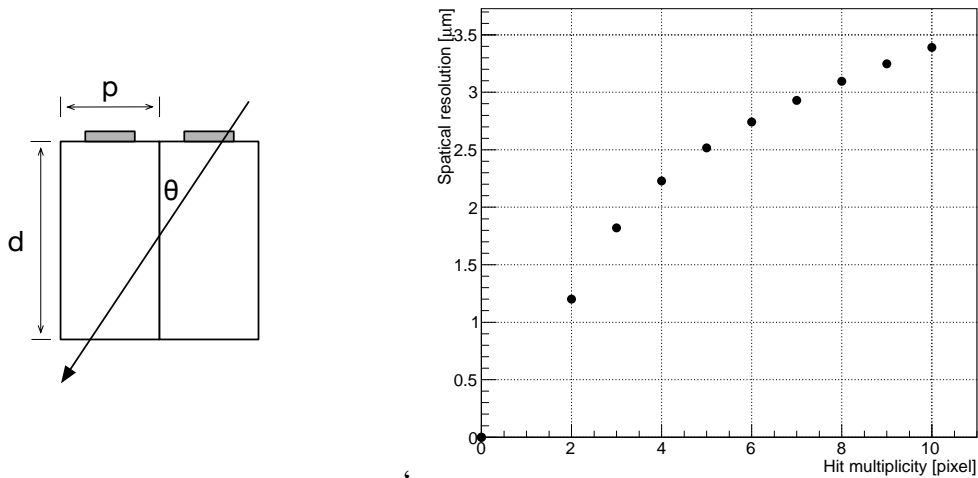


図 12 ヒットピクセル数と位置分解能の見積もり計算結果、左:ピクセル入射角、右: ヒットピクセル数・分解能相関

散によるチャージシェアの変化、各ピクセルでの電荷収集効率、荷電粒子の入射角度等に依存する。SOFIST の設計においては最大 10 ピクセルまでのチャージシェアに対する分解能達成を目標としており、そのためピクセル S/N 比が 17 を超える必要がある。よって、SOFIST ピクセル回路設計では高 S/N 性能を達成するための高ゲインの初段増幅回路が要求される。

3.2.2 ピクセルヒット占有率

ピクセル内で必要となるアナログシグナル・タイムスタンプのメモリ数はイベントデータ蓄積中のピクセルあたりの平均ヒットイベント数から決定する必要がある。そのため、1 ビームトレインのヒットイベントを蓄積した場合のセンサーあたりのヒットデータ量を見積もる事が重要となるため、センサー内のヒットイベントの割合 (ピクセルヒット占有率) が重要な指標となる。

ILC での重心系エネルギー 500 GeV での予測されるバックグラウンドイベントについてのヒットレートを $6.32 \text{ hits/cm}^2/\text{BX}$ (BX:bunch crossing) として計算する [2] (重心系エネルギー 1 TeV では $11.774 \text{ hits/cm}^2/\text{BX}$)。この計算でを使用したヒットレートはバーテックス検出器最内層の平均占有率である。1 回のヒットイベントによりセンサー上で 10 ピクセル程度のチャージシェアによるシグナル検出を仮定すると、1 ピクセル ($= 20 \times 20 \mu\text{m}^2$) あたりのヒットレート (バンチあたりの占有率) は、

$$6.32 \text{ hits/cm}^2/\text{BX} \times 10 \text{ pixel/hits} \times 20 \cdot 20 \mu\text{m}^2/\text{pixel} \approx 2.53 \times 10^{-4} \text{ pixel/BX}$$

と計算される。よって、1 ビームトレイン (= 1312 バンチ) でのピクセル占有率は以下の値と計算される。

$$2.53 \times 10^{-4} \text{ pixel/BX} \times 1312 \text{ bunches} = 0.332 \text{ pixel/train}$$

重心系エネルギー 500 GeV でのピクセルあたりに検出されるヒットイベント数の割合は、このピクセル占有率を期待値 ($\lambda = 0.332$) とした離散確率分布としてポアソン分布: $P(\lambda; k)$ が適用される。表 5 に、 $\lambda = 0.332$ での各ピクセルヒット数 (k) に対する分布確率を示す。また、重心系エネルギー 250 GeV 及び、加速器アップグレードによる 1 TeV (1 ビームトレイン = 2450 バンチ) での分布確率も示す。

Efficiency はピクセル内に k 個のメモリを実装した場合の、全ヒットイベントに対する検出イベント数の割合である。1 トレイン内の全ヒットイベントに対して、ピクセルあたりアナログメモリ・タイムスタンプを各 4 メモリ以上を実装することで全体の 99% 以上のイベントを検出が可能となる。よって、SOFIST ではピクセル内に各 4 メモリを実装することを検討している。ただし、この計算では平均占有率よりヒットイベント数の計算を行ったが、占有率はセンサー内領域、特にビーム軸に対する角度方向に大きく依存するため、荷電粒子の入射角毎の最大占有率 (ヒットイベント数) はより増加する。

表 5 ピクセルヒット数分布

k	$E_{CM} = 250 \text{ GeV}$		$E_{CM} = 500 \text{ GeV}$		$E_{CM} = 1 \text{ TeV}$	
	$P(0.14; k)$	Efficiency	$P(0.332; k)$	Efficiency	$P(1.154; k)$	Efficiency
0	0.8694	-	0.7175	-	0.3154	-
1	0.1217	0.9316	0.2382	0.8432	0.3639	0.6793
2	0.0085	0.9968	0.0395	0.9831	0.2100	0.8893
3	0.0004	0.9999	0.0044	0.9986	0.0807	0.9701
4	0.00001	0.9999	0.0004	0.9999	0.0233	0.9934

3.3 読み出し回路構成

ピクセル回路出力のアナログシグナル・タイムスタンプシグナルの読み出し経路の概略を図 13 に示す。ピクセルから出力されたシグナルは読み出しカラム毎に Column ADC へと入力される。1 チップあたり 3125 チャンネルの ADC を配置しており、カラム並列での AD 変換を可能とする。ADC では、アナログシグナルだけではなくタイムスタンプのシグナル変換も行う。AD 変換後のデジタル出力データは、後段のゼロサプレッション回

路に入力される。また、ピクセルシグナルと同時にピクセル内のレジスタ回路 (D-FF) も出力し、読み出しを行う。このレジスタ出力は各ピクセルに格納されたヒットイベント数を示しており、読み出す事でヒットピクセルの情報を得る事が出来るため、後段のゼロサプレッション回路で、ヒットカラムの識別に使用する。ゼロサプレッション回路では各ピクセルのヒット情報データに対してヒットイベントの有無の識別を行い、ヒットの検出された場合のみピクセルデータを抽出する。出力時にどのピクセルカラムでのヒットであるかを後段で再構成するために、ピクセルデータにカラムアドレスを付加する。抽出されたデータは数カラム毎に共通の FIFO メモリへと入力され、AD 変換を行った 1 ライン分のデータに対してヒットピクセルデータのみが FIFO メモリ内にバッファされる。最後に出力回路でメモリに格納されたデジタルデータの読み出しとチップ外への転送を実施する。チップ出力は複数の LVDS の読出しラインで、高速のデータ転送を実現させる。

3.3.1 ADC 分解能

Column ADC はピクセル内に蓄積されたアナログシグナルとタイムスタンプのデジタル変換をおこなう。アナログシグナルとタイムスタンプは読み出されるシグナルが異なるため、それぞれ必要となる分解能も異なる。

アナログシグナルの読み出しについてはピクセル部のノイズ出力との関係によって決定する。ADC で変換されたシグナルに含まれるノイズは、ピクセル-読み出し経路のアナログ部のノイズと AD 変換時の量子化ノイズに分ける。量子化ノイズは ADC の分解能 ΔV を使って $\Delta V/\sqrt{12}$ となる。アナログ部ノイズと量子化ノイズの合計は、

$$\begin{aligned} V_{total}^2 &= V_{analog}^2 + V_{ADC}^2 = V_{analog}^2 + \frac{\Delta V^2}{12} \\ &= \left(1 + \frac{1}{12} \cdot \frac{\Delta V^2}{V_{analog}^2}\right) V_{analog}^2 \end{aligned}$$

ADC の分解能は、アナログ部ノイズと比較して量子化ノイズが十分に小さくなるように設定しなければならない。合計ノイズ電圧の増加をアナログ部ノイズの 1% 以下にすることを検討すると、以下の式を満たす必要がある。

$$\left(1 + \frac{1}{12} \cdot \frac{\Delta V^2}{V_{analog}^2}\right) \leq (1.01)^2$$

荷電粒子からの平均シグナルを約 0.2 V、S/N = 20 として、アナログ部のノイズ電圧を約 0.01 V と仮定する。この時に満たすべき ADC の分解能は、

$$\Delta V \leq \sqrt{(1.01^2 - 1) \cdot 12 \cdot 0.01^2} = 0.0049$$

ADCの入力レンジを1 V とすると ADC の分解能は 7 bit で 0.0078 V、8 bit で 0.0039 V と計算される。よって、8 bit 以上の ADC 分解能が必要となる。

さらにタイムスタンプに関しては蓄積した 1 ビームトレイン内のシグナルの全バンチ識別を行う必要がある。ビームトレイン内の入射バンチ数は重心系エネルギー 500 GeV で 1312 バンチ、1 TeV で 2450 バンチとなる。そのため必要となる ADC 分解能は 500 GeV で 11 bit (= 2048 counts)、1 TeV では 12 bit (= 4096 counts) となる。

3.3.2 読み出し時間概算

1 ラインについての読み出しシーケンス・時間は以下の 4 段階に分類される。

- A. 各カラムシグナルのサンプリング・ホールド (T_A)
- B. シグナルデータの AD 変換 (T_B)
- C. ヒットデータ抽出及びカラムスキャン、FIFO 書き込み (T_C)
- D. FIFO データ読み出し・外部転送 (T_D)

A、B についてはカラム並列で行われるため搭載する ADC の実行動作時間で決まる。C、D については、スキャンするカラムブロック内にあるヒットピクセル数に依存して変化する。

T_C についての平均時間の概算を行った。各ライン内のピクセルメモリのヒット数は前述のポアソン分布: $P(\lambda; k)$ より計算されるため、 k ヒット目のピクセルメモリに格納されるヒットピクセル数の割合は以下の式で記述される。

$$N_{Hit}(k) = N_{zs} \sum_{i=k}^{\infty} P(\lambda; i) = N_{zs} \left(1 - \sum_{i=0}^{k-1} P(\lambda; i) \right)$$

ここで N_{zs} はゼロサプレッション回路に接続されるカラム数である。 k ヒット目までメモリ格納されたピクセルは、1~($k-1$) ヒット目のメモリにもシグナルが格納されているために上記の式が適用される (当然 1 ヒット目のヒットピクセル数が最も多く、 $N_{Hit}(1) > N_{Hit}(2) > N_{Hit}(3) > N_{Hit}(4)$ となる)。ヒットピクセルのみを抽出してスキャン・メモリ書き込みを行うため、1 データのスキャン時間 T_{scan} とすると実効時間は以下で示される。

$$T_C(k) = T_{scan} \cdot N_{Hit}(k) = T_{scan} \cdot N_{zs} \left(1 - \sum_{i=0}^{k-1} P(\lambda; i) \right)$$

T_D についてもほぼ同様の計算であるがこちらはチップ出力ラインの並列処理数に依存する。各読み出しラインから 1 bit 単位でシリアル出力される場合を仮定すると以下の式

で表される。

$$T_D(k) = T_{read} \cdot (M_{ra} + M_{bit} \cdot \frac{N_{total}}{L_{read}} (1 - \sum_{i=0}^{k-1} P(\lambda; i)))$$

T_{read} はデータ 1bit あたりの読み出し時間であり、 M_{bit} は 1 ピクセルのビット幅である。 M_{ra} は読み出しを行うラインアドレス情報のビット幅を示す。 N_{total} はチップ内の全カラムピクセル数 (= 3125) であり、 L_{read} はチップからの読み出しライン数である。

上記の式をもとに T_C, T_D について実行時間を計算する。64 カラムごとにゼロサプレッション回路を実装 ($N_{zs} = 64$)、ピクセルデータの bit 幅を $M_{bit} = 18$ とする (ゼロサプレッション時の付加アドレスを含む。データ:12[bit] + アドレス:6[bit])。 M_{ra} はピクセル配列のライン数 = 500 より、9 bit が必要となる。また、読み出しライン数 $L_{read} = 5$ と仮定する、読み出し時間 T_{scan}, T_{read} について 25 ns (= 40 MHz) とする。これらの仮定とヒットピクセル数については表 5 の値を使用して T_C, T_D を計算した結果を表 6 に示す。

表 6 1 ライン内のピクセルメモリあたりの平均ゼロサプレッション (T_C)・データ出力 (T_D) 時間 (k:ヒットメモリ)。最下段は Analog Signal、Timestamp(8 メモリ分) での合計

k	$E_{CM} = 500 \text{ GeV}$		$E_{CM} = 1 \text{ TeV}$	
	$T_C [\mu s]$	$T_D [\mu s]$	$T_C [\mu s]$	$T_D [\mu s]$
1	0.45202	79.682	1.0954	192.78
2	0.07089	12.686	5.1310	90.42
3	0.00762	1.565	0.1771	31.36
4	0.00062	0.334	0.0479	8.64
Total	0.53116	94.267	1.8334	323.19
Total (Analog + Timestamp)	1.0623	188.53	3.6669	646.38

上記では、各々のシーケンスをシリアル制御で順番に実行することを仮定しているが、実際の運用においてはさらに C.、D. の制御について並列処理を実施することでシグナルデータの読み出し時間の圧縮が可能となる。

3.4 全体動作・オペレーション

実際の実験時における、SOFIST の全体動作について説明を行う。SOFIST では ILC のビームトレイン構造に対応するため、シグナル蓄積・読み出しの二つの期間に分けた動作運用を行う (図 14)。下記のシグナル蓄積・読み出しのシーケンスをバンチトレインの入

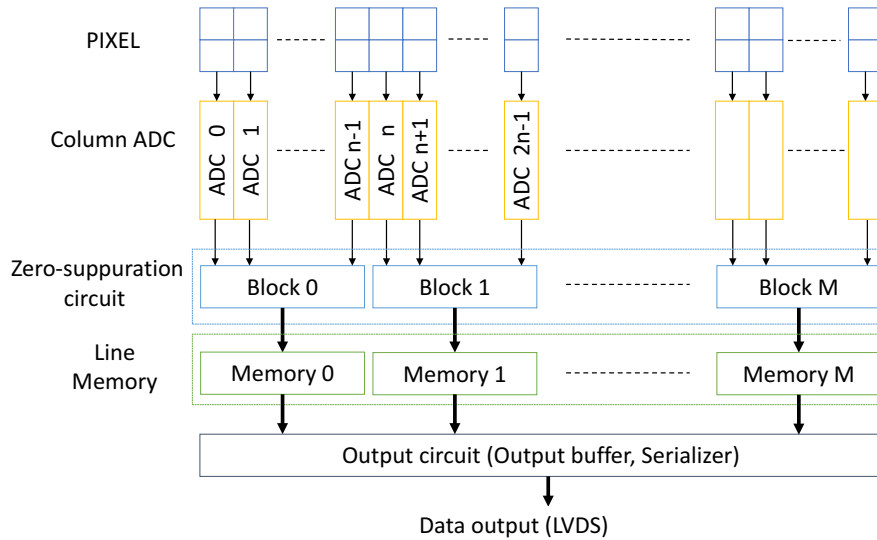


図 13 SOFIST チップ読み出し経路

射間隔である 200 ms で繰り返しを行うこととなる。

3.4.1 シグナル蓄積

ビーム入射・衝突期間中は、ピクセルアレイ部のみが動作し常にシグナルの蓄積を行う。この期間中は、ADC 以後の読み出し経路については停止状態となる。電子・陽電子ビームバンチ衝突は約 554 nsec 間隔で発生するためピクセル動作もこのバンチ間隔に同期して行われる。SOFIST では、加速器側よりバンチ入射に同期したシグナルを受信することで、バンチ衝突前にピクセル内の周期リセットを実施する。ビームバンチ衝突毎にリセットを行う事で、ピクセル内のプリアンプ及びコンパレータに入力を初期化して 1 つ前のバンチ衝突で検出されたヒットシグナルをクリアし、またセンサーノードに入り込む暗電流によるノイズの影響を除去する。リセット期間後、各ピクセル回路は荷電粒子シグナルの入射を待つ状態となる。シグナル入射によってコンパレータでヒットが検出されれば、その時のシグナル及び時間情報をピクセル内メモリに蓄積する。シフトレジスタの出力によってメモリへの入力段のスイッチの切り替えを行い、次のリセットとシグナル入射を待つ状態になる。ヒットがなければピクセル内の状態は変化することなく、同じメモリへの入力を維持する。メモリの切り替えはピクセルごとに独立して行われ、ピクセル内の全メモリへ蓄積が行われるまで (内部のメモリ数分のヒットが検出されるまで) シフトレ

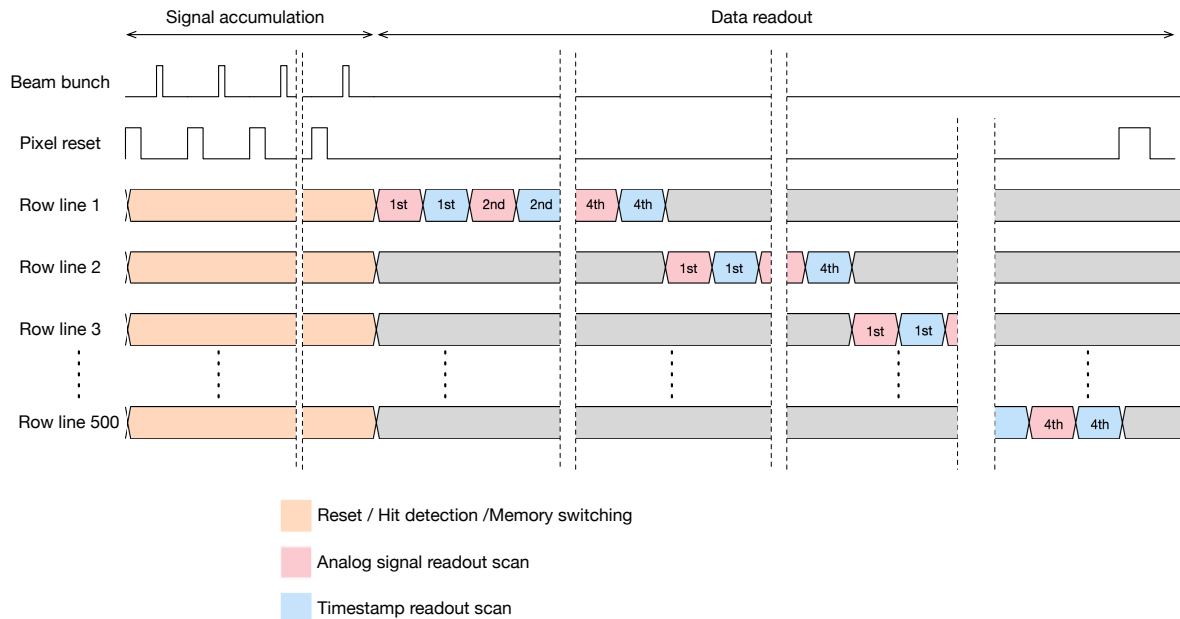


図 14 SOFIST 全体動作タイミングチャート

ジスタが更新される。これらのリセット → ヒット検出 → メモリ切り替えをバンチ衝突ごとに高速で実施し、バンチ単位でのヒットシグナル・時間記録を行う。

3.4.2 データ読み出し

全バンチ衝突が完了後、次のバンチトレイン入射までに蓄積されたデータの読み出しを実施する。シグナルの読み出しは、ピクセルアレイの行 (長辺方向ラインごと)で行われる。ピクセルの行選択を実施後に、前述した ADC ブロックでのデジタル変換、ゼロサプレッションでのヒットピクセル抽出、そして外部へのデータ転送を行う。各ピクセル内はアナログシグナル、タイムスタンプメモリが複数あるため、一つの行に対してこの読み出しシーケンスをメモリ数分 ($2 \times 4 = 8$ 回) 繰り返すこととなる。全データ読み出し後、読み出しブロックは停止し全ピクセル回路をリセットクリアして、次のビームトレイン入射まで待機状態へ移行する。

前述の読み出し時間概算結果を使用して、SOFIST の全データの読み出しに必要な時間の見積もりを行った。各カラムシグナルのサンプル・ホールド時間 $T_A = 2 \mu\text{s}$ 、ADC の変換時間 $T_B = 10 \mu\text{s}$ として、 T_C 、 T_D については表 6 の結果を使用する。図 7 に 1 ラインあたり (8 ピクセルメモリ分)、及び 500 ライン分の読み出しに必要な各シーケンスの時間と合計時間を示す。この結果は概算値ではあるが、200 ms 間隔でのデータ読み出し

を達成するには ADC 及び、データ出力・転送までの処理の高速化が重要な課題となる。500 GeV での運用を考えた場あり、最終段となるメモリ読出しとデータ出力の高速化が必須であり、また並列読出しライン数として 5 ライン以上が必要となる。さらに、重心エネルギー 1 TeV での運用においてはより高速のデータ読み出し・処理が必須である。

表 7 1 ライン、500 ライン読み出しに必要な平均時間

-	$E_{CM} = 500 \text{ GeV}$		$E_{CM} = 1 \text{ TeV}$	
	1 line (単位: μs)	500 lines (単位:ms)	1 line (単位: μs)	500 lines (単位:ms)
$T_{A:Total}$	16	8	16	8
$T_{B:Total}$	80	40	80	40
$T_{C:Total}$	1.06	0.53	3.67	1.83
$T_{D:Total}$	188.53	94.27	646.38	323.19
Total	285.60	142.8	746.05	373.02

3.5 研究方針・マイルストーン

ILC バーテックス検出器に向けた SOFIST の開発はピクセルセンサーのチップ開発以外にも、センサーデバイス大型化、周辺部の制御システム、そして検出器実装のための構造設計など多数の開発課題・マイルストーンが挙げられる。SOFIST 実現に向けて、現状で考えられる開発マイルストーン・検討事項の一覧を以下に示す。

3.5.1 開発マイルストーン

■1. 主要機能の実装 ピクセル、ADC、デジタル回路の機能実現に向けたセンサー回路の試作を行う。主要となる機能の一部を切り出し、それぞれの機能を実現する回路の設計、実装、評価を行う。複数回に分けた実装を行う事で、最終案としての回路構成へとフィードバック・最適化を実施する。また、回路層の積層による三次元実装での高集積化等の新たな実装方法の検討も進める。ここでの評価により、ピクセル機能の実装、最適化の調査をおこなう。並行して ADC、ゼロサプレッション等の読み出し経路のデジタル回路機能を実現する。また、ピクセル、読み出し回路を組み合わせたオペレーション、蓄積・読み出しシーケンスの確認、動作速度の検証等をおこなう。

■2. センサーチップのシステム実装 主要回路の構成が決定後に、SOFIST チップのシステム実装に移る。読み出しデータの出力制御システムとインターフェースを確定させる。

ピクセル動作やデータ読み出し制御等のオペレーション時の動作手順等をシステム化する制御ロジックを実現させ、データ読み出しシーケンスの確立し制御インターフェースの内容・構成を決定する。また、データ転送の信頼性を確保する検証アルゴリズム実装も必要となる。システム実装によって、チップ上での全体オペレーションでの消費電力評価や読み出し速度、時間検証も実施する。また後述の大面积化の際の高速・並列動作、動作速度等の検証による最適化も実施する必要がある。

■3. センサーチップ大面积、薄化 SOFIST の最終形ではセンサーチップ自体の大型が必須となる。センサーチップを大型化した際のチップ上の傷などの品質評価、ピクセル回路の性能ばらつきや歩留まり、製造チップ・ウェハ間の性能ばらつき、大面积化によるセンサー部暗電流、回路部全体のリーク電流等の評価を実施する。また、物質量削減のためセンサーチップの厚みを 50 μm 程度まで薄化を実施し、チップの強度やセンサー面の歪みを評価しそして検出器に実装する際のチップの保持構造の検討を実施する。

■4. 周辺制御、DAQ システム回路の開発 検出器上で SOFIST をオペレーションする上でチップ制御処理を行うための DAQ 制御ロジックの開発が必要となる。高速でのチップ制御を行うためには、チップ接続直後に制御・読み出し用の ASIC・FPGA 等を配置する事で実現しなければならない。後段に配置される制御用チップでは SOFIST の制御、読み出し以外にも、読み出されたデータの再構成・圧縮などの検討も必要となる。

■5. 検出器構造設計・開発 最終的な検出器システムとして組み立てを行うための検出器構造を確定させる。センサーチップの保持方法や外部との電気接続のための配線方法等の検討を行う必要がある。また、センサーチップのための冷却システムの構造検討・開発も実施しなければならない。

3.5.2 研究方針、課題

本論文では、前節の SOFIST の開発マイルトーンに対し、最初の主要機能の実装としてピクセル回路の実現に向けた研究開発を実施した。SOFIST の実装に向けて特に重要となる位置・時間計測をおこなうピクセル回路の試作・評価を実施し、開発上の課題に対しての対応策、最適化の検討を行った。

SOFIST のピクセル回路実現に向けて、現状での大きな課題はピクセルの実装面積である。ピクセル回路には複数の機能が盛り込まれており、それらを 20 μm 角の小型ピクセルに埋め込む必要がある。ピクセル内で特に実装面積が必要となるのはメモリ回路である。メモリ回路はキャパシタにより実装を行うが複数個用意するため、小型サイズでの実

装を行うためにはメモリ回路のサイズ削減は重要となる。メモリキャパシタは回路内のスイッチにより入力電圧をサンプリングする際、ランダムに変動するノイズもサンプリングされる。これはサンプリングキャパシタの容量値に依存して変化し、ノイズの影響を抑えるためにはキャパシタサイズを可能な限り大きくする必要がある。そのため、ノイズ削減と回路サイズ縮小化のトレードオフによる最適化が要求される。また、ピクセル内でヒットシグナルの検出、ヒット情報の複数保持を行うためには D-FF(Flip Flop) 等のデジタル回路が必要である。デジタル回路実装には多数の NMOS/PMOS-FET が必要となるため、デジタル回路最適化・縮小化も必須となる。さらにデジタル回路シグナルは高速で変化をするため、アナログ回路側へのクロストークの影響を除くためにはできる限り、デジタル・アナログ回路間の分離をしなければならない。

以上のように、ILC バーテックス検出器として SOFIST を実現させるには様々な課題があり、その検討として本論文では SOFIST のピクセル各機能の試作を進めてきた。次章より、SOFIST 試作センサー内容とその評価結果についての詳細を述べる。

4 センサー試作・評価

本章で SOFIST の主要機能、ピクセル回路に関する試作チップの設計内容とその評価結果について示す。

4.1 試作スケジュール

SOFIST の主要機能実装に向けた試作チップ設計開発を 2014 年より開始した。現段階での試作開発で以下の 3 段階による開発と評価を計画している。特に複雑な構造となるピクセル回路部については、各試作ごとに段階的に回路設計と評価を行いフィードバックを行っている。

Ver.1 アナログシグナル用ピクセル回路、Column ADC 回路の実装

Ver.2 タイムスタンプ用ピクセル回路、ゼロサプレッション回路の実装

Ver.3 アナログシグナル・タイムスタンプピクセル回路の統合

Ver.1 から Ver.3 までの試作センサーチップの開発によって、ピクセル・読み出し回路に対しての主要な機能を実現させたセンサーの設計開発を行う。現状では Ver.1 のチップの開発・評価、及び Ver.2 チップの開発を実施し、そしてこれらの開発結果を基にした最終形としての Ver.3 チップの設計を進めている。これらの、センサーチップの試作開発では KEK が主体となって実施している MPW(Multi-Project Wafer) ランに参加している。MPW ランは年 1,2 回の頻度で実施されており、2015 年から毎年の MPW に合わせて SOFIST の試作チップ開発を行っている。試作チップ製造は、Lapis Semiconductor 社 [30] の $0.2\mu\text{m}$ FD-SOI プロセスを使用している。

4.2 SOFIST Ver.1

4.2.1 全体構成

最初となる Ver.1 試作チップでは、ピクセル回路でのアナログシグナル読み出し部の検討を行うため、プリアンプ、アナログシグナルメモリを搭載したピクセル回路とピクセル出力を読み出すカラム並列の ADC 回路を設計した。図 15 に Ver.1 チップの機能ブロック図及び、全体レイアウトを示す。3 mm 角サイズのチップ内に、 50×50 のピクセル回路と 50 チャンネルの ADC を搭載している。ピクセルサイズは $20 \times 20 [\mu\text{m}^2]$ としており、試作チップ全体の有感領域は $1 \times 1 \text{mm}^2$ となる。ピクセルアレイの各カラムに ADC を

置く事でカラム並列での AD 変換が行われる。また、ADC 単体での性能評価を行うためテスト電圧入力が入力されており、チップ外より直接電圧値を入力する事で AD 変換性能を計測する事が可能である。更に、ピクセルからのアナログ信号出力を直接観測するためのアナログ読み出しラインを用意しており、ピクセルアレイのライン、カラム選択を切り替える事で、全ピクセルのアナログ出力を読み出しを行うことが可能である。

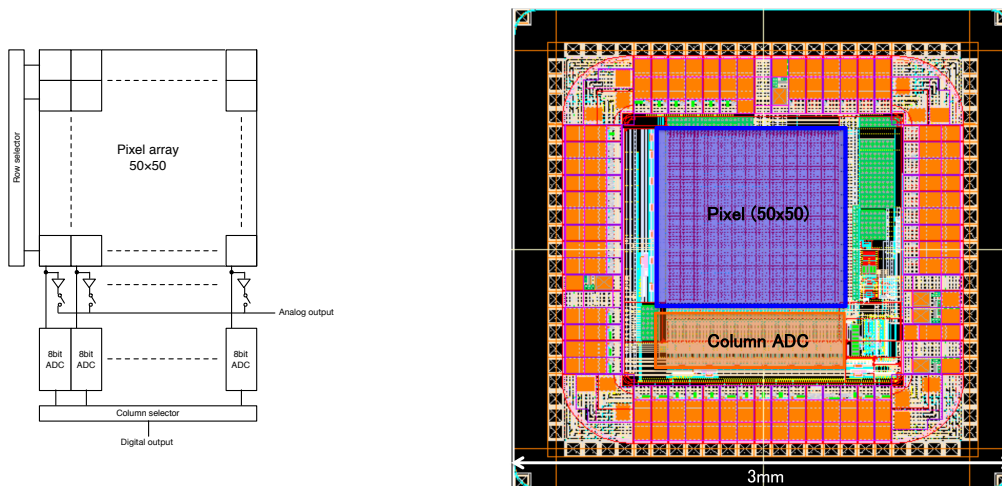


図 15 SOFIST Ver.1 チップ, 左:チップ概要、右:全体レイアウト

今回の Ver.1 チップ製造では、センサーウェハに Floating-zone(Fz) 法によって精製された N タイプの高抵抗ウェハ (抵抗率:2 k Ω 、ウェハ厚:500 μm) を使用している。Fz 法で精製された高抵抗ウェハによってセンサーの完全空乏化を達成する。また、Fz-N ウェハは現在までに多数の SOI ピクセル検出器に使用されているており、センサーウェハとしての様々な特性評価がすでになされている。そのため最初の試作チップ開発・評価のための信頼性の高いウェハとして採用した。

4.2.2 詳細設計・シミュレーション

■ピクセル回路 ピクセル回路の回路図、レイアウトを図 16, 17 に示す。ピクセル回路は図 11 で示した SOFIST のピクセルの中でアナログ読み出し部分のみを抽出して実装しており、初段のプリアンプ、アナログメモリ、カラムアンプから構成している。アナログメモリはピクセル内 2 つ用意されており、それぞれ切り替える事で 2 ヒット分を蓄積して読み出す事が可能である。このピクセル回路では、ピクセル内でのヒット検出によるメモリ切り替え機能は搭載していないため、外部より全ピクセルのメモリを一斉に切り替えて蓄積、読み出しをそれぞれ行う。

初段のプリアンプはチャージセンシティブアンプ (CSA) を採用している [23]。Ver.1 の

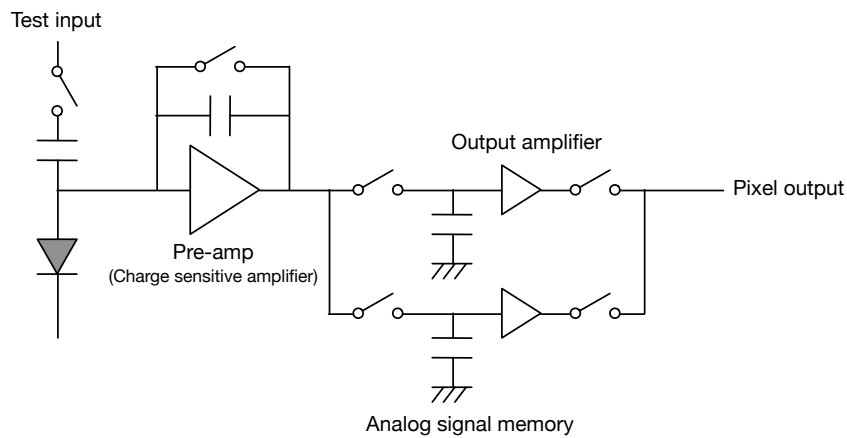


図 16 SOFIST Ver.1 ピクセル回路

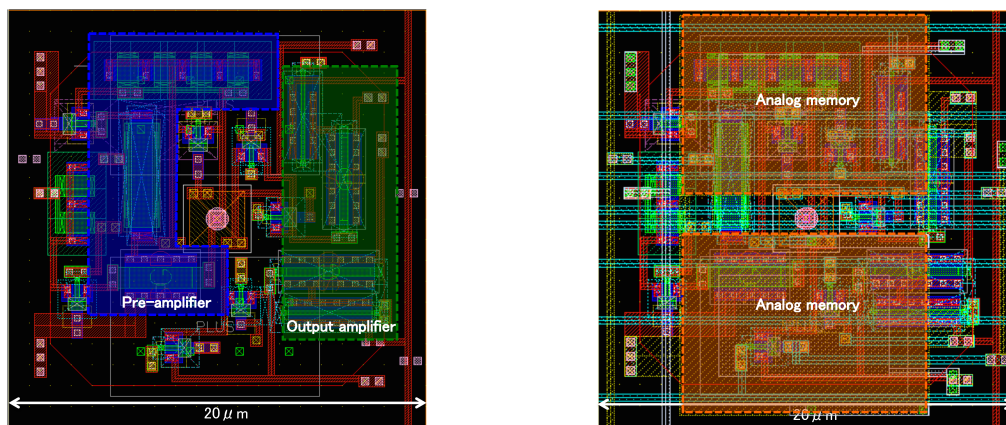


図 17 SOFIST Ver.1 ピクセル回路レイアウト, 左:下層, 右:上層

プリアンプ部の回路図構成を図 31 に示す。反転増幅アンプとしてソース接地増幅器を使用し、その入出力にフィードバックキャパシタとセンスノードのリセット用スイッチを接続する事で構成している。リセットではスイッチ接続時により入出力ラインを短絡させてセンスノード部の電荷を放出する。

今回設計したピクセル回路は Synopsys 社の HSPICE を使用した回路シミュレーションによって動作検証を行っている。ソース接地増幅器についてシミュレーションによる DC 特性を図 18 に示す。リセットスイッチによって、アンプリセット時は入出力電圧の一致する約 0.9 V で安定する。Ver.1 センサーでは、N ウェハを使用するので正孔を収集するため出力電圧は負方向へと変化する。増幅器の動作領域は出力が線形に変化する領域であるため、このアンプ構成での出力可能範囲は約 0.2-0.9 V となる。また、この範囲内での

増幅率 (Open-loop gain) は $|A| = 171.9$ である。

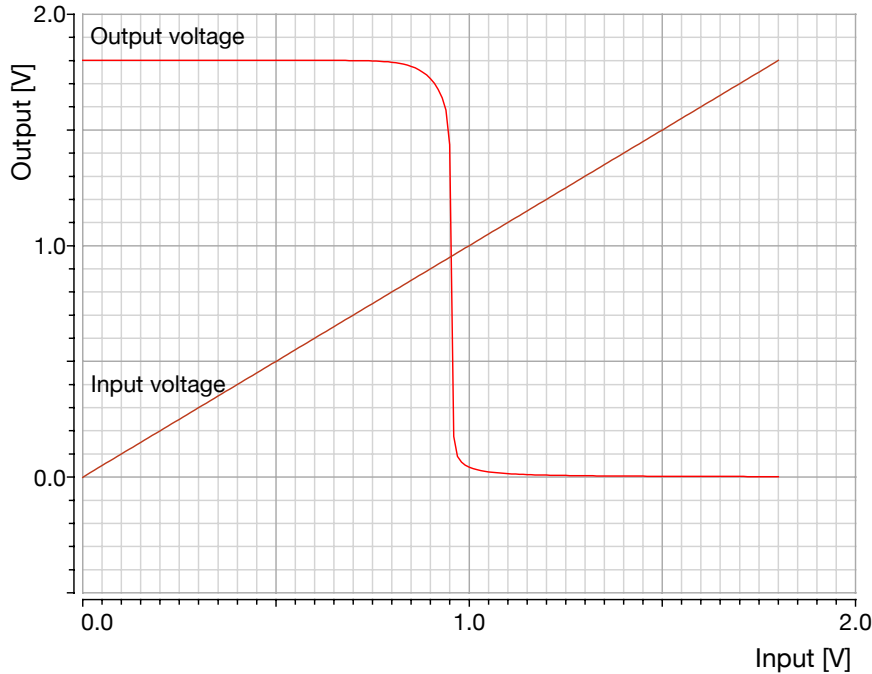


図 18 Ver.1:ソース接地回路 DC 特性

CSA を構成する重要な要素としてフィードバックキャパシタ C_f がある。センスノードに収集された電荷はこのフィードバックキャパシタへ蓄積されることで増幅されるため、CSA のゲインを設定する上で重要な要素となる。CSA の入出力電圧: V_{IN} , V_{OUT} 、またソース接地増幅器のゲインを $-A = V_{OUT}/V_{IN}$ とすれば、 C_f に蓄積される電荷量は、以下のように表される。

$$Q_f = C_f V_f = C_f (V_{IN} - V_{OUT}) = C_f (1 + A) V_{IN} = C_{IN} V_{IN}$$

CSA の入力容量は $C_{IN} = C_f (1 + A)$ となる。この時の、CSA の入力電荷に対する出力電圧のゲイン A_Q は、

$$A_Q = \frac{|V_{OUT}|}{Q_f} = \frac{A}{1 + A} \cdot \frac{1}{C_f} \approx \frac{1}{C_f} \quad (A \gg 1)$$

ただし、上記の計算は入力電荷が全てフィードバックキャパシタンスへ蓄積される場合の結果であり、実際の回路では入力端子 (センサーノード) に接続される容量 C_{SENS} との間で入力電荷は分割される。全入力電荷量 Q_{IN} と C_f に蓄積される電荷 Q_f との関係は、

$$\frac{Q_f}{Q_{IN}} = \frac{C_{IN} V_{IN}}{(C_{IN} + C_{SENS}) V_{IN}} = \frac{C_{IN}}{C_{IN} + C_{SENS}}$$

ここでセンスノード容量 C_{SENS} は検出部容量以外に、CSA 入力段 FET のゲート・ソース間容量等のセンサーノード部に接続される素子容量を含む合成容量である。この時の、CSA のゲインは、

$$A_Q = \frac{|V_{OUT}|}{Q_{IN}} = \frac{|V_{OUT}|}{Q_f} \cdot \frac{C_{IN}}{C_{IN} + C_{SENS}} = \frac{A}{1+A} \cdot \frac{1}{C_f} \cdot \frac{C_{IN}}{C_{IN} + C_{SENS}}$$

よって、高ゲインを維持するには C_{IN} が C_{SENS} と比較して十分に大きい必要がある。

Ver.1 センサーではそれぞれ $C_f = 4.2$ fF と 16.8 fF の異なるフィードバックキャパシタンスを持つ 2 種類のピクセル回路を設計した。荷電粒子により生成される電荷量はセンサー内での通過距離となる空乏層厚に依存するため、 4.2 fF ピクセル (High gain) は最終目標であるセンサー $50 \mu\text{m}$ 厚、 16.8 fF ピクセル (Low gain) は Ver.1 でのセンサー厚である $500 \mu\text{m}$ に対応するために設置している。

ソース接地増幅回路のゲインは $|A| = 171.9 \gg 1$ であるため、先の近似式を当てはめる。センスノード部の容量 C_{SENS} はセンサーノードに配置される後述の BPW のサイズによって変化する。BPW サイズ $16 \times 16 \mu\text{m}^2$ の場合、付加される容量は約 26 fF 程度となる。CSA 入力段のゲート容量も考慮しセンスノード部の全容量を $C_{SENS} = 30$ fF として計算する。以上のパラメータを使用すると High/Low それぞれの入力電荷量に対するゲイン値は約 $36.6 \mu\text{V}/e^-$ 、 $9.4 \mu\text{V}/e^-$ となる。センサー $50\mu\text{m}$ 、 $500\mu\text{m}$ 厚での入射粒子の MIP (Minimum Ionizing Particle) シグナル (約 $3,700$ 、及び $37,000e^-$) に対するゲイン値としては 0.135 mV/MIP、 0.349 mV/MIP となる。但し、CSA 入出力間の容量はフィードバックキャパシタンス以外に入力側 FET のゲート・ドレイン間容量や入出力配線間の寄生容量も含まれるため、実効的なフィードバック容量は増加することによって、さらにゲイン値は下がることを考慮する必要がある。

また、ピクセル回路にはキャリブレーション及びプリアンプの応答試験用のテスト入力端子が設けられている。テスト入力ラインでは、電圧パルス进行测试試験用の入力容量 ($C_{TEST} = 8.4$ fF) へ入力することで CSA に電荷を入力する事が可能となる。

プリアンプによって増幅されたシグナルはキャパシタによって構成されるアナログメモリへ保持される。メモリキャパシタは、メタル配線層を使用した MIM (Metal-Insulator-Metal) キャパシタで実装を行っている (図 17 右)。今回のアナログメモリの容量は 100 fF である。メモリはシグナルの蓄積前にプリアンプリセットを使用して一定電圧へリセットを行うが、リセットスイッチ素子の熱雑音やチャージインジェクション・クロックフィードスルーによるリセットノイズが発生する。このリセットノイズを低減させるにはキャパ

シタ容量をできる限り大きく設定しなければならない。Ver.1 のセンサーでは初段アンプの性能評価のためリセットノイズをなるべく小さくするため 100 fF とした。この場合でのリセットノイズ電圧は約 $64\mu\text{V}$ となる。このメモリサイズの容量値は、Ver.1 での評価結果を基に最適化を行うこと。

ピクセル回路の全体動作・性能評価として SPICE ミュレーションによって検証を行った。High gain のプリアンプを実装したピクセル応答性能の結果を図 19 に示す。プリアンプ入力・センスノードに $50\mu\text{m}$ 換算での MIP 相当のシグナル (約 $3700e^-$) に等しい電流パルスを入力している。このシミュレーションでは最大 5MIP までのシグナル電圧を観測した。電流入力によって変換した電圧値はリセットによって初期のリセット電圧に戻ることが確認される。また、リセット解除時に電圧値のシフトが確認されるが、これはリセットスイッチ動作によるチャージインジェクション、クロックフィードスルーに起因する電圧変動である。クロックフィードスルーはスイッチの電圧変動がゲートとソース・ドレイン間容量を介して、プリアンプの入出力ラインへ伝達される。チャージインジェクションではスイッチのゲート直下に蓄積された電荷が放出されることによって電圧変動が生じる。

図 20 に 1MIP 単位での出力電圧応答のプロットを示す。High gain のプリアンプに関しては 5 MIP 入力以上の出力線形性が確認されている。また、前述の通り実際には配線・素子間の寄生容量により動作特性は変化する。ピクセルレイアウト後の素子、配線間の容量抽出を実施した結果、配線寄生容量を含んだフィードバックキャパシタンスは High/Low gain で約 7.8 fF、21 fF となる。ピクセル内の全配線容量を含んだシミュレーションでのピクセル応答は図 20 赤線に示す。ピクセル応答より、素子・配線間容量含む実効的なゲイン値は High/Low gain で各 $20.5\mu\text{V}/e^-$ 、 $7.9\mu\text{V}/e^-$ まで低下していることを確認している。CSA のゲイン値について、設計パラメータによる設計計算値、シミュレーションでの計測値 (容量抽出あり、なし) の結果を表 8 まとめる。また、配線間容量を抽出した際のセンスノードと他配線間の寄生容量を High gain/Low gain ピクセルそれぞれについて表 9、10 にまとめる (表内の各端子名は、図 30 を参照)。センサーノード (SENSOR_NODE) に対しては CSA 出力 (AF_CSA)、電源・GND (VDD18, GND18)、リセット端子 (CF_RST_X_V) に繋がる容量成分が大きい。特にセンサーノードと CSA 出力間に対しては、フィードバック容量として影響するため、この端子間容量が特に CSA ゲインの低下につながっている。センサーノードと CSA 部の各端子間の配線容量削減がピクセル回路レイアウトで重要となる。

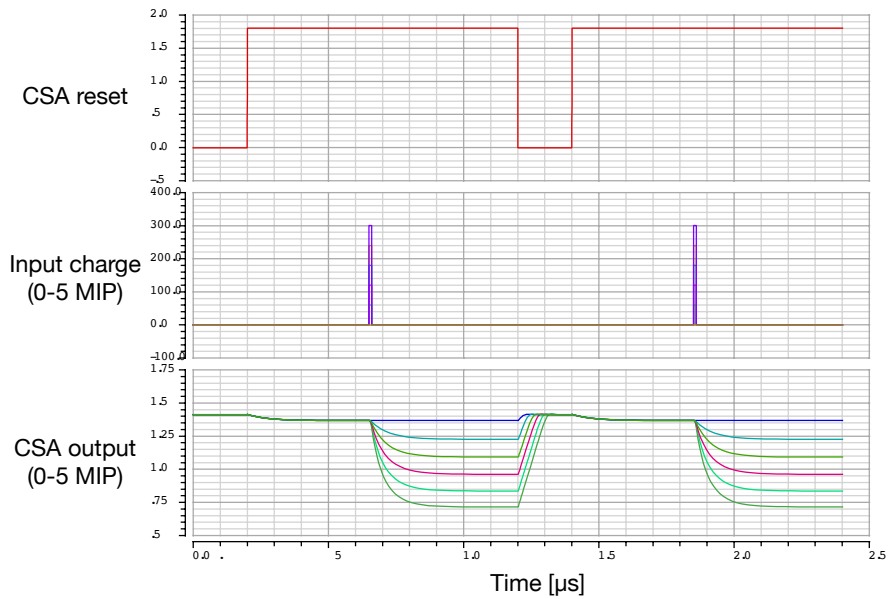


図 19 Ver.1:ピクセル回路応答シミュレーション, 上:CSA reset, 中央:Charge input, 下:Pixel output

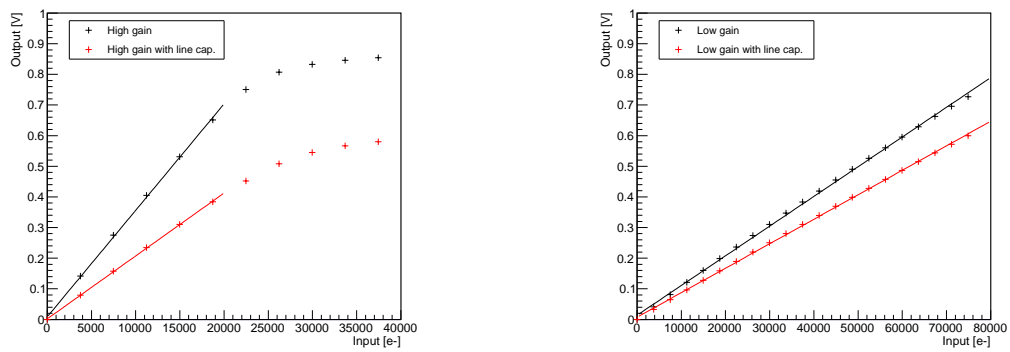


図 20 Ver.1:ピクセル回路出力線形性, 左:High gain, 右:low gain

表 8 CSA 回路のゲイン設計値、シミュレーション結果

-	設計値	Sim.(容量抽出なし)	Sim.(容量抽出あり)
High gain [$\mu\text{V}/\text{e}^-$]	36.6	34.7	20.5
Low gain [$\mu\text{V}/\text{e}^-$]	9.4	9.7	7.9

表 9 センスノード部・配線間寄生容量 (High gain)

Source	Destination	抽出容量値 [F]
SENSOR_NODE	AF_CSA	2.22E-15
	GND18	1.22E-15
	VDD18	1.21E-15
	CF_RST_X_V	1.14E-15
	SW_TEST_PULSE_V	6.66E-16
	STORE1	6.34E-16
	STORE2	4.93E-16
	PIXEL_RD1_X_V	4.30E-16
	CSA_BIAS_P_V	4.20E-16
	STORE2_ST_V	3.15E-16
	TEST_PULSE_V_VAL	3.10E-16
	PIXEL_RD2_X_V	2.80E-16
	STORE1_ST_X_V	2.55E-16
	STORE1_ST_V	2.34E-16
	STORE2_ST_X_V	2.16E-16
	COLOUT	4.49E-17

表 10 センスノード部・配線間寄生容量 (Low gain)

Source	Destination	抽出容量値 [F]
SENSOR_NODE	AF_CSA	2.76E-15
	VDD18	1.19E-15
	GND18	9.96E-16
	CF_RST_X_V	6.70E-16
	SW_TEST_PULSE_V	6.65E-16
	STORE1	6.24E-16
	STORE2	4.93E-16
	CSA_BIAS_P_V	4.25E-16
	PIXEL_RD1_X_V	3.83E-16
	STORE2_ST_V	3.15E-16
	TEST_PULSE_V_VAL	3.08E-16
	PIXEL_RD2_X_V	2.80E-16
	STORE1_ST_X_V	2.55E-16
	STORE1_ST_V	2.36E-16
	STORE2_ST_X_V	2.16E-16
	COLOUT	4.50E-17

電荷入力以外にテスト電圧入力に対する応答結果 (容量抽出後のシミュレーション結果) を図 21 に示す。シミュレーション結果での High/Low gain 間のゲイン比は約 2 倍となっている。テスト電圧入力結果では、出力応答について直線近似からの歪みが確認されている (図 22: 左上)。今回のピクセル回路ではフィードバック及びテストパルス入力容量として、実装面積削減のため DMOS(Depletion MOS) FET を配置し、そのゲート・ソース/ドレイン間容量を使用している。この素子はゲートとソースドレイン間の電位差によって容量が変化するため、テスト電圧による出力の歪みはこの容量変動に起因していると考えられる。

DMOS による出力の歪みを検証するため、フィードバック・テストパルス入力容量をそれぞれ DMOS から理想的なキャパシタへ変更した際の出力応答と直線からの残差を図 22 に示す。結果より、大きな変動はテストパルス入力容量変動に起因していることが確認され、実際のセンサー使用時はフィードバック容量のみが使用されるため出力段の歪みは低減する。そのため、今回のピクセル回路では DMOS による容量をそのまま使用している。

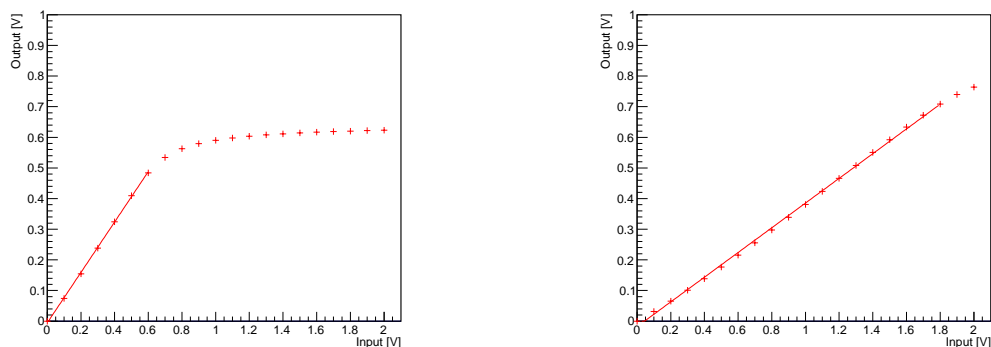


図 21 Ver.1:ピクセル回路テストパルス出力線形性, 左:High gain, 右:Low gain

Ver.1 センサーでのピクセルアレイマップを図 23 に示す。High/Low gain のピクセル回路はそれぞれ、 10×50 、 40×50 のピクセルアレイを形成している。さらに、Low gain に関してはピクセル入力となるセンスノードに繋がる BPW サイズを変更したパラメータを 3 種類を実装した (図 24)。各 BPW サイズは最適化評価のため 12×12 、 14×14 、 $16 \times 16 \mu\text{m}^2$ を設定した。BPW サイズによるピクセル回路応答性能を比較検証し、最適なサイズを見積りを行う。

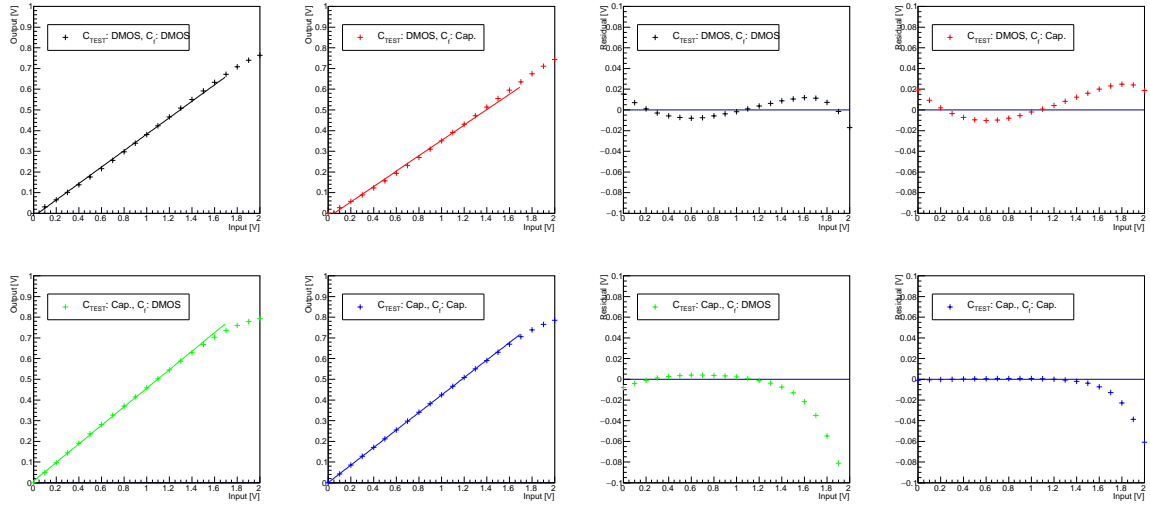


図 22 High gain テストパルス出力, 左:Pixel output, 右:Residual

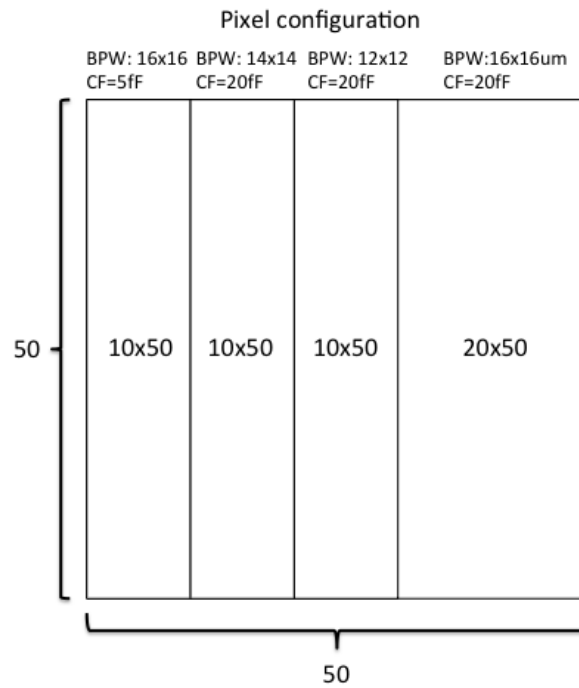


図 23 Ver.1:ピクセル回路配置

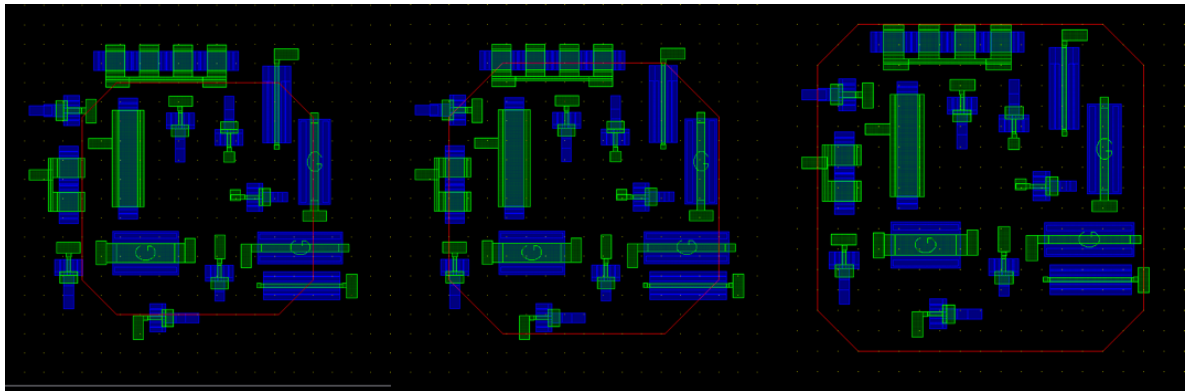


図 24 Ver.1:ピクセル回路 BWP(赤) サイズ, 左:12×12, 中央:14×14, 右:16×16

■ピクセルノイズ性能 最後に、SOFIST Ver.1 のピクセル回路について設計した CSA とメモリを含む回路系のノイズ検討を行った。メモリキャパシタへ蓄積されるノイズは以下に分けられる。

- CSA のリセット動作に起因するリセットノイズ
- CSA 内の FET に起因する回路ノイズ

リセットノイズは、リセット解除後のサンプルホールド時での蓄積される熱ノイズ (KT/C ノイズ) やリセットスイッチで発生するクロックフィードスルー・チャージインジェクションによって発生する。クロックフィードスルーはスイッチの電圧変動がゲートとソース・ドレイン間容量を介して、プリアンプの入出力ラインへ伝達される。また、チャージインジェクションではスイッチのゲート直下に蓄積された電荷が放出されることによって電圧変動が生じる。これらの影響により、リセット後のメモリで保持されるオフセット電圧に変動が生じることがリセットノイズとして現れる。

CSA 回路内の FET に起因するノイズは、熱ノイズとフリッカノイズがある [31]。回路内の熱ノイズは FET のソース・ドレイン間のチャンネル内での電子の熱振動によるものであり、雑音電力・スペクトルは周波数に依存せず一定である。一方フリッカノイズは FET のゲート酸化膜界面において、不規則に電荷がトラップ・放出されることにより発生する。フリッカノイズのスペクトルは周波数に反比例するため、高周波領域では低くなる。熱ノイズとフリッカノイズのノイズスペクトルが一致する周波数をコーナー周波数と呼び、測定帯域内において熱ノイズ・フリッカノイズのどちらが優位であるかを測る指標となる。

FET 素子のソース・ドレイン間のチャンネル内で発生する熱ノイズは、ノイズ電流源として以下の式でモデル化される。

$$\overline{i_N^2} = 4kT\left(\frac{2}{3}g_m\right) [A^2/Hz]$$

ここで g_m は MOSFET のトランスコンダクタンスを示す。また、上記の式は雑音の各周波数成分のスペクトル密度となっている。CSA 内のソース接地回路は NMOS, PMOS FET 各 1 素子で構成されており (図 31 の N1, P11 素子)、ソース接地回路のノイズはこの 2 素子からの合成ノイズとして記述される。

$$\overline{i_{N,th}^2} = \overline{i_{N,n}^2} + \overline{i_{N,p}^2} = 4kT\left(\frac{2}{3}g_{m,n} + \frac{2}{3}g_{m,p}\right)$$

今回の CSA 回路において使用した FET 各素子の動作電圧でのトランスコンダクタンスは、 $g_{m,n} = 14.4 \mu S$, $g_{m,p} = 4.3 \mu S$ 程度である。このノイズ電流源によって、ソース接

地回路の出力に現れるノイズ電圧は2素子の出力抵抗によって以下に記述される。

$$\overline{v_{N,out,th}^2} = 4kT \left(\frac{2}{3}g_{m,n} + \frac{2}{3}g_{m,p} \right) (r_{o,n} \parallel r_{o,p})^2$$

上記が、CSA出力端子で観測される熱ノイズとなる。

フリッカーノイズについては、1つのFET素子のゲート電極に発生するノイズ電圧源としてモデル化される。

$$\overline{v_{N,in,fl}^2} = \frac{K}{C_{ox}WL} \frac{1}{f} [V^2/Hz]$$

$$\overline{i_{N,fl}^2} = \overline{v_{N,in,fl}^2} \cdot g_m^2 = \frac{K}{C_{ox}WL} \cdot \frac{1}{f} g_m^2 [A^2/Hz]$$

上記の式において C_{ox}, W, L はFET素子の単位面積当たりのゲート容量、ゲート幅、ゲート長を示す。 K はデバイスの製造プロセスに依存する定数である。ただし、この式は近似であり実際のフリッカーノイズはバイアス電流値、温度等にも依存する。熱ノイズと同様にこのモデルでのNMOS, PMOS FETの各素子で発生する合成ノイズが、出力として観測される。

$$\overline{v_{N,out,fl}^2(f)} = \frac{K}{C_{ox}WL} \frac{1}{f} \cdot (g_{m,n}^2 + g_{m,p}^2) (r_{o,n} \parallel r_{o,p})^2$$

上記の熱ノイズ、フリッカノイズの合計が、ソース接地回路の出力に現れるノイズとなる。

$$\overline{v_{N,out}^2(f)} = \overline{v_{N,out,th}^2} + \overline{v_{N,out,fl}^2(f)} [V^2/Hz]$$

上記のノイズ値はスペクトル密度であるため、CSA回路の周波数帯域内で積分した結果が最終的なCSA回路の出力ノイズとなる。ここで、Ver.1のCSA回路とメモリキャパシタを含む回路系を考える。シグナル検出部(CSA入力)に接続されるセンスノード容量を C_{SENS} とする (C_{SENS} はセンサー容量とCSAの入力段FET部ゲートの合成容量)。CSA出力にはメモリとなる負荷容量 C_L が接続される。各容量のインピーダンスを $Z_1 = 1/sC_{SENS}$, $Z_2 = 1/sC_f$, $Z_3 = 1/sC_L$ とおいて ($s = i\omega$, $\omega = 2\pi f$)、この時の回路において出力 (V_{OUT}) の伝達関数を見ると、

$$H(f) = \frac{1}{1 + r_o \left(\frac{1}{Z_3} + \frac{1}{Z_1 + Z_2} \right)}$$

$$= \frac{1}{1 + 2\pi i f r_o \left(C_L + \frac{C_f C_{SENS}}{C_f + C_{SENS}} \right)} = \frac{1}{1 + s r_o (C_L + \mu C_{SENS})} \quad \left(\mu = \frac{C_f}{C_f + C_{SENS}} \right)$$

r_o は増幅回路(ソース接地増幅器)の出力抵抗である。また、フィードバックキャパシタンスがあることでCSAの出力は逆位相で入力側へフィードバックされるため、出力ノイ

ズは抑制される。この時の出力ノイズはフィードバックによる抑制効果 ($1/(1+\mu A)$) を含めて、最終的な CSA 回路の出力換算雑音は以下で表される。

$$\overline{V_{N,out}^2} = \int \frac{1}{(1+\mu A)^2} \cdot \overline{v_{N,out}^2(f)} \cdot |H(f)|^2 df$$

上記の計算は、CSA 回路の出力ノードに発生するノイズについての議論であるが、さらに入力側に現れる入力換算の雑音電圧が問題となる。これは、各 FET の熱・フリッカ雑音によるノイズ電流が、入力側 FET のゲート電圧の変動として観測される。入力側 NMOS FET で観測される入力換算雑音は各 FET の雑音電圧の合計として以下のように記述される。

$$\overline{v_{N,in}^2} = \overline{v_{n,th}^2} + \overline{v_{p,th}^2} + \overline{v_{n,fl}^2} + \overline{v_{p,fl}^2} \quad [V^2/Hz]$$

ここで、各項は入力側 FET(NMOS FET) ゲート換算で表される NMOS,PMOS FET のノイズ電圧である。

$$\begin{aligned} \overline{v_{n,th}^2} &= 4kT \frac{2}{3} \frac{1}{g_{m,n}} \\ \overline{v_{p,th}^2} &= 4kT \frac{2}{3} \frac{g_{m,p}}{g_{m,n}^2} \\ \overline{v_{n,fl}^2} &= \frac{K}{C_{ox}W_nL_n} \frac{1}{f} \\ \overline{v_{p,fl}^2} &= \frac{K}{C_{ox}W_pL_p} \frac{1}{f} \frac{g_{m,p}^2}{g_{m,n}^2} \end{aligned}$$

$g_{m,n/p}$ 、 $W_{n/p}$ 、 $L_{n/p}$ は NMOS、PMOS それぞれのトランスコンダクタンス、ゲート幅、ゲート長を示す。入力側ゲートで観測されるノイズ電圧は、CSA 入力部に接続された容量 (C_f :フィードバック容量, C_{SENS} :センスノード + 入力側 FET ゲート容量) を介して雑音電流に変換される。

$$\overline{i_{N,in}^2} = \overline{v_{N,in}^2} \cdot \omega^2 (C_f + C_{SENS})^2$$

この雑音電流 (さらにセンスノードから流れ込むリーク電流) がフィードバック容量 (C_f) に流れ込むことで、アンプの出力側に雑音電圧として現れる。CSA の最終的な出力雑音電圧は、これらの入力ノード側に現れる入力換算雑音と前述の出力ノード側に現れる出力換算雑音の合計として観測されることになる。

CSA 及びメモリ回路の構成において、熱・フリッカーノイズによる合計ノイズを見積もるためにシミュレーション上のノイズ解析を実施した。SPICE シミュレーション内で各 FET 素子の実測値より抽出されたパラメータを基にしたノイズモデルが構築されており、

このモデルによる解析によって、ピクセル回路素子のノイズスペクトルの見積もりを行う。Ver.1 のソース接地増幅回路に対してセンスノード容量: $C_{SENS} = 30 \text{ fF}$ 、フィードバック容量: $C_f = 4.2 \text{ fF}$ 、負荷容量: $C_L = 100 \text{ fF}$ を接続してノイズ解析を行った。シミュレーション解析での最大 100MHz までの帯域幅でのノイズスペクトル分布を図 25 に示す。また、CSA の出力の周波数依存性についても AC 解析を行った。CSA ゲイン (A_Q) の周波数依存性を考慮し各周波数でのゲイン値を計算し、このゲイン値と出力ノイズスペクトルより入力換算での入力雑音電子数 (ENC) の計算を行い積算した結果、約 110 e- が得られた。

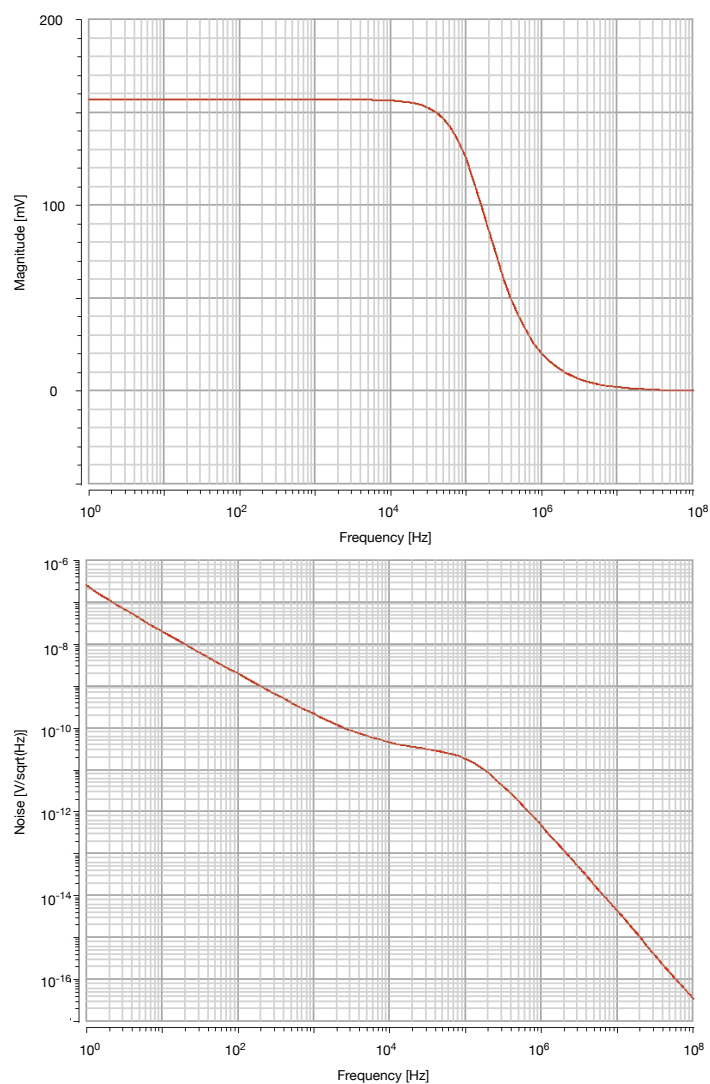


図 25 Ver.1:CSA 回路 AC 解析シミュレーション結果、上:CSA 出力 (入力:1 mV)、下: 出力ノイズスペクトル

■Column ADC Ver.1 で設計を行った Column ADC 回路は Wilkinson 型の ADC を採用している (図 26)。ピクセル出力に対して比較電圧として時間に比例して変化するランプ波形を比較器へ入力する。比較器回路は、キャパシタとインバータ回路を組み合わせた、チョッパーインバータ型コンパレータを採用している (図 27)。キャパシタに基準となる閾値電圧を保持し、入力電圧との差分をインバータで増幅することにより、入力される比較電圧によって High/Low のデジタル出力を得る。コンパレータ出力波形の時間応答性能を上げる (High/Low の切り替わり時間) ために、2 段のチョッパーインバータを実装して増幅度を向上させている。

閾値となるピクセル出力電圧とランプ電圧を比較し、ランプ電圧が閾値を上回るまでの時間経過をデジタルカウンタで計測する事でデジタル値へと変換を行う。デジタルカウンタはシリアル接続した D-FF で構成される非同期式カウンタを実装した。カウンタ回路はマスタスレーブ型 D-FF を直列接続した、8 bit のバイナリカウンタで構成している。

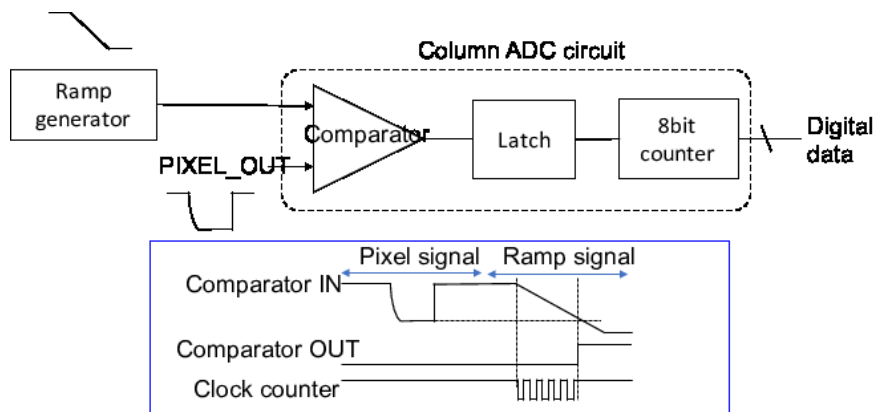


図 26 Column ADC 回路構成

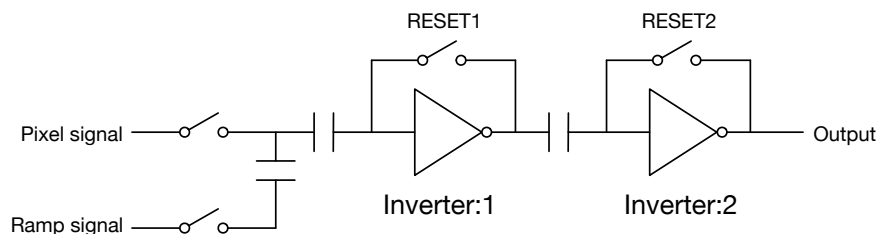


図 27 チョッパーインバータ型コンパレータ

Column ADC 回路での動作タイミングチャートを図 28 に示す。ADC の動作は前段コンパレータでのサンプル・ホールドと、後段カウンタによるデジタル変換で構成さ

れる。コンパレータ回路へのサンプル・ホールドに必要な時間は約 $2 \mu\text{s}$ 程度となっている。AD 変換の時間はカウンタのビット幅と動作クロックによって決定される。今回実装した ADC 回路では 8bit のカウンタで、100 MHz の動作クロックを想定し設計を行った。100 MHz で動作する場合 1 回の変換時間は $10 \text{ ns} \times 256 \text{ counts} = 2.56 \mu\text{s}$ となる。また、ADC 回路のシグナル入力レンジは 1 V と設定しており、ADC の分解能は $1 \text{ V} / 256 \text{ counts} \sim 3.9 \text{ mV/bit}$ と計算される。

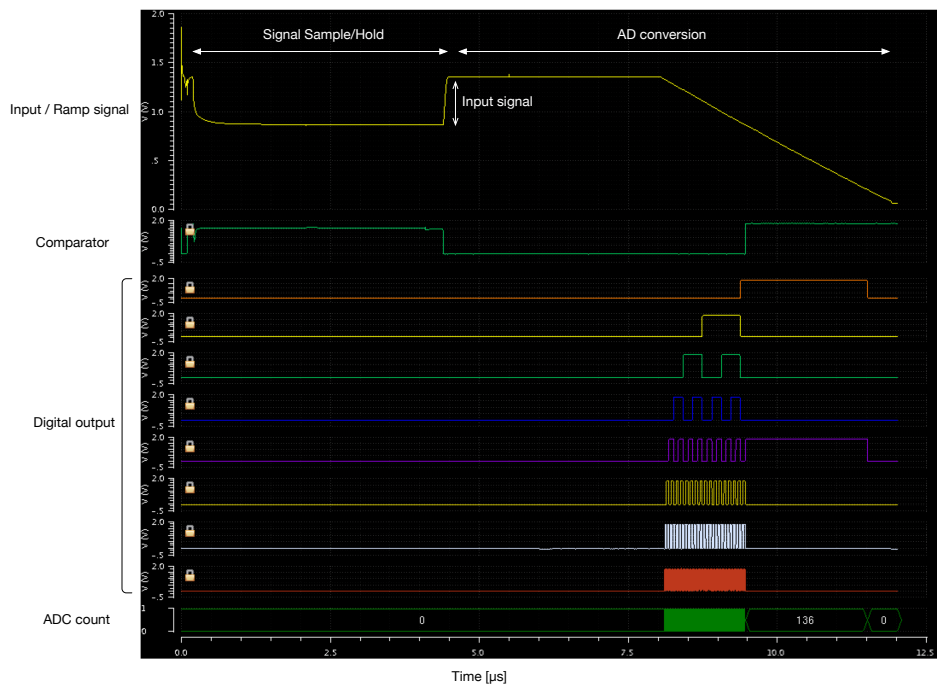


図 28 Column ADC 動作タイミングチャート

この ADC 回路での入力レンジ、デジタル変換精度は入力するランプ波形によって決まる。今回実装したランプジェネレータでは、大型のキャパシタとキャパシタより電荷を抜き出す定電流源回路で構成した。キャパシタサイズ $C = 2.56 \text{ pF}$ で $I = 1 \mu\text{A}$ の定電流源を使用することで、 $t = 2.56 \mu\text{s}$ の時間経過で $V = I \cdot t / C = 1 \text{ V}$ 変化するランプ波形を生成している。また、ランプ電圧の開始値はチップ外より任意に設定可能としており、ADC のオフセット調整及びペDESTAL値の AD 変換・測定をすることができる。図 29 に SPICE シミュレーションで動作検証をしたランプジェネレータの出力波形を示す。波形出力を直線フィッティングにより残差を計算した結果より、約 $2.5 \mu\text{s}$ 内で ADC の要求精度となる $3.9/2 = \pm 1.95 \text{ mV}$ 以下の残差を達成することが出来ている。

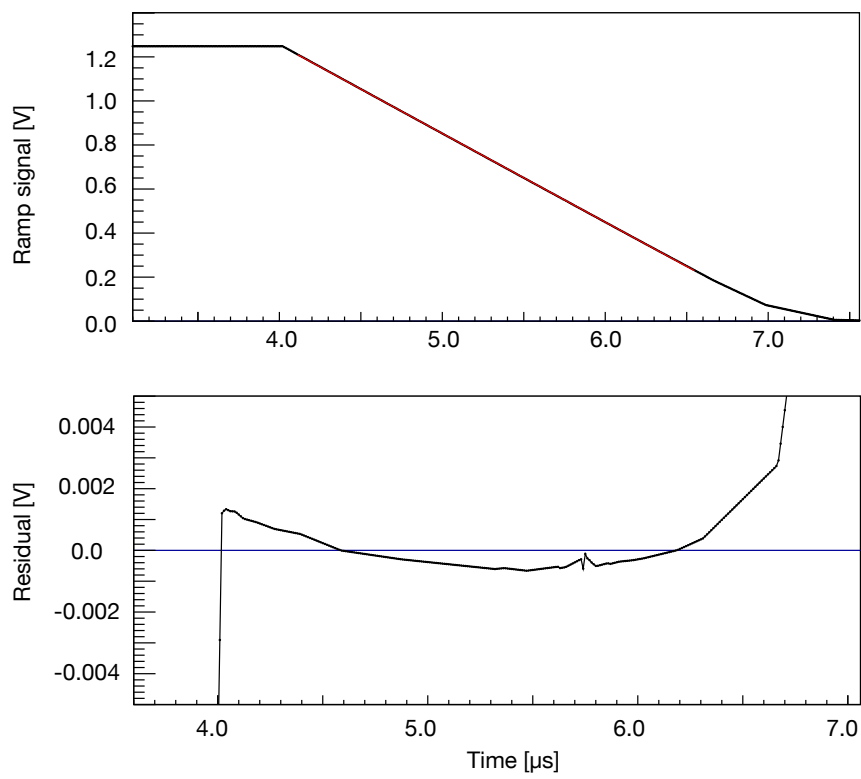


図 29 Column ADC ランプ波形シミュレーション結果, 上:Ramp waveform, 下:Residual

4.2.3 詳細回路図

SOFIST Ver.1 において設計したピクセル及び、ADC の詳細回路図を説明する。Ver.1 チップのピクセル詳細回路図を図 30 に示す。ピクセル回路構成としては、初段のプリアンプ (I27) と 2 つのアナログメモリ (C1,C3) から成る。アナログメモリは MIM キャパシタを使用し、それぞれ 100 fF の容量を設定している。プリアンプからアナログメモリへの接続は、CMOS スイッチを使用して入力の切り替えを行う。アナログメモリに蓄えられたシグナルは、カラムバッファ用ソースフォロワ (P0,P4) を経由してピクセルから出力される。ソースフォロワ用バイアス電流源は、ピクセル外の各カラム読み出しライン毎に配置されている。各カラムバッファは 1 μA のバイアス電流で駆動される。ピクセル出力の際には出力制御用の PMOS スイッチ (P9,P10) のいずれかを ON にすることで、バイアス電流源とカラムバッファが接続されて読み出し可能となる。

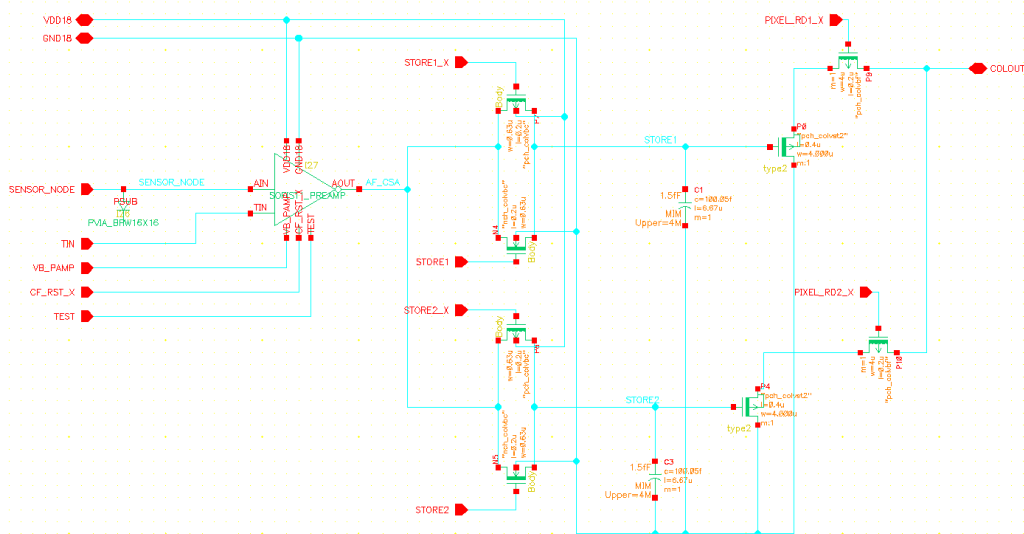


図 30 Ver.1:ピクセル詳細回路図

ピクセル回路のプリアンプは図 31 に示すチャージセンシティブアンプとなる。チャージセンシティブアンプは、ソース接地回路とフィードバックキャパシタから成る。ソース接地回路は入力側 NMOS(N1)、バイアス側 PMOS(P11) で構成されており、750 nA の電流を流して駆動する。フィードバックキャパシタ (D_CF) は DMOS によるゲート容量で

構成しており、1個のDMOSあたり4.2fFとなる。High gainのピクセルではこのDMOSを1個、Low gain側では4個をピクセル内に配置している。フィードバックキャパシタに蓄積された電荷をリセットするためのPMOSスイッチ(P3)がDMOSに対して並列接続されている。また、ピクセル試験用のテスト入力端子(TIN)から、DMOSのテストインプットキャパシタ(D0)を介して電荷を入力する。テストパルス入力時はTESTスイッチ(N3)をONにすることで入力可能となる。

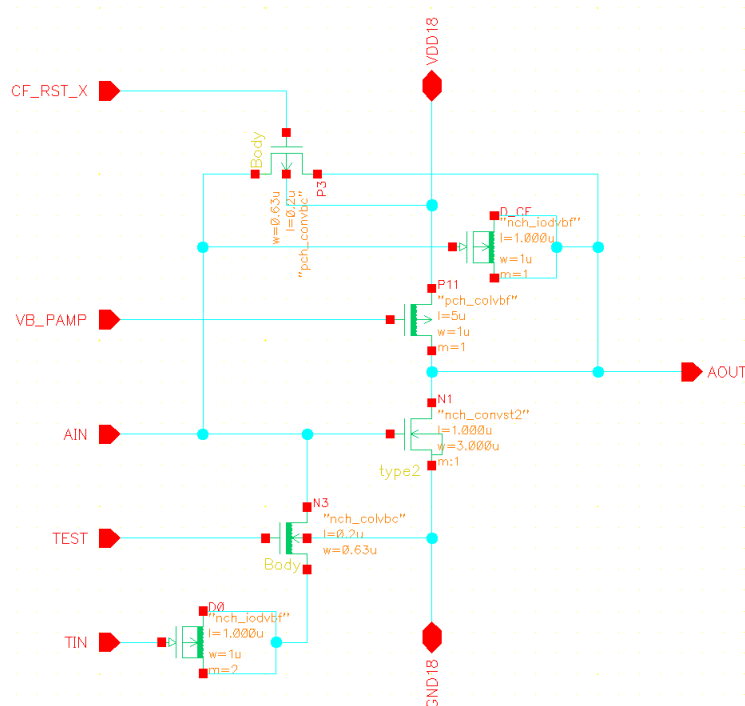


図 31 Ver.1:初段増幅器 (CSA) 詳細回路図

ピクセルシグナルの読み出しに使用する ADC 回路の全体回路図を図 32 に示す。ADC 回路はピクセルシグナルとランプ波形を比較するコンパレータ (COMP) とコンパレータ出力をラッチする SR-FF(SR) とデジタルカウントを行う 8 bit カウンタから構成される。コンパレータと SR-FF の間には、コンパレータの出力シグナル極性を合わせるためのインバータ (IM) を配置してる。

ADC 用コンパレータの詳細回路図を図 33 に示す。コンパレータは 2 段のチョッパインバータ型を採用しており、1 段目の MIM キャパシタ (C2) とインバータ (N0,P11)、2 段目の MIM キャパシタ (C3) とインバータ (N4,P13) から構成される。各インバータには、入出力を短絡させてリセットを行うための CMOS スイッチ (1 段目:N1,P3, 2 段目:N5,P5)

が配置されている。コンパレータへの入力はピクセル入力 (FROM_PIX) とランプ入力 (FROM_RAMP) のラインを交互に切り替える。切り替えは各入力ラインの CMOS スイッチ (ピクセル入力:N2,P0, ランプ入力:N13,P13) で実施する。回路保護のためランプ入力ラインには保護 FET(P14) を配置して 1.8V 以上の入力を遮断している。ランプ入力ラインはコンパレータの入力部と AC 結合 (C1) されている。ランプ波形レンジを調整することなくコンパレータへ入力可能である。また、コンパレータ動作時のキックバックによるランプ波形の変動を抑えるためソースフォロワ (N14,N16) を追加した。ピクセル入力ラインはピクセル内カラムバッファを動作させるためのバイアス電流源 (P_COL_SF) を配置してある。コンパレータの確実な制御のため制御入力ライン (EN_RAMP, EN_PIX, RST_COMP1, RST_COMP2) は、すべてインバータ及びデジタルバッファ (図 33 上部) を配置して接続している。

ADC 内部のデジタルカウンタの回路図を図 34 に示す。デジタルカウンタは 8 個 D-FF から構成される。8 bit の非同期カウンタであり、各 D-FF 出力が次段の D-FF のクロック入力と接続されている。デジタルカウンタ入力は、100MHz クロックの入力ライン (IN) と入力制御を行うイネーブル (EN_X) の論理積で構成されており、EN_X が Low の時のみクロック入力及びカウンタ動作する。各カウンタの D-FF の出力を CMOS スイッチを介して出力して ADC の 8 bit データとなる。各 D-FF の回路図は図 35 に示すように、リセット付きマスタースレーブ型 D-FF を採用している。

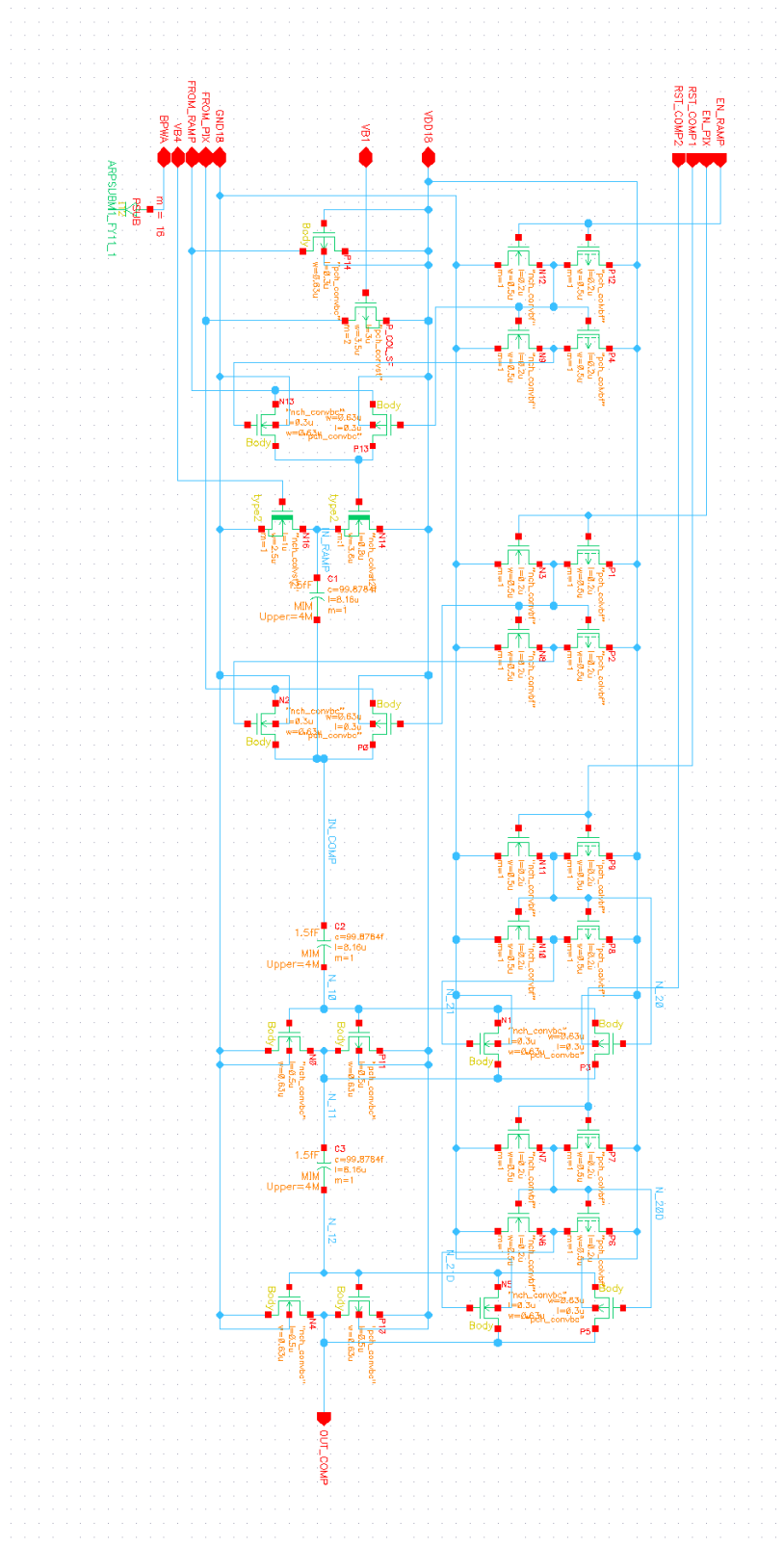


図 33 Ver.1:Column-ADC 内コンパレータ詳細回路図

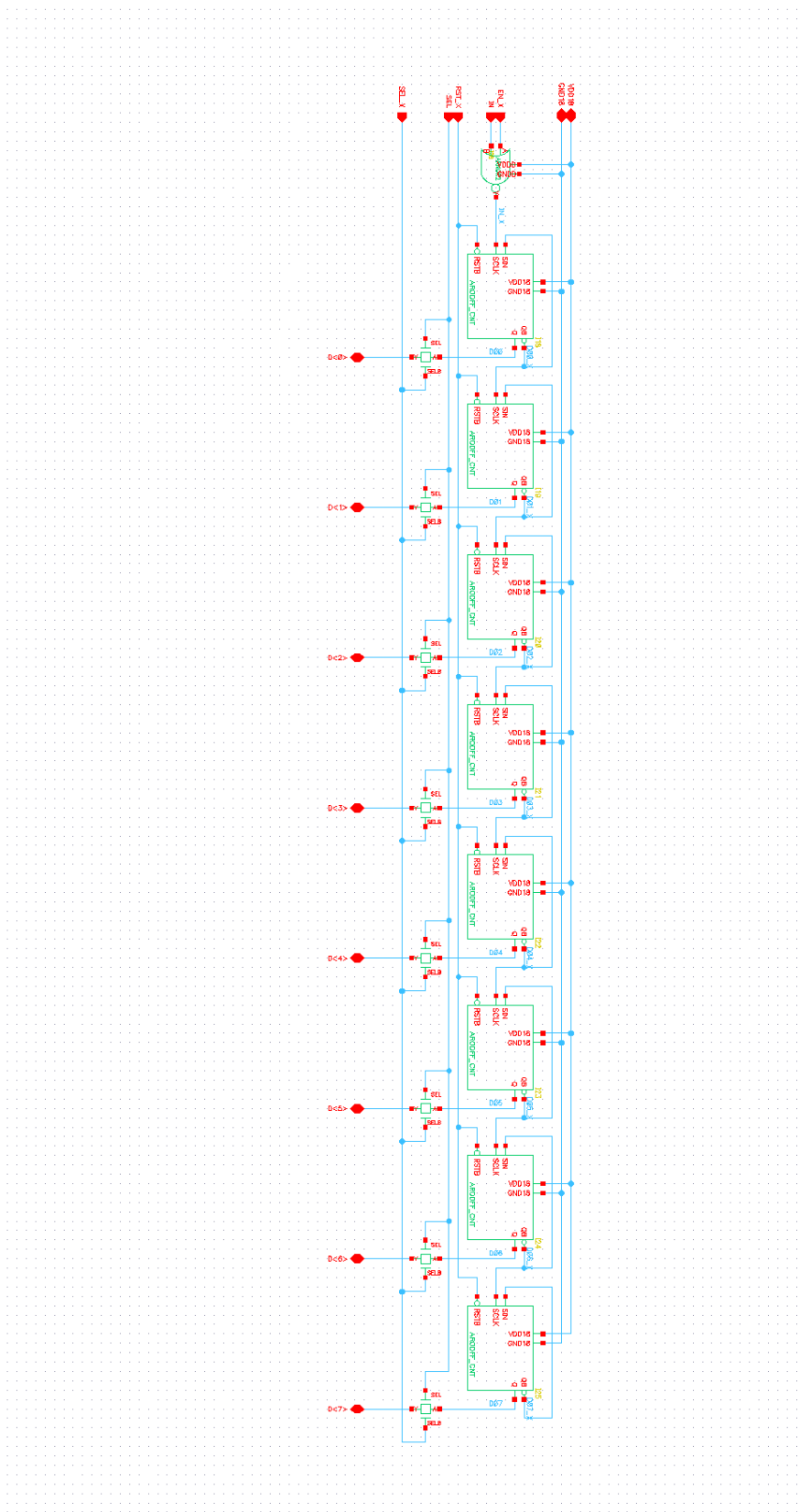


図 34 Ver.1:Column-ADC 内カウンタ詳細回路図

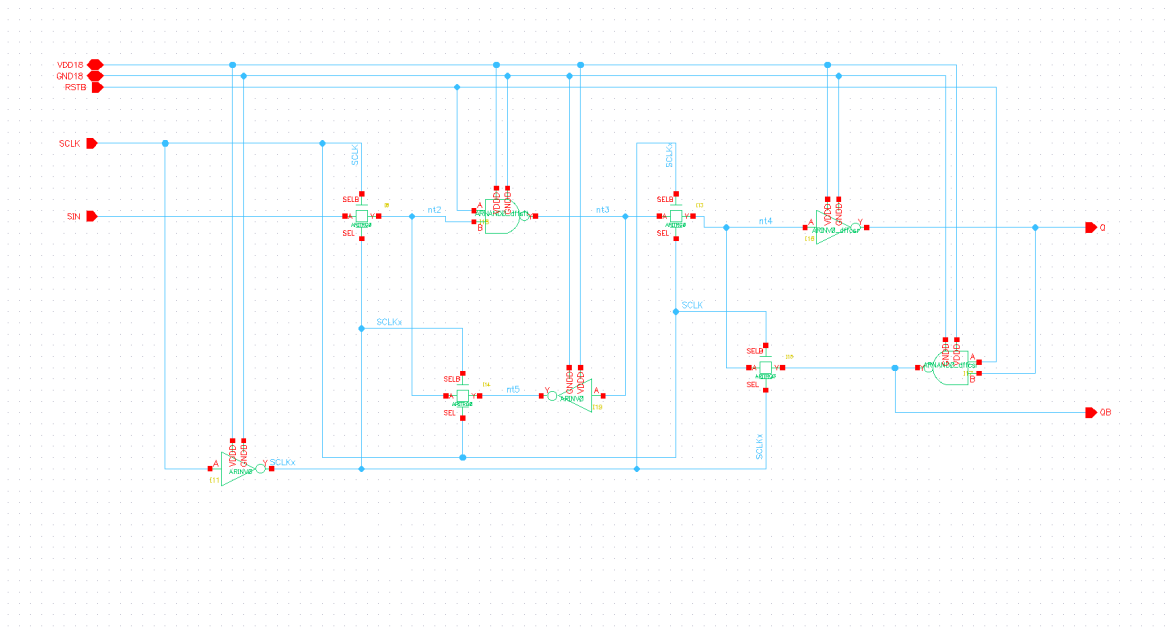


図 35 Ver.1:カウンタ用 D-FF 詳細回路図

4.2.4 評価試験

Ver.1 のセンサーチップは 2015 年に設計が完了し、既にチップを製造している (図 36)。製造されたチップについて性能評価を行い今後のセンサー試作に向けたフィードバックを行っている。センサーの性能評価では、評価環境として KEK 測定器開発室で開発された SEABAS(Soi EvAluation BoArd with Sitcp) ボード [32] を使用している。ボード内の FPGA(Xilinx Virtex-5) を利用してセンサーチップの制御とデータ取得を行っている。また、FPGA から TCP 通信 (SiTCP) を使用した PC 接続によって、遠隔制御とデータ収集システムの構築してセンサー試験を実施した。

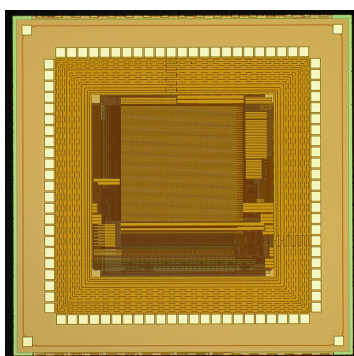


図 36 SOFIST Ver.1 チップ写真

Ver.1 の試験内容としては、以下の項目に分類して試験を行った。

1. ピクセル回路・ADC 単体試験
2. センサー全体動作試験
3. 荷電粒子ビーム試験

各センサー試験では常温での性能評価を行うため冷却システム等は使用せず、基本的に室温環境で評価を行った。

■基本動作・単体性能 最初にピクセル回路単体、及び Column-ADC 回路に対しての動作応答を確認した。ピクセル回路の単体応答を測定するため、アナログ読み出しラインを使用して任意のピクセル出力をモニタした。ピクセル回路に対して、周期的なリセットシグナルとリセットに同期したテストパルス電圧を入力してアナログシグナル出力応答を確認している。図 37, 38 にテストパルス電圧による応答をオシロスコープでモニタした結果を示す。この結果では、リセットパルスを 550 ns 間隔・200 ns 幅で入力している。リ

セットスイッチが ON → OFF に切り替わることにより、リセット解除後の電圧値の変動が発生している。また、テストパルス入力タイミングで、ピクセル出力が大きく変化していることが確認できており、ピクセル回路部が動作していることが確認できている。High gain 側ではプリアンプ部の出力応答については、立ち上がるまで約 100 ns の安定時間が必要となる。蓄積時間が短くなるに従い電圧安定前にシグナルを保持することによって、シグナル波高が減衰する可能性がある。安定時間が長くなる要因としてはピクセル回路内のプリアンプ周囲の配線容量増加とプリアンプに接続されるメモリキャパシタの負荷容量の影響であり、今後のプリアンプ設計において改善が必要となる。

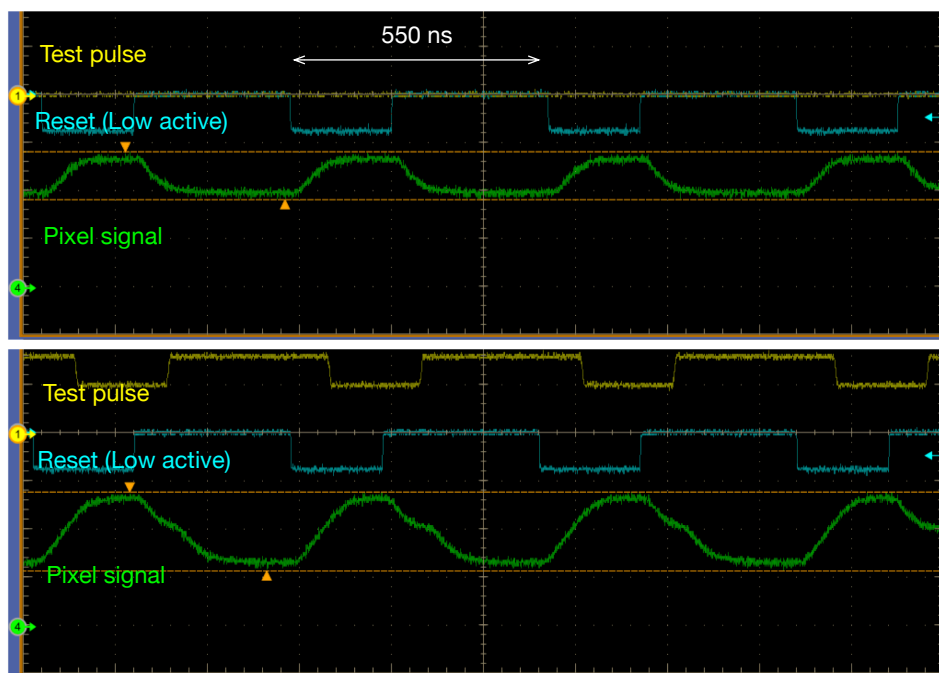


図 37 Ver.1:High gain ピクセル回路テストパルス応答観測結果, 上:テストパルスなし, 下:テストパルスあり

次に ADC の出力特性を確認するため、テスト電圧入力に対する ADC デジタル出力を測定した。各入力電圧に対する ADC 出力相関を図 39 に示す。テスト電圧入力では、ADC の入力段で 2 つの入力電位を切り替えることで、その電位差を AD 変換している。ピクセルからの入力電圧はマイナス極性のため、この計測においても実際にはマイナス方向の電圧値を入力している。測定結果では入力電圧に比例したデジタル出力を返すことが確認できているが、入力電圧 1 V 付近では線形性が崩れている。これは、ランプ波形電圧が GND 電圧に近づいたことにより傾きが緩やかに変化してしまっていることに起因する。出力応答の線形性の確認するため直線フィッティングを行い、直線からの残差を計算

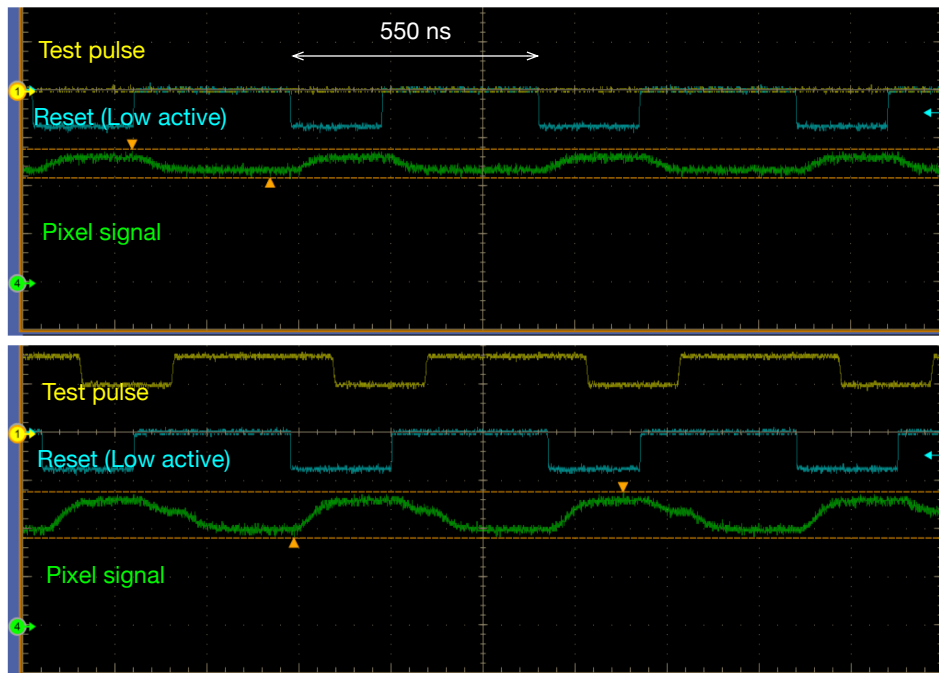


図 38 Ver.1:Low gain ピクセル回路テストパルス応答観測結果, 上:テストパルスなし, 下:テストパルスあり

した。残差としては約 0.8 V の入力まで 1bit 以下 (± 1.95 mV) の精度を達成できた。また、近似直線より ADC のゲインを確認すると約 3.99 mV/bit となり、設計値に近い応答性能を確認できた。

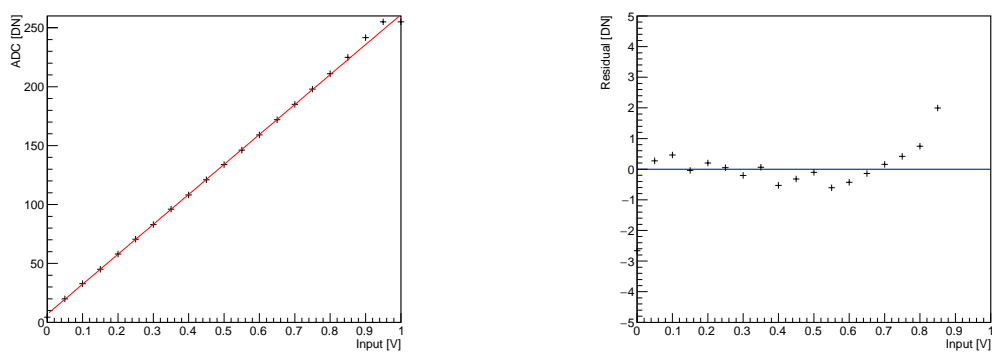


図 39 Ver.1 Column ADC 回路出力結果, 左:ADC output, 右:Residual

■センサー全体動作 ピクセル回路・ADC の単体動作試験完了後、実際に全ピクセルシグナルを ADC で読み出しを行いセンサー全体動作試験を行っている。Ver.1 チップは図 40

に示すタイミングチャートでセンサーを動作試験を行った。SOFIST 検出器についてはグローバルシャッターモード（全ピクセルが一括でリセット・シグナルの蓄積を行う）で動作する。シグナル蓄積中は、センサーウェハ内で発生する暗電流を除去するため、周期的なパルス入力でピクセル内をリセットする。蓄積中に外部トリガ入力などにより任意のタイミングで蓄積を終了しシグナル読み出しへと移行する。読み出しでは、Row 方向のラインごとに順番に AD 変換と Column 方向の読み出しスキャンを行っている。以後の全体動作試験では、基本的にこの制御動作に従いデータ取得を行った。

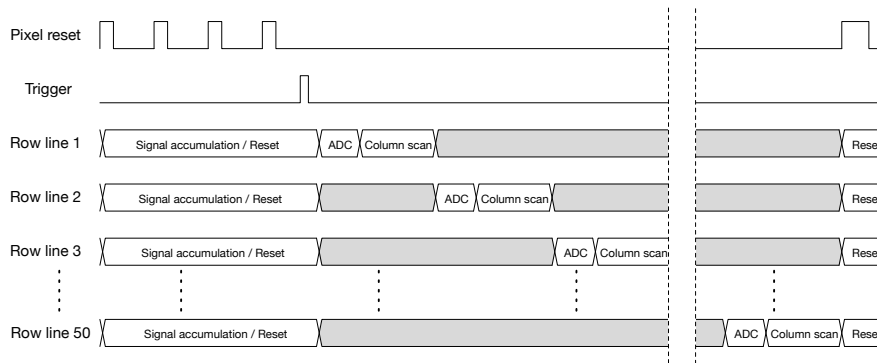


図 40 Ver.1 動作タイミングチャート

最初にピクセル部の単体試験と同様にピクセルへのテストパルス入力による応答確認を行っている。図 41 に High/Low gain 各 1 ピクセルに対する、テスト電圧入力の応答性能を示す。High/Low gain での出力応答・ゲイン比は約 1.8 倍となっている。また、シミュレーションの結果と同様に出力応答に対しての歪みを観測している。全ピクセルに対して出力応答の傾き (ゲイン) を計算しピクセルごとの相対的なゲインばらつきを確認した (図 42)。ゲインのばらつきは、High gain で約 0.5% 程度となっている。Low gain 側では BPW サイズが 12×12 が他の BPW サイズのピクセルと比べてゲインが向上している。BPW サイズが最小であることにより、ピクセル内 BPW と直上回路 (特に CSA 回路) との寄生容量が抑制されたことが原因と考えられる (BPW サイズが 12×12 では、CSA の回路素子の一部が BPW 外にレイアウトされている)。Low gain 側の各ピクセル回路のゲインばらつきはそれぞれゲイン値 (傾き) に対して 0.35-0.6% 程度であり、同一回路のピクセル間ではゲイン特性のばらつきは小さいことが確認できた。

次に、放射線源を使用してのセンサー性能の評価を示す。ベータ線源として ^{90}Sr を使用し、センサー表面側にチェックソースを配置して照射をおこなった。センサーの裏面側にはトリガ検出器としてシンチレーションカウンタを設置し、センサーを透過したベータ線のみを検出する (図 43)。センサーにはバイアス電圧を 130 V 印加した状態で計

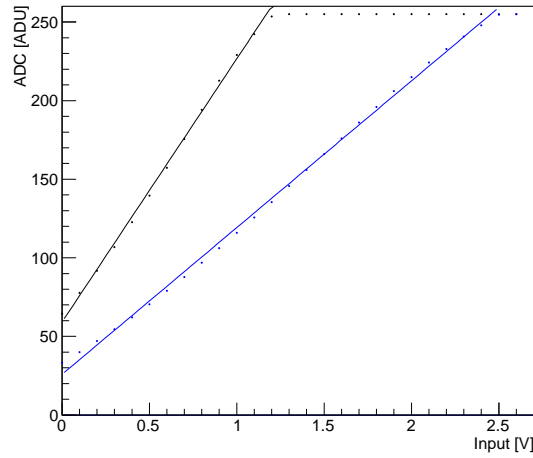


図 41 Ver.1 ピクセル回路テストパルス出力計測結果, 黒:High gain, 青:Low gain

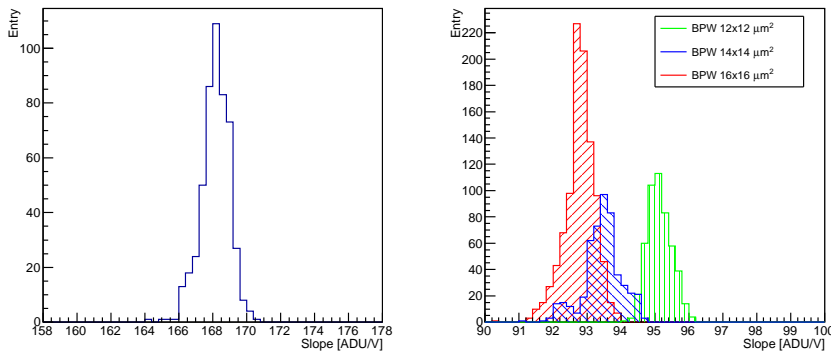


図 42 Ver.1 ピクセル回路間ゲインばらつき, 左:High gain, 右:Low gain

測を行っている。130 V でセンサー厚:500 μm が完全空乏化されており、約 37,000 電子が期待できる。図 44 にベータ線照射時の取得画像を示す。ベータ線がセンサー入射後に多重散乱によって蛇行することが飛跡で確認できる。ベータ線シグナルを再構成するために、シグナルピークとなるピクセルとその周囲のヒット検出されたピクセルよりクラスターを構成して解析を実施した。クラスター解析では、各ピクセルシグナルに対して閾値をピクセルをヒットとして選別し、最もシグナルの大きいピクセルを中心として 5×5 ピクセル内のヒットシグナルの総和を計算している。クラスターシグナルの再構成によるシグナルスペクトルの分布を図 44 に示す。再構成解析で、透過したベータ線によるシグナルスペクトルのピークを確認できている。

以上のテストパルス応答、及び放射線応答によるセンサー動作試験で Ver.1 センサー

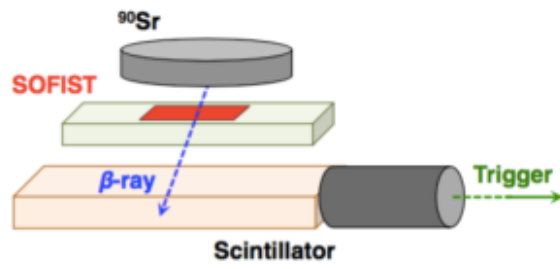


図 43 Ver.1 β 線試験セットアップ

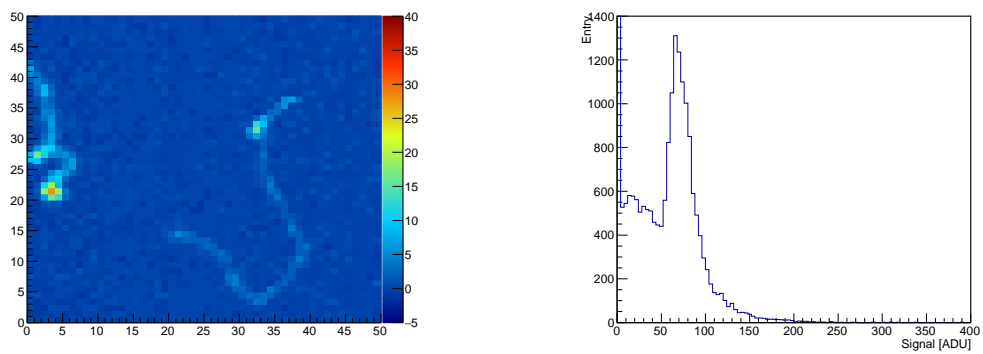


図 44 Ver.1 β 線シグナル検出, 左:検出画像, 右:シグナルスペクトル (Low gain)

チップが設計通りに動作していることを確認した。

4.3 SOFIST Ver.2

Ver.2 のチップ試作では、ピクセル回路内でのヒット検出・トリガー出力、ヒット情報の記録、時間情報を保持するタイムスタンプの機能搭載を行った。ピクセル回路出力は Ver.1 と同様の ADC を使用して読み出しを行う。また、Ver.1 と同様に検出されたアナログ信号を読み出すピクセル回路も配置している。さらに、ADC 後段にはデジタル出力に対してゼロサプレッションを行うデジタル処理回路を配置する。

4.3.1 Ver.1 フィードバック

Ver.2 の試作チップ設計にあたり、Ver.1 センサーにおいて課題となった箇所のフィードバックを行った。1 点目はピクセル回路部の初段増幅回路 (CSA) のゲインである。ピクセル回路の容量抽出シミュレーション及び後述のビームテストにおける解析により、ピクセル回路部の配線間寄生容量によって、設計値より大きく減少していることを確認した。そこで、Ver.2 のピクセル回路設計では配線容量を含むフィードバックキャパシタンスの設定を行った。

2 点目はリセットノイズの変動抑制である。Ver.2 ではピクセル内にコンパレータを追加することで、ピクセル単位でのヒット検出・トリガ出力を行う。そのため、リセットノイズによるオフセット変動が大きいとコンパレータの閾値設定が問題となる。また、Ver.1 ではチャージインジェクション・クロックフィードスルーによって、リセット後の CSA 出力へのオフセット値 (ペDESTアル) が大きく上昇している。それによって、ピクセルが検出できる信号のダイナミックレンジが減少している。Ver.2 の回路設計では、オフセット変動に対する対策を行った。

4.3.2 全体構成

今回のセンサーチップサイズは 4.45 mm 角としている (図 45)。時間情報を記録するタイムスタンプピクセルは 64 × 64 のピクセル配列となっており、Ver.1 と同様に信号電圧を保持するアナログ信号ピクセルは 16 × 64 としている。Ver.2 のピクセル回路では実装する回路が増大したことを踏まえ、各ピクセルのピクセルサイズを 25 × 25 μm^2 での実装を行った。ADC は Ver.1 と同様各カラムに配置しており、合計 80 チャンネルを実装している。ゼロサプレッション回路はタイムスタンプピクセルの ADC 出力後段に繋がっている。

Ver.2 チップでは Double SOI ウェハを採用している。より放射線耐性の高い Double

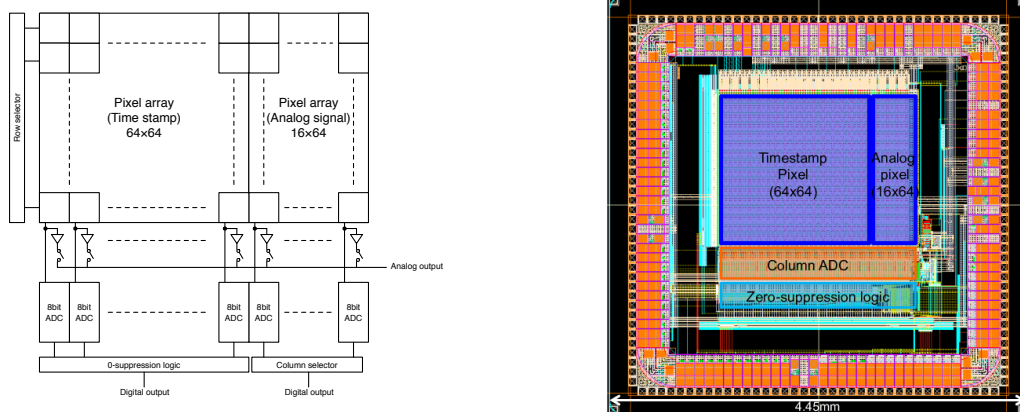


図 45 SOFIST Ver.2 チップ, 左:チップ概要、 右:全体レイアウト

SOI ウェハを使用する事で、SOFIST チップでの放射線耐性試験を行う事を予定している。さらに Middle Silicon 層の電位固定によりデジタル・アナログ回路間のクロストークの抑制を図る。

Ver.2 のセンサーチップは 2016 年 1 月にチップ製造が完了している (図 46)。製造チップについて、Ver.1 と同様にビームテストなどの性能評価を実施する予定である。さらに、 γ 線照射による TID に対する放射線耐性も評価を予定している。また、Ver.2 のセンサーウェハについては薄化処理の検討も開始している。プロセス終了後のセンサーウェハに対して DISCO 社の TAIKO プロセス [33] を使用した裏面研磨を実施し、センサー厚を約 75 μm まで研削して薄化させた試作チップの試験を計画している。

4.3.3 詳細設計・シミュレーション

■ピクセル回路 Ver.2 でのピクセル回路構成を図 47 に示す。初段プリアンプ、アナログメモリ以外に、CDS 回路、コンパレータロジック、レジスタ回路から構成されるヒットシグナル検出回路を埋め込んでいる。CDS 回路は、ヒットシグナルの入力前にリセットレベルをサンプリングし、シグナル・リセットレベルの差分を取得する回路である。CDS 回路によってシグナルとリセットの電位差を保持する事で、CSA でのリセットノイズによるオフセット変動を相殺する事が出来る。CDS 出力には、コンパレータ回路を接続している。初段のキャパシタに対して閾値となる電圧レベルをサンプリングした後、センサーからのシグナルを入力する事で閾値弁別を行う。シグナルが閾値を超えればコンパレータが動作し、出力よりトリガーシグナルが生成される。コンパレータ以後はデジタル回路となり、2 段の D-FF から構成されるシフトレジスタとなっている。コンパレータ出力から閾値弁別によりトリガーが出力される毎に、1 段目の DFF から順番に出力の High/Low が

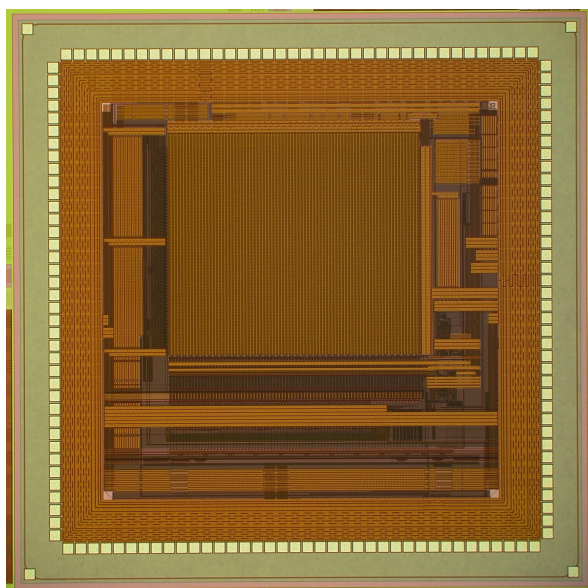


図 46 SOFIST Ver.2 チップ写真

切り替えられる。D-FF 回路は実装面積を減らすため一部のスイッチ、インバータを除いた、Half-dynamic の回路を採用している。各 D-FF 出力がメモリ回路の入力部スイッチへと接続される事で、閾値を超える入力がある毎にメモリが切り替えられる構成となる。

タイムスタンプピクセルではタイムスタンプ用のアナログメモリは、入力がピクセル外へと接続されており、外部入力された電圧値をヒットの検出されたタイミングで保持する。また、Ver.2 のピクセル回路ではタイムスタンプピクセルと同じヒットシグナル検出機能を持つアナログシグナルピクセルも実装している。アナログシグナルピクセルでは、CDS 出力後のシグナルはバッファアンプを経由して、アナログメモリへと入力している。こちらでは、ヒットの検出されたタイミングでそのシグナル電圧をメモリへと保持する事となる。

図 48 に Ver.2 のタイムスタンプピクセル回路レイアウトを示す。Ver.2 のピクセルでは実装する回路素子数が増大しているため、ピクセルサイズを $25 \times 25 [\mu\text{m}^2]$ まで拡張している。プリアンプ等のアナログ回路と D-FF によるデジタル回路が混載されるため、クロストークを避けるためデジタル・アナログ回路間を分離して配置している。また、各回路は P/NMOS 間での Active 共有化を実施することで Ver.1 ピクセルよりも高密度での回路実装を実現している。

Ver.2 センサーは P 型ウェハを使用するため、放射線照射によるホールトラップによりセンサー・BOX 界面付近に電子が蓄積され隣接ピクセル間でクロストークが発生する。隣

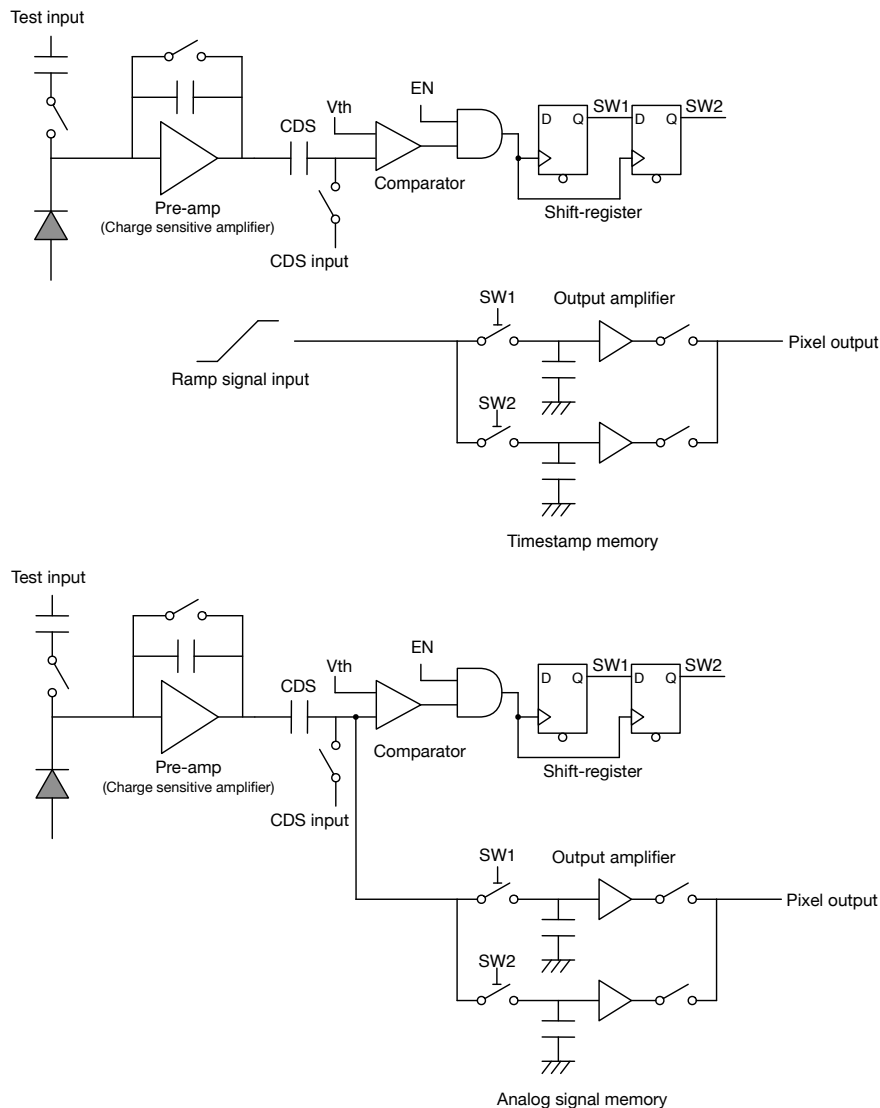


図 47 SOFIST Ver.2 ピクセル回路, 上:タイムスタンプピクセル, 下:アナログシグナルピクセル

接ピクセル間でセンサーノードを電気的に分離するため、不純物濃度の高い P-stop(図 48、水色領域) を各ピクセルを取り囲むように配置している。

初段増幅回路 (CSA): 初段アンプに関しては、Ver.1 回路で使用した CSA を踏襲している。Ver.1 では配線間の寄生容量によってゲイン値の低下が確認したため、Ver.2 ではレイアウトより抽出された配線容量を含むフィードバックキャパシタンスを構築しており、全体として約 2.6 fF の容量実装を行った。CSA のゲインとしては約 $61.5 \mu\text{V}/e$ となる。MIP シグナル ($3,700e^-$) に対する感度は $0.228 [\text{mV}/\text{MIP}]$ となる。ただし、ゲイン増加に伴い入力ダイナミックレンジが低下しており、線形領域は約 3 MIP 程度となる。また、リ

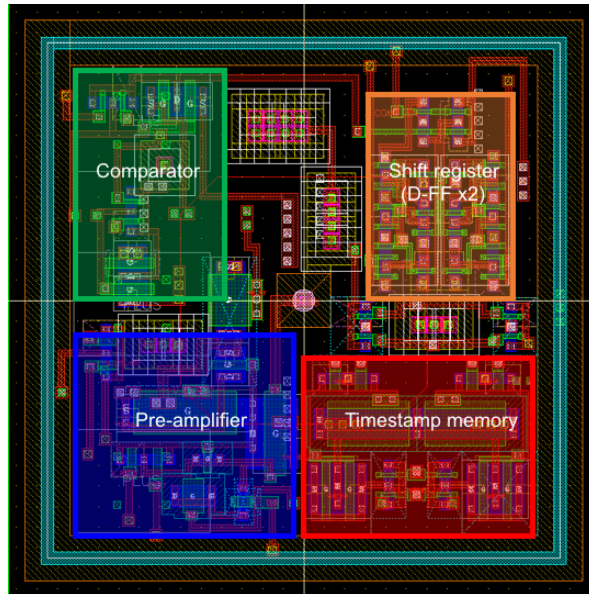


図 48 SOFIST Ver.2 タイムスタンプピクセル回路レイアウト

セット解除による電圧変動を抑えるためリセットスイッチを PMOS から CMOS スイッチ (N/PMOS) へと変更した。NMOS・PMOS 各素子のゲートから流入する電子・正孔と、反転したリセット制御入力を行うことで、チャージインジェクション、クロックフィードスルーの効果を相殺し変動を抑制する。さらに、プリアンプの応答性能・立ち上がり速度を向上させるため、プリアンプの出力後段に NMOS Source follower によるバッファアンプを追加した。

CDS 回路: CDS 回路は、シグナルホールド用のキャパシタとリセットスイッチから構成される。CDS リセットスイッチを ON として定電圧に固定した状態で、CSA リセット解除後の電圧をサンプリングする。CDS スイッチを ON から OFF にした後、CSA からのシグナル電圧を入力すると、シグナルと CSA リセットによるオフセットとの電圧差分のみが CDS 出力側で現れる。

タイムスタンプメモリ: タイムスタンプピクセルでは、メモリ入力は全ピクセルに対して共通となっており、時間情報を示すランプ電圧波形を入力する。センサーの蓄積動作開始と共に、ランプ波形の変化が開始し、時間経過に比例した電圧値が入力される。ヒットの検出されたタイミングでのランプ電圧をアナログメモリでホールドし、その電圧値を読み出す事でヒットタイミングを計算する。Ver.2 では回路サイズの圧縮を行うため、メモリキャパシタは DMOS FET のゲート容量を利用した容量素子を使用している。

コンパレータ回路: ADC 回路で採用したチョッパーインバータ型のコンパレータを採用

している。ただし、実装面積を削減するため各インバータ回路に使用している P, NMOS FET の数を各 3 素子から 1 素子ずつに変更をした。

シフトレジスタ回路: シフトレジスタは 2 段の D-FF 回路より構成している。実装面積を削減するため、図に示す Half-dynamic 型 D-FF を採用している。この回路はマスターレーブ型 D-FF より初段のインバータ回路とスイッチを除去することで、構成する素子数を減らし (合計 11 素子) さらに Active 共有化での縮小化を行っている。この D-FF ではクロックの立ち下がりで入力シグナルをサンプリングするが初段側でのシグナル保持ができないため、誤動作・故障を防ぐためには CLK の立ち下がり時間を短くして動作させる必要がある。Ver.2 のピクセル回路では、外部からのクロックシグナルとコンパレータ出力との論理積をシフトレジスタに入力することで対応している。入力クロック幅は 10 ns 程度で動作することができるため、Half-dynamic 型 D-FF での誤動作は十分に抑制することができる。

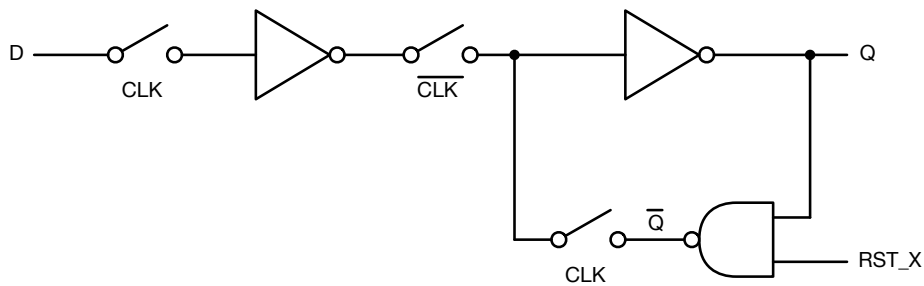


図 49 Ver.2:Half-Dynamic D-FF 構成

ピクセル回路の動作タイミングチャートを図 50 に示す。ピクセル動作に必要なリセットは CSA、CDS、コンパレータとなる。最初にこれらを全てリセット状態にして、CSA、コンパレータ、CDS の順番でリセット解除を行う。CSA リセット解除によって、CDS へ CSA のリセットレベル電圧を入力する。また、CDS リセット入力から閾値電圧 V_{th1} をコンパレータへ入力しホールドする。CSA、コンパレータへの閾値電圧入力後、CDS のリセット入力を V_{th1} から V_{th2} ($V_{th1} > V_{th2}$) へとシフトさせて CDS リセットを解除する。これによりコンパレータでは V_{th1} よりも低い電圧が入力されることで出力は Low へ固定される。以上が、シグナル入力前のリセット動作となる。この状態で、シグナル電圧 V_{sig} が入力されると、CDS 出力 (コンパレータ入力) は $V_{sig} + V_{th2}$ となる。 $V_{sig} + V_{th2} > V_{th1}$ となるシグナル電圧が入力されると、コンパレータ出力が Low から High へ切り替わる。CDS リセットより入力する電圧値の差分 $\Delta V = V_{th1} - V_{th2}$ がコンパレータの閾値電圧となる。

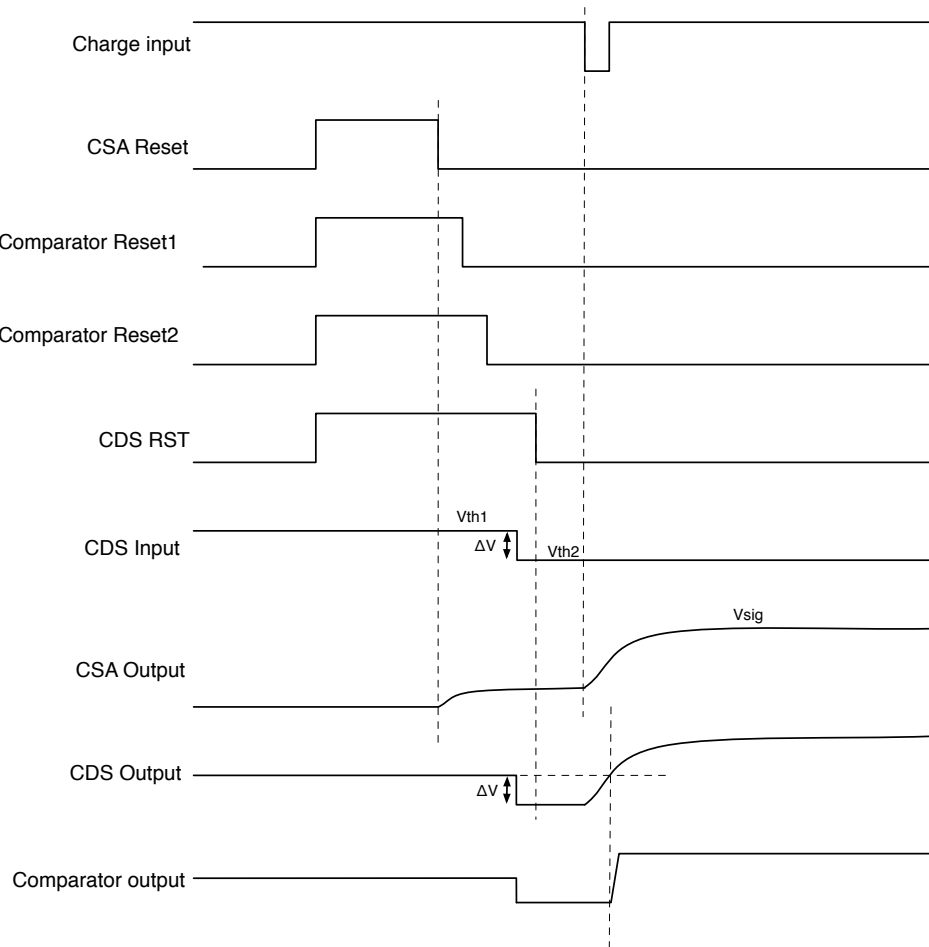


図 50 Ver.2:ピクセル回路動作タイミングチャート

タイムスタンプピクセルについて、SPICE シミュレーションによる動作結果を図 51 に示す。各リセット解除による動作は図 50 タイミングチャートと同様となる。CDS への入力信号が閾値電圧を超えることで、コンパレータ出力が反転することが確認できる。Ver.2 のセンサーは P 型ウェハであり電子を収集することになるため、Ver.1 とは出力極性が反転する。コンパレータが Low から High へ切り替わった後で、外部よりシフトレジスタ用クロック (COMP_EN) を入力するとシフトレジスタが更新され出力が変化する。シフトレジスタ出力が Low に落ちることにより、メモリ回路に入力される電圧値をホールドする。外部からの COMP_EN の入力タイミングによってアナログメモリでシグナルがラッチすることができる。タイムスタンプ回路では、入力ランプ電圧をシグナルの入力タイミングでホールドしている。2 回のシグナル入力タイミングで各メモリに、その時点でのランプ電圧を保持されることが確認出来ている。

ILCでのバンチ間隔は重心系エネルギー 500 GeV で約 550 ns(重心系エネルギー 1 TeV では約 330 ns) であり、実際の運用においてはこのビームバンチ入射間隔に同期して上記のタイミングチャート動作を実施する。CSA・コンパレータ回路を含む全体リセット・初期化動作に対して必要なリセット時間は 150 ns 程度となる。リセット以外の必要時間としてはシグナル入力からコンパレータ動作までの遅延時間がある。シグナル入力から CSA 出力が安定するまでの立ち上がり時間は約 25 ns 程度である。CSA 出力からコンパレータ動作までの遅延時間は、CSA 出力電圧と閾値電圧の差によって変化する。図 51 では閾値電圧に対し十分に大きい入力であるため遅延時間は小さいが、閾値電圧付近のシグナル入力でのコンパレータ動作が問題となる。チョッパーインバータ型コンパレータの場合、閾値電圧入力をインバータの中間電位と一致させるため、閾値付近の入力に対してはインバータ出力が安定するまでの時間が長くなる。コンパレータ出力の遅延時間を評価するため、コンパレータ回路に対して閾値電圧付近での入力に対する応答(立ち上がり)時間計測をシミュレーションで実施した。図 52 に閾値電圧:0.8 V に対して、入力電圧:0.78 - 0.88 V でのコンパレータ出力を観測した結果を示す。出力電圧の 90%(1.6 V) 以上となる時間を出力時間とした場合の、コンパレータ入力から出力までの遅延時間の計測結果を表 11 に示す。入力電圧 0.82 V(閾値電圧 + 0.02 V) で遅延時間 22.7 ns となる。リセット時間:150 ns、CSA 出力時間:25 ns、コンパレータ出力時間:23 ns 程度とした場合で、合計は 200 ns 程度となるため、ビームバンチ同期としてはこのピクセル回路構成で運用可能である。

表 11 コンパレータ回路の出力遅延時間 (閾値電圧:0.8 V)

入力電圧 [V]	出力遅延時間 [ns]
0.80	-
0.82	22.7
0.84	14.6
0.86	9.9
0.88	7.7
0.90	6.4
1.00	3.2
1.10	2.5

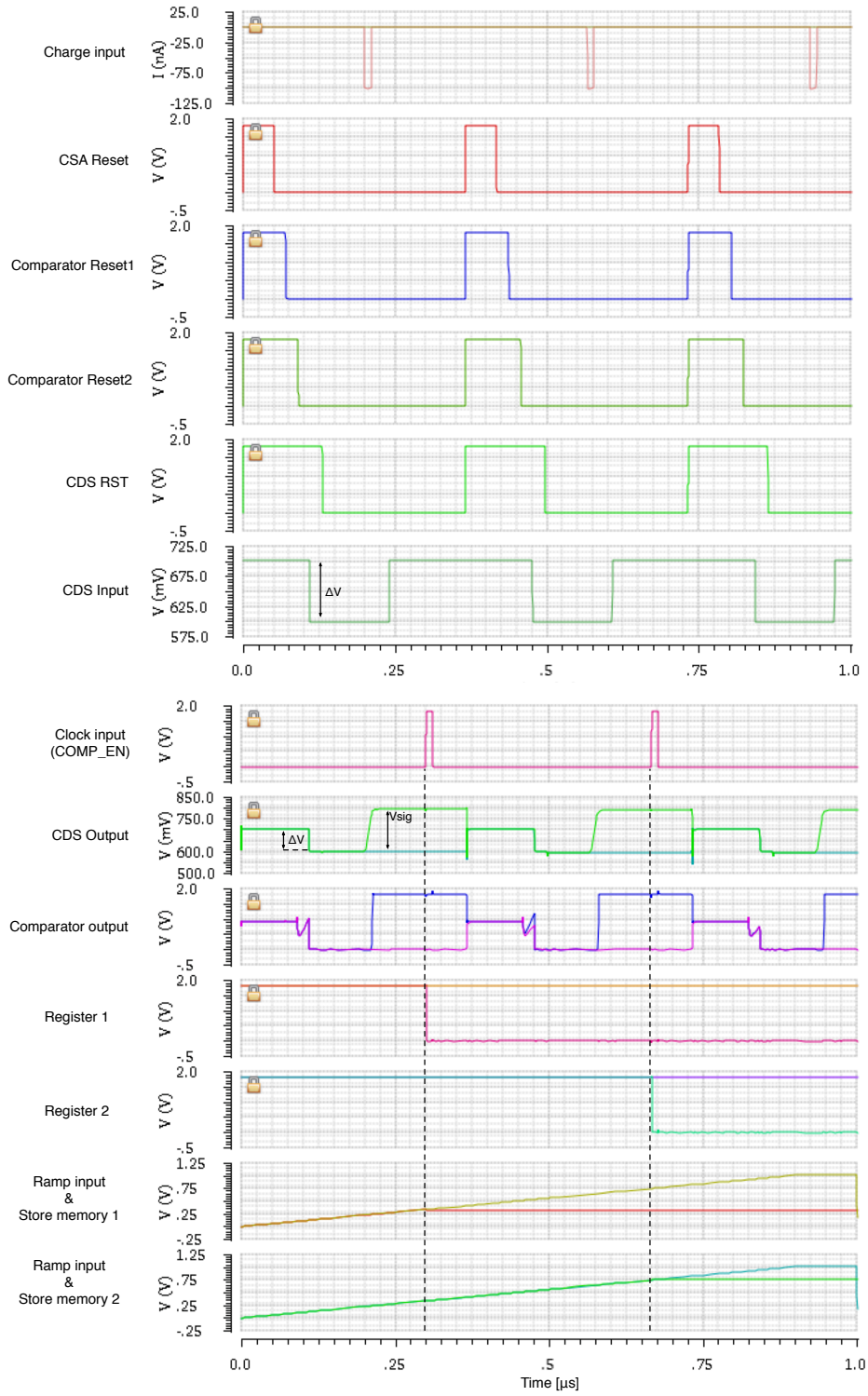


図 51 Ver.2:タイムスタンプピクセル動作シミュレーション

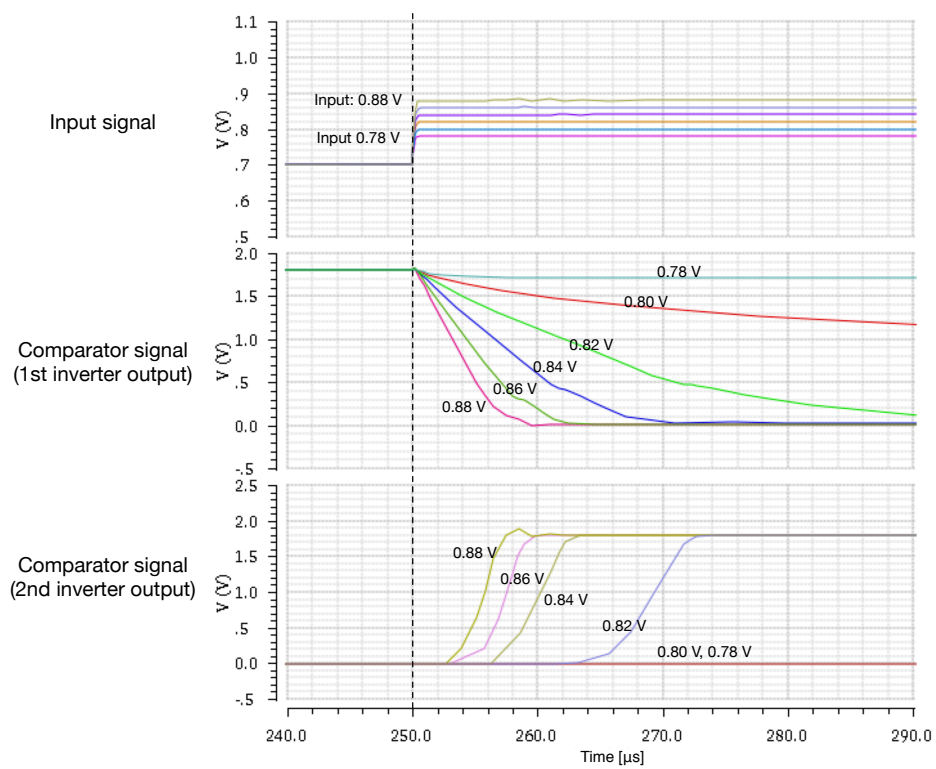


図 52 Ver.2:コンパレータ動作遅延シミュレーション、上段:コンパレータ入力、中段:1 段目インバータ出力、下段:2 段目インバータ出力 (コンパレータ出力)

■ゼロサプレッション回路 Ver.2 チップの ADC 後段はデジタルシグナル処理回路によるゼロサプレッションでのヒットシグナルの識別と抽出を行っている。デジタルシグナル処理回路部の機能ブロックを図 53 に示す。デジタルシグナル処理回路はゼロサプレッションによるヒットを抽出と、ヒットピクセルデータを格納する FIFO メモリから構成されている。ゼロサプレッションブロックはさらに、シグナル識別を行うコンパレータとコンパレータ出力を基に、ヒットピクセルを抽出するカラム毎のアービター回路で構成されている。アービター回路はカラムスキャンのため、隣接カラムの回路とデジチェーン接続されている。アービターブロック図 54 は、各カラムからのヒット情報 (AD 変換を行ったライン内で、そのピクセルにヒットの有無を示す) を内部に格納する。その後、端よりカラムスキャンを行うスキャンシグナル (Grant) を入力する。任意のカラムアービターでヒットが検出されている場合に、Grant シグナルはそのカラムで停止し、ADC 出力を FIFO に格納するためのイネーブルシグナルを出力する。出力後、Grant シグナルは次のアービター回路へと入力される。ヒットがない場合には Grant シグナルはそのカラムを通過し、そのまま次カラムのアービター回路へと入力される。これによって、ヒットのあるカラムのみをスキャンし、ADC データを抽出する事が可能となる。Ver.2 ではゼロサプレッション回路を単体で試験するため、各カラムのヒット情報は ADC 出力をデジタル回路で比較識別する事で実装している。最終的には、ピクセルよりシフトレジスタの各 D-FF 出力を読み出す事でヒット情報を取得することを検討している。アービターで抽出されたヒットデータは、カラムアドレス情報を付加して FIFO メモリへ格納される。FIFO メモリのデータをチップ出力する事で 1 ライン分のヒットデータを取得する。これらのデジタル回路は外部より 40 MHz のクロックを入力して同期動作させる。

これらのデジタル回路は Verilog HDL を使用して設計と検証を行っている。図 55 に 64 カラム分のピクセルシグナル入力をした際のゼロサプレッション回路の動作を示す。ピクセルデータ格納後、Grant シグナル (AR_GRANT) を入力する。閾値を超えたデータのみがより出力される (data_in) ことが確認され、出力データを FIFO へ書き込み、スキャン後に読み出し動作を行うことでヒットピクセルデータが読み出される (DATA_OUT)。今回のシミュレーション上では、各ピクセルデータは検証のため乱数データを入力している。64 × 64 ピクセル分の乱数データを入力ベクタとして、ゼロサプレッション回路の出力より再構成されたデータとの比較を行うことで回路検証を実施した (図 56)。この検証で閾値 (0xE0) を超えるピクセルデータのみがデジタルシグナル処理回路より出力され、追加されたアドレス情報を使用してデータの再構成を行うことが確認できた。

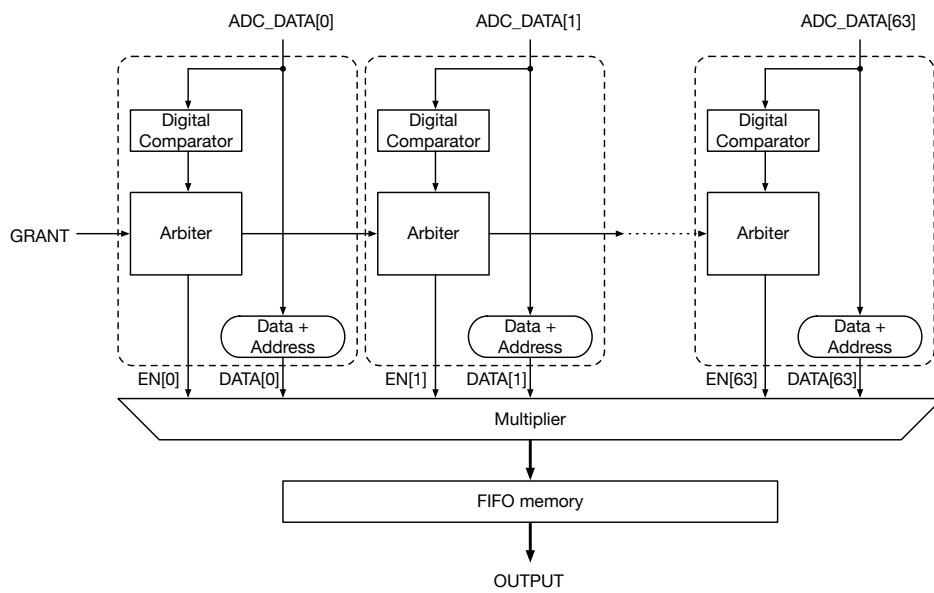


図 53 ゼロサプレッション回路構成

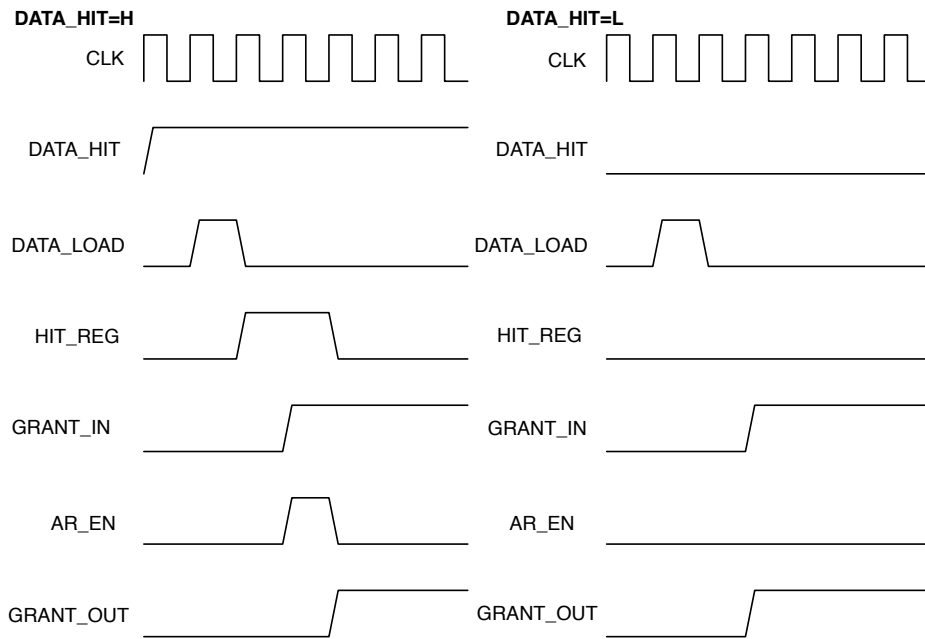
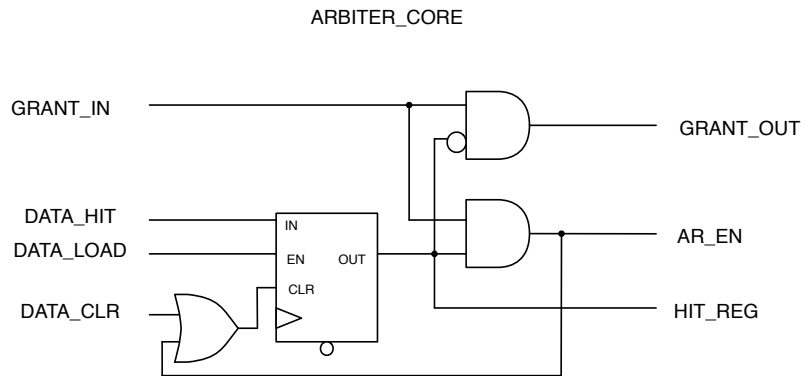


図 54 アービターブロック回路構成、動作タイミングチャート

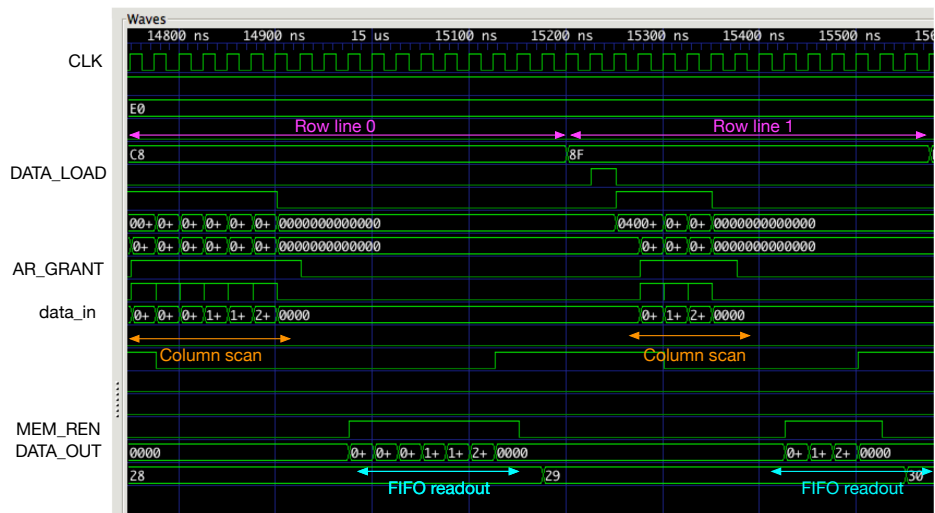


図 55 ゼロサプレッションシミュレーション結果

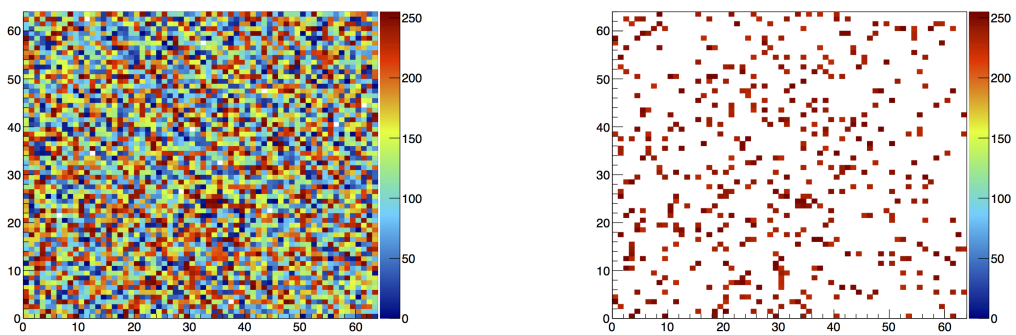


図 56 ゼロサプレッションシミュレーション入出力データ比較, 左:入力乱数データ, 右: 出力シグナルデータ

4.3.4 詳細回路図

SOFIST Ver.2 において設計したピクセルの詳細回路図を示す。Ver.2 のタイムスタンプピクセル、アナログシグナルピクセル各々の回路図を図 57, 58 に示す。各ピクセルの構成素子は共通であり、初段のプリアンプ (CSA)、CDS 用キャパシタ (CCDS)、コンパレータ (COMP)、2 段シフトレジスタ (DFF0, DFF1)、メモリ (T_MEM) となる。タイムスタンプピクセルでは、ピクセル外からのランプ入力メモリへと入力される。また、アナログシグナルピクセルでは、プリアンプ・CDS を経由したシグナルをアナログバッファ (NSF) を通してメモリに入力している。

Ver.2 ピクセル回路の初段プリアンプの回路図を図 59 に示す。プリアンプ構成は Ver.1 のプリアンプ (図 31) と同様に、ソース接地増幅回路 (N_IN, P_BIAS)、フィードバックキャパシタ (D_1F)、リセットスイッチ (P0, N0)、テスト入力 (D1, NTEST) から成る。Ver.1 からの変更点としては、1) コンバージョンゲインを上げるためフィードバックキャパシタを 1 fF に設定、2) チャージインジェクションによる出力電圧の変化を抑制するためリセットスイッチを CMOS に変更、3) プリアンプ出力にソースフォロワ (N1, N2) によるアナログバッファを追加、である。アナログバッファについては、Ver.1 チップと比較してプリアンプ出力に CDS やコンパレータ回路などが追加されるため、プリアンプの出力安定時間を短縮することを目的として追加した。各回路の動作電流はそれぞれチャージセンシティブアンプが 750 nA、アナログバッファが 1 μ A となる。

アナログシグナルピクセルではメモリ入力前に、図 60 のアナログバッファ (ソースフォロワ) を追加している。このアナログバッファはプリアンプ内で使用しているソースフォロワと同じ構成である。

ピクセル内のコンパレータ回路を図 59 に示す。コンパレータは ADC に使用したチョッパインバータ型 (図 33) を参考に、素子数を減らした構成としている。また、コンパレータ出力を保持するシフトレジスタに使用している D-FF (図 62) は図 49 で示したように素子数を削減した Half-Dynamic 型で構成される。

タイムスタンプ・アナログシグナルを格納するメモリの構成を図 63 に示す。メモリ構成は Ver.1 と同様に、2 個のメモリキャパシタと入力側の CMOS スイッチと出力側の PMOS ソースフォロワから成る。メモリキャパシタとしては、サイズ削減のため MIM から DMOS キャパシタ (D0, D2) に変更している。各メモリは容量値として 35 fF に設定した。

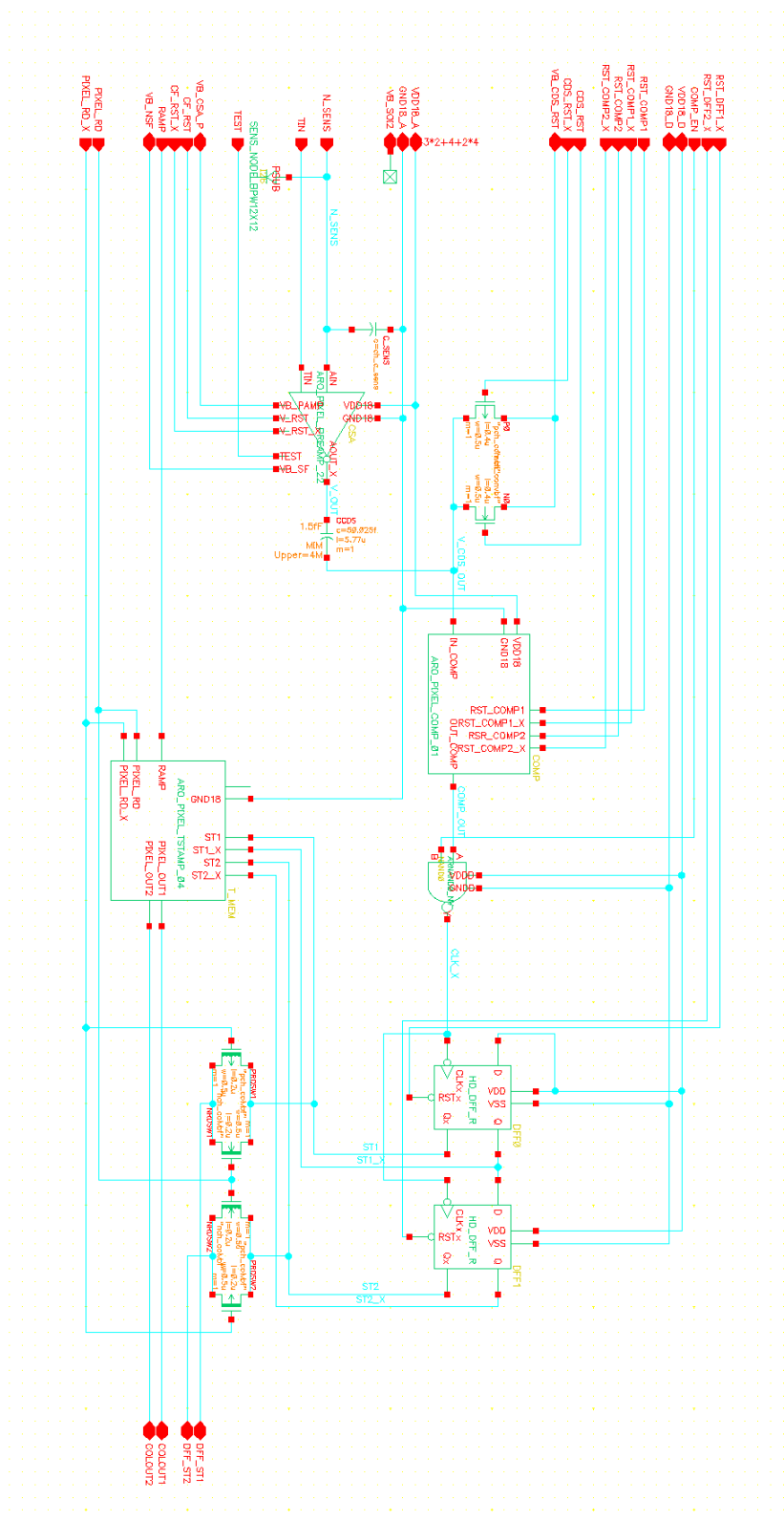


図 57 Ver.2:タイムスタンプピクセル詳細回路図

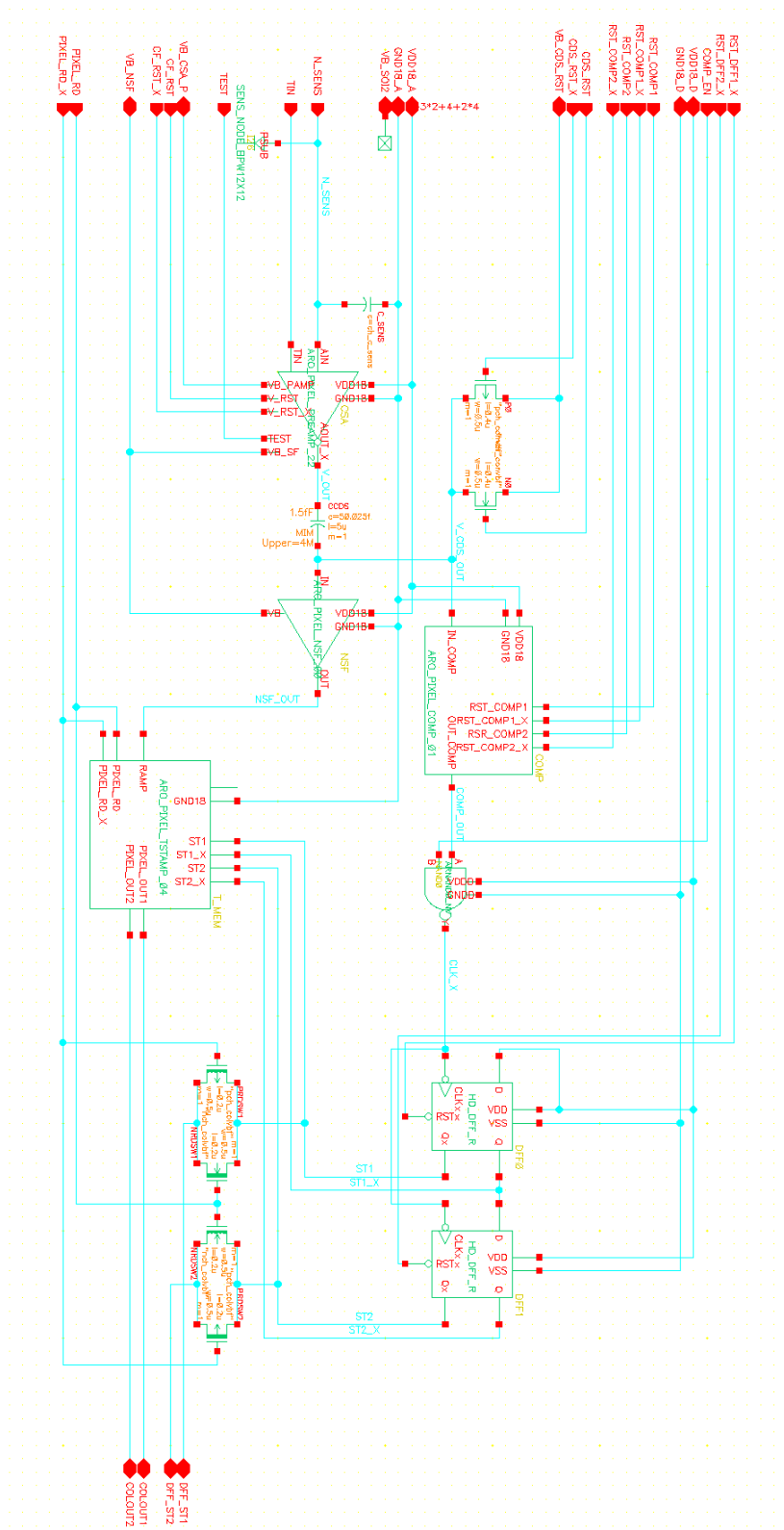


図 58 Ver.2:アナログシグナルピクセル詳細回路図

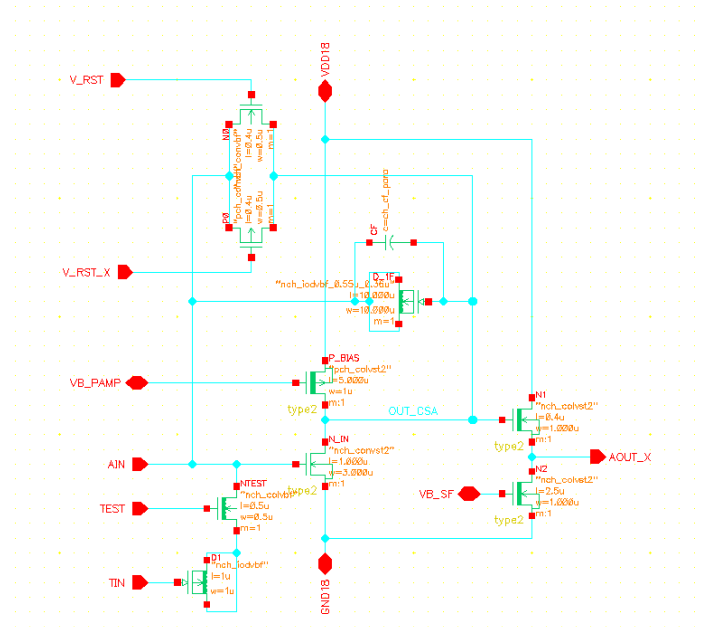


図 59 Ver.2:初段増幅器 (CSA) 詳細回路図

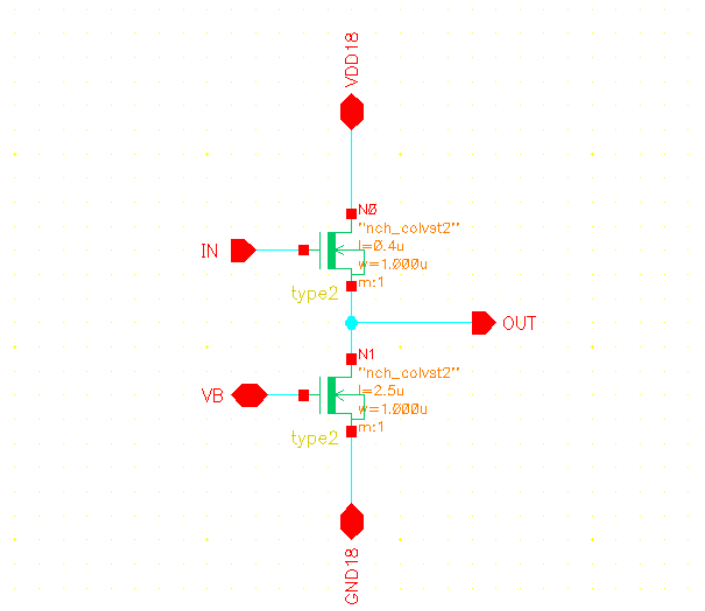


図 60 Ver.2:アナログシグナル用バッファ (N-SF) 詳細回路図

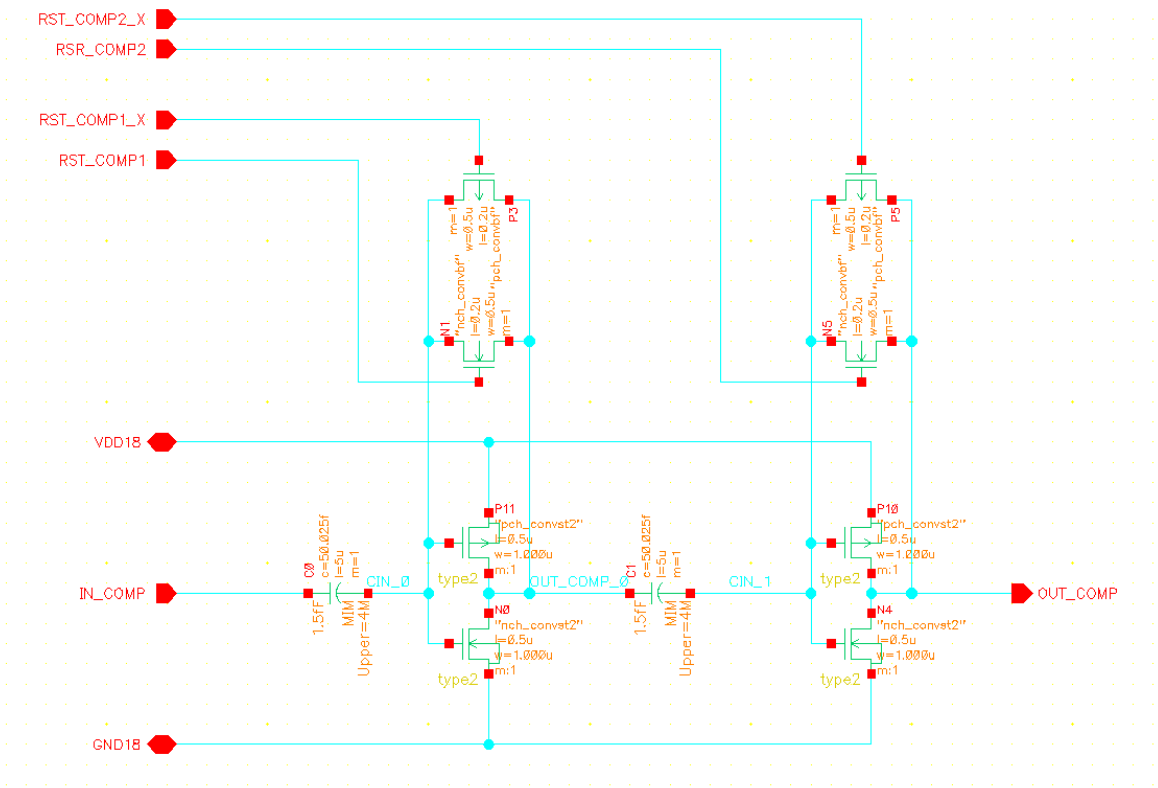


図 61 Ver.2:コンパレータ詳細回路図

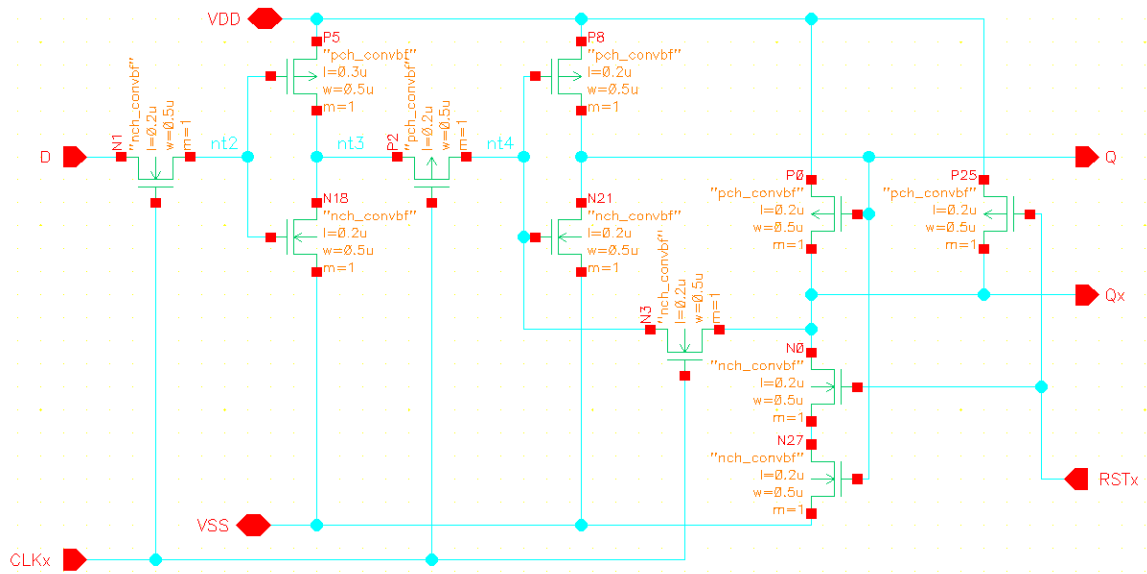


図 62 Ver.2:Half-Dynamic D-FF 詳細回路図

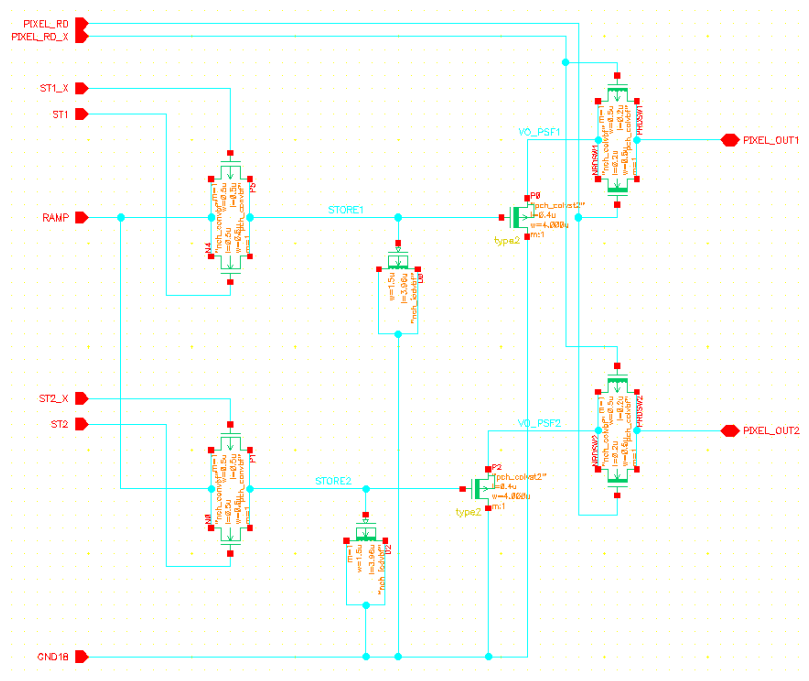


図 63 Ver.2:タイムスタンプ・アナログシグナルメモリ詳細回路図

4.4 設計開発・評価結果まとめ

Ver.1, Ver.2 センサーの設計仕様について表 12 にまとめる。Ver.1 センサーについては製造が完了したチップを使用した評価試験を実施した。ピクセル、ADC 回路ともに、設計値・シミュレーションでの結果と相違ない性能・動作を確認し、ベータ線源を使用しての荷電粒子検出を行った。この後、実際に次章において加速器ビームを使用したビームテストでのシグナル、位置分解能評価を行っている。

表 12 SOFIST Ver.1/Ver.2 チップ設計仕様

Parameter	SOFIST Ver.1	SOFIST Ver.2
Sensor wafer	Fz N-type (> 2.0 kΩ·cm)	Double-SOI P-type (> 1.0 kΩ·cm)
Wafer thickness	500 μm	300 μm
Pixel size	20 × 20 μm ²	25 × 25 μm ²
Pixel circuit	Charge amplifier (High/Low gain)	Charge amplifier
	-	Comparator
	-	Shift register
	Analog memory	Analog/Timestamp memory
Pixel array	50 × 50	80 × 64
Active area	1 × 1 mm ²	2.0 × 1.6 mm ²
Chip size	2.9 × 2.9 mm ²	4.45 × 4.45 mm ²
Readout	Column-ADC	Column-ADC
	-	Digital Zero-suppression

5 ビームテスト評価

前章での試作センサーチップについて荷電粒子を使用した性能評価を行うために、動作確認された SOFIST Ver.1 センサーチップを使用してビームテストを実施した。ビームテストはセンサー内での多重散乱による影響を避けるために、高エネルギーの荷電粒子ビームを使用可能な米国 Fermi 国立加速器研究所内の試験ビーム照射施設 [34] を利用し 120 GeV の陽子ビームによる実験を行った。このビームテストにおいて、Ver.1 センサーを使用した加速器ビームによる荷電粒子検出、再構成シグナルからの S/N 比の測定、そして飛跡検出・再構成による位置分解能の計測を実施している。

5.1 セットアップ

今回のビームテストでは、荷電粒子飛跡を検出するために図 64, 65 に示すように複数台のセンサーを使用した検出器システムを構成している。検出器システムは合計 6 枚の SOI センサーから構成されている。中央に SOFIST Ver.1 検出器を 2 枚配置しており、その前後に FPIX 検出器を 4 枚配置している。FPIX は研究開発中の SOI ピクセル検出器であり、有感領域 $1 \times 1 \text{ mm}^2$ 内に $8 \times 8 \mu\text{m}^2$ のサイズの小型ピクセルを実装している。また、Rolling shutter で高速でのデータ収集を行うことが可能であり、フレームレート約 4 ms で動作する。FPIX センサーのチップ、ピクセル回路及び仕様を図 66、表 13 に示す。FPIX 検出器はそのピクセルサイズにより分解能 $1 \mu\text{m}$ 以上の高精度を達成することを目的としており、今回のビームテストにおいて高精度の飛跡検出器として採用している。FPIX センサー 4 枚の検出器によって再構成された高精度の飛跡を内挿し、SOFIST 上での検出点との差分を計測し分解能を計測する。各センサーチップは制御・読み出しのための SEABAS ボードに接続した状態で、センサー面をビーム軸に対して垂直方向に向けて一定間隔で配置している。検出器システムは、ビーム軸に対して各センサーがほぼ垂直入射となるよう配置を行っている。各センサーチップは有感領域 $1 \times 1 \text{ mm}^2$ であり、各有感領域が重なるようにセンサーアライメントし、最大距離 170 mm として配置している。

検出器システムの前後にはトリガー検出器を配置している。前方には 2 mm 角の小型のシンチレータを配置し、後方には 3 mm 角サイズのシンチレータを配置している。前方・後方のトリガー検出器の論理積 (AND) をとることで、荷電粒子ビームが検出器システムを通過した場合にのみ各検出器のデータ取得を行う。また、もう一つのトリガー

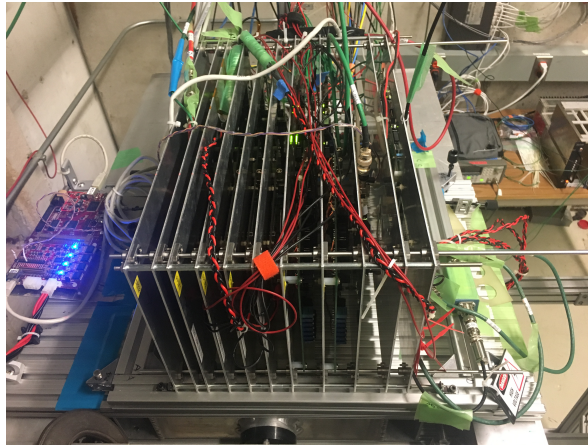


図 64 SOFIST ビームテスト: セットアップ写真

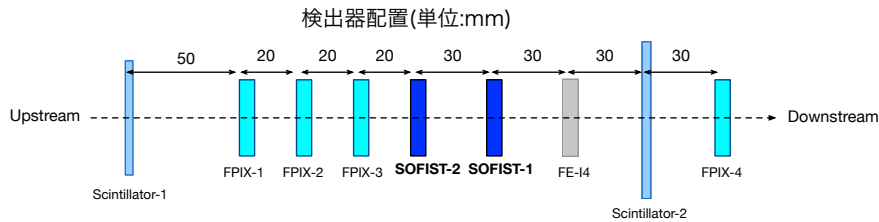


図 65 SOFIST ビームテスト: センサー配置

表 13 FPIX センサー仕様

Parameter	FPIX
Sensor wafer	Fz P-type
Pixel size	$8 \times 8 \mu\text{m}^2$
Pixel array	128×128
Active area	$1 \times 1 \text{mm}^2$
Readout	8 parallel, Rolling shutter

検出器として FE-I4 チップ [35] を使用したピクセル検出器を設置している。FE-I4 では $50 \times 250 \mu\text{m}$ 角のピクセルから読み出されたシグナルに対して、ピクセル単位での閾値弁別とヒット出力を行うことができる。各ピクセルからのヒット出力シグナルは任意のピクセル間の論理和をとりデジタルシグナルとして外部出力が可能である。これらの機能を利用して、今回の検出器システムでは FE-I4 を ROI(Region Of Interest) トリガーとして使用している。FE-I4 上で、SOFIST・FPIX 全センサーチップの有感領域がカバーされる範囲

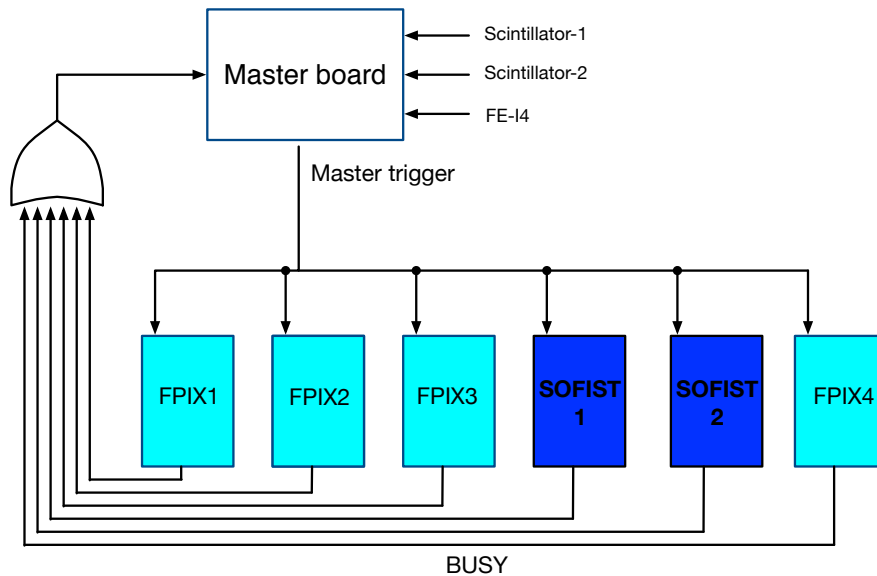


図 67 SOFIST ビームテスト: 検出器間同期

FPGA にはタイムスタンプカウンタを実装している。外部より共通のタイムスタンプクロック (1 kHz) を入力し各検出器内でカウントする。トリガ入力が発見された時点でのカウント値を記録して取得データとともに転送を行う。オフラインの解析において、このタイムスタンプの値を使用して各検出器の取得データのイベントずれを確認している。この同期システムの運用によって実験時のタイムスタンプによるイベント同期を確認した結果、イベントずれの発生した実験データは全体の 1% 以下となっている。

5.3 データ取得・解析

以上の DAQ 同期システムを構築することで、今回のビームテストでは最大約 500 Hz 程度のトリガ入力での高速のデータ取得を行うことが可能である。実際にこの DAQ システムによって取得されたデータから、ヒットイベントのイベントディスプレイを図 68 に示す。このように各 6 検出器で見つかったヒットイベントから、荷電粒子飛跡の再構成を行う。

5.3.1 シグナルスペクトル

最初に、検出されたデータよりヒットシグナルの再構成を行った。検出シグナル量を増加させるため、センサーのバイアス電圧を 130 V まで印加し空乏層厚を広げた状態でデータ取得を行っている。センサー内の検出シグナルに対してシードとなるピクセルを抽

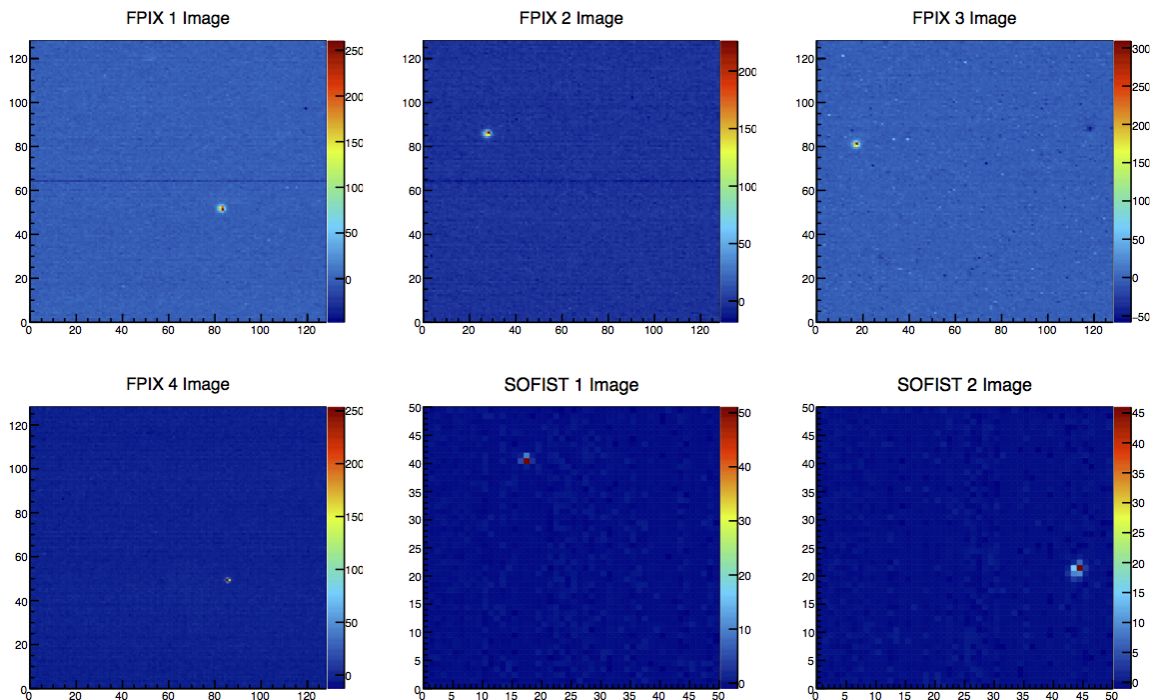


図 68 検出器イベントディスプレイ

出し、そのシードピクセルを中心とした周囲 5×5 ピクセル内で検出されたシグナルを含めたクラスタとして積算している。再構成されたクラスタシグナルの分布とクラスタサイズ(抽出ピクセル数)を図 69, 70 に示す。High/Low gain のピクセルでのシグナルスペクトルともに、MIP シグナルによる Landau 分布の波形を再構成することができている。High/Low gain 間でシグナルピークを比較すると約 2 倍程度となる。ピーク値より計算される各ゲイン値は High gain: $14.13 \mu\text{V}/e^-$, Low gain: $7.02 \mu\text{V}/e^-$ であった。SPICE シミュレーションで計算された値と比較した場合、High/Low gain とも低下していることが確認できた。ゲインが低下する要因としては BPW 部を含むセンサー側とピクセル回路間の容量がより大きいことが予測され、今後のピクセル回路開発においてゲイン値の改善が必要となる。

今回の SOFIST 検出器で使用した SEABAS ボード上には外部入力可能な ADC(Analog Devices: AD9222) が搭載されている。より高いエネルギー分解能でのシグナル評価を行うため、Ver.1 チップの読み出しとしてアナログシグナル出力をこの ADC に入力したデータ取得も行っている。バイアス電圧 130 V での SEABAS ADC での取得データに対するシグナルスペクトルの分布を図 71,72 に示す。BPW 構造によるゲイン差を考慮する

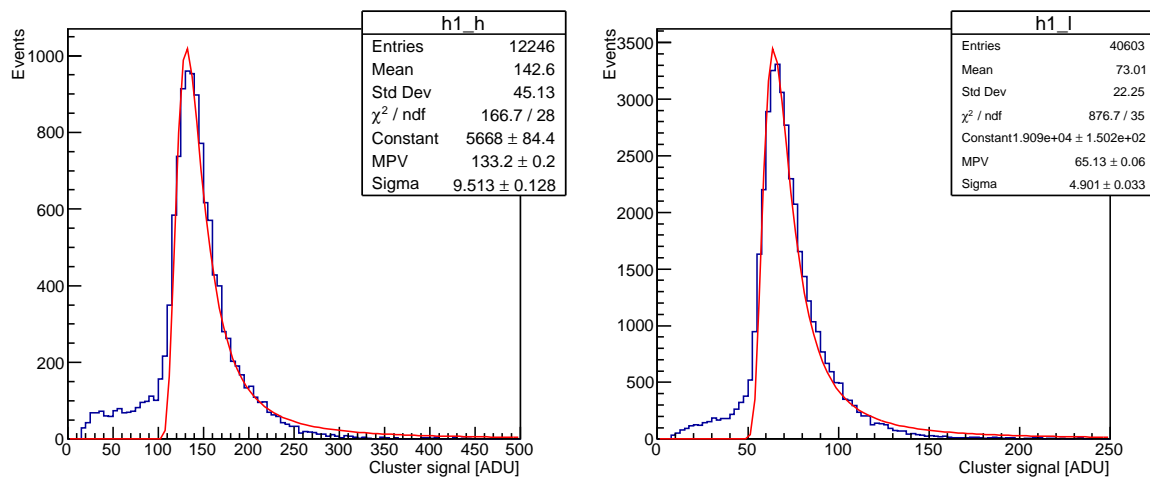


図 69 クラスタースIGNALスペクトル (Column-ADC, HV = 130 V), 左: High gain, 右: Low gain

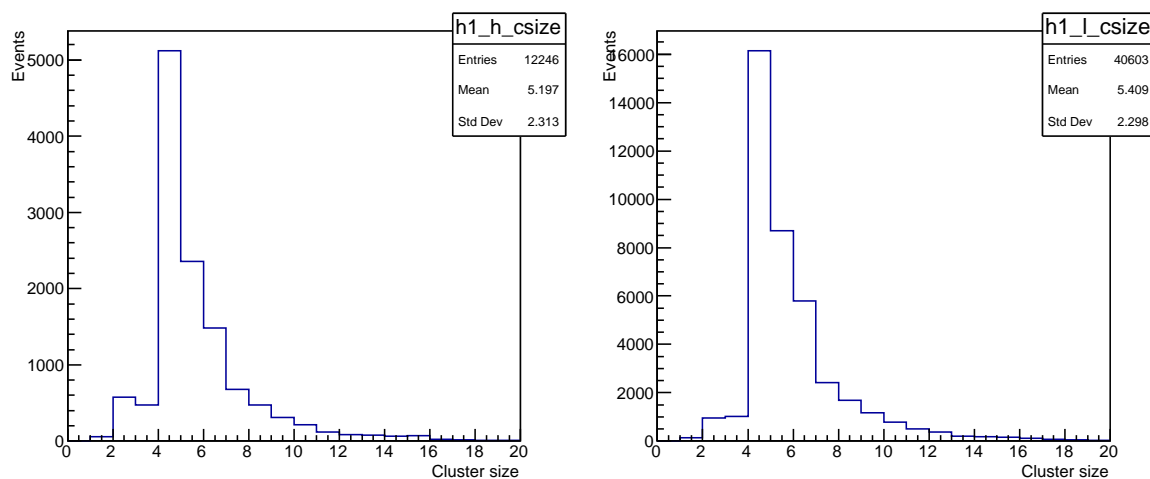


図 70 クラスタサイズ (Column-ADC, HV = 130 V), 左: High gain, 右: Low gain

ため、Low gain では BPW サイズごとにスペクトル分布解析を実施した。High/Low ゲインのピクセルのピーク値としては約 899 ADU となる。また、同条件でビーム照射のない状態でのデータ取得を実施し、ペDESTAL 値の変動より各ピクセルでのノイズ量を計算した。図 73 に High/Low gain での、1 ピクセルの 500 イベント分のペDESTAL 分布を示す。この分布の標準偏差を計算しピクセルノイズとした場合のセンサー全体でのノイズ分布が図 74 に示される。ピクセル平均でノイズ量としてはそれぞれ 2.2 ADU, 1.4 ADU となる。High gain ピクセルについてシグナルピークとノイズ値より、S/N として計算すると

約 407.5 となる。

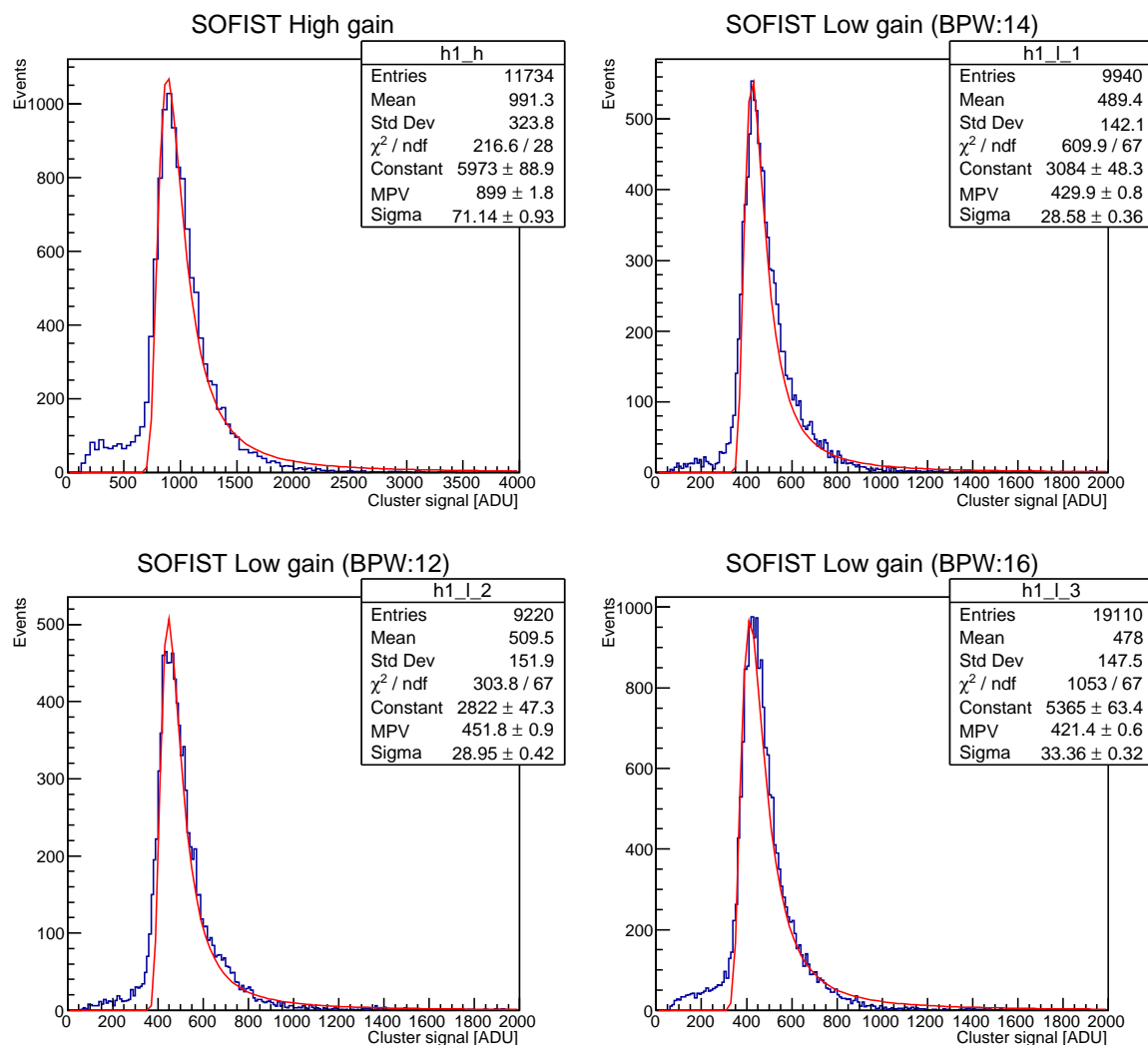


図 71 クラスターシグナルスペクトル (SEABAS ADC, HV = 130 V), 左上: High gain, 左下: Low gain(BPW:12 μm), 右上: Low gain(BPW:14 μm), 右下: Low gain(BPW:16 μm)

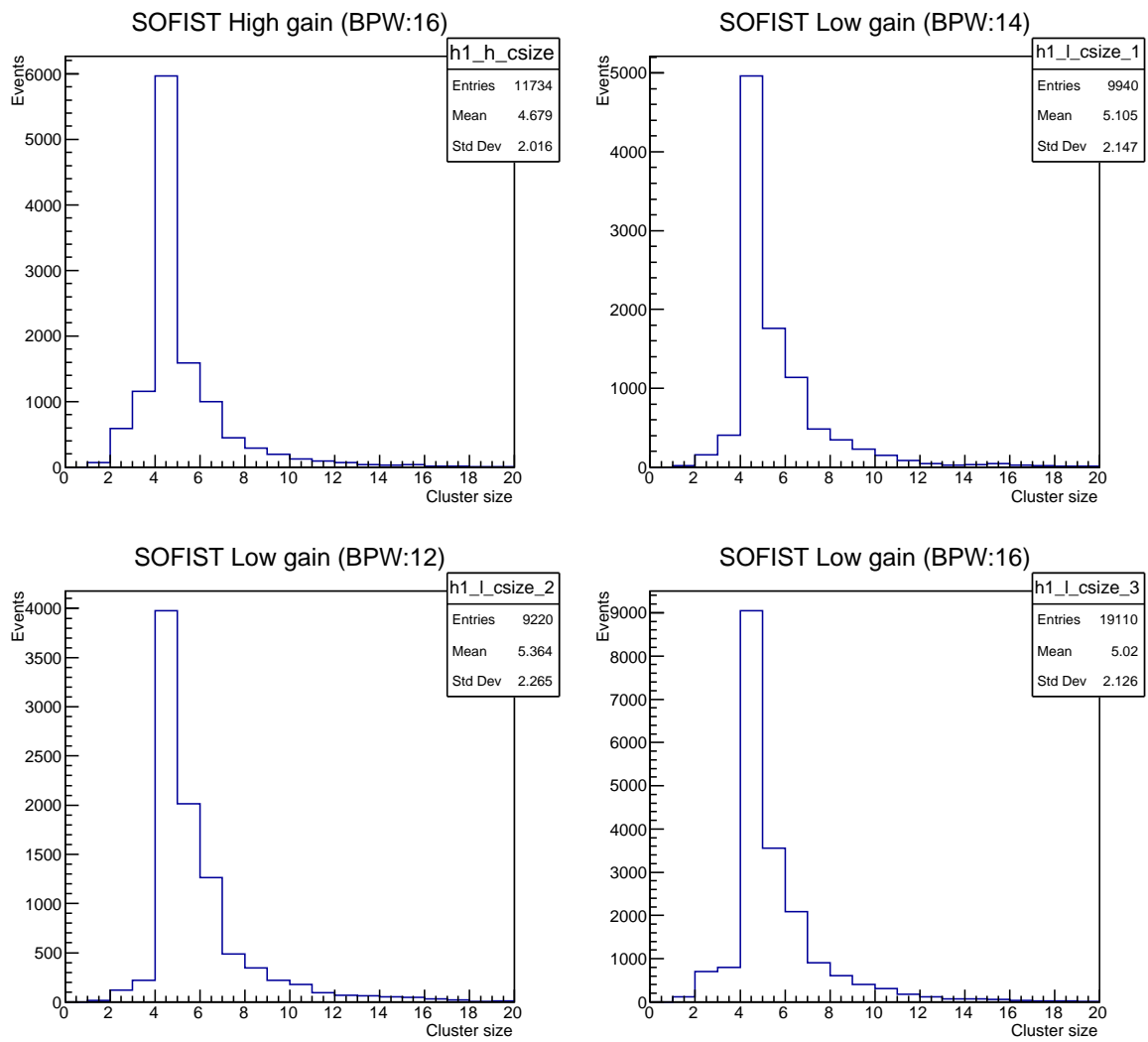


図 72 クラスターサイズ (SEABAS ADC, HV = 130 V), 左上: High gain, 左下: Low gain(BPW:12 μm), 右上: Low gain(BPW:14 μm), 右下: Low gain(BPW:16 μm)

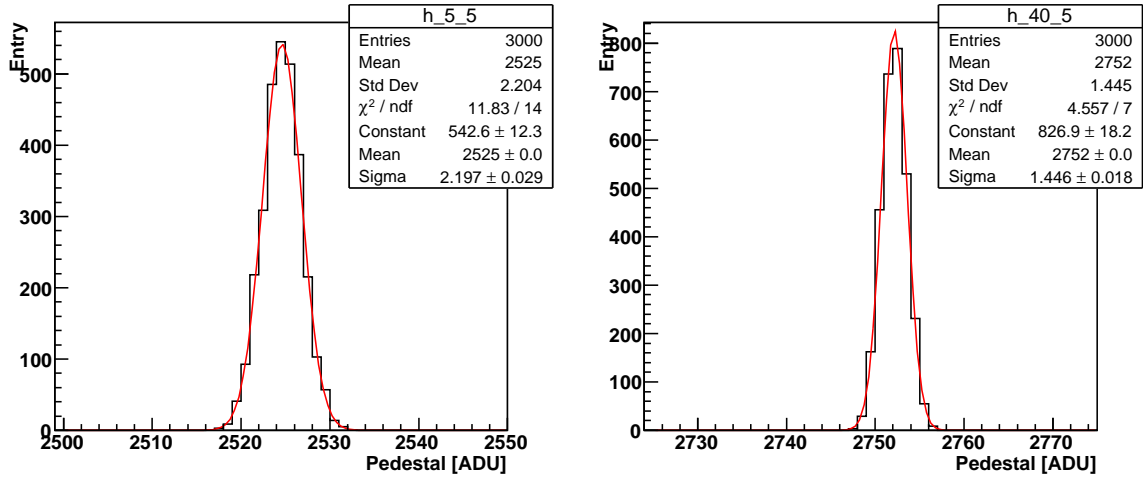


図 73 ピクセルノイズ (SEABAS ADC, HV = 130 V), 左: High gain, 右: Low gain

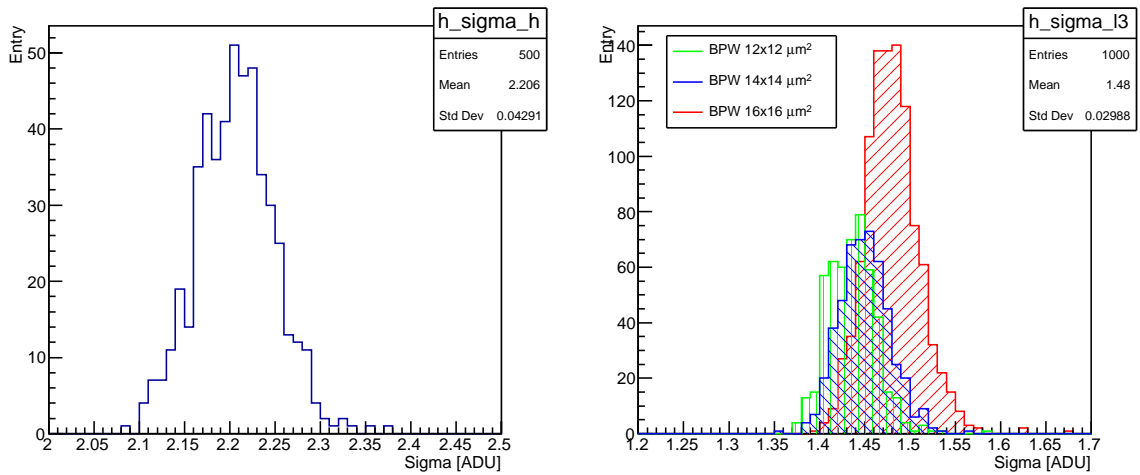


図 74 ピクセルノイズ分布 (SEABAS ADC, HV = 130 V), 左: High gain, 右: Low gain

上記解析結果はセンサー厚:500 μm での完全空乏化状態での計測結果であり、最終目標となるセンサー厚:50 μm では S/N は低下する。薄化センサーでのシグナル評価を行うため、バイアス電圧を変更して同様のシグナル検出・再構成を実施した。ただし、バイアス電圧が 10 V 以下の状態ではセンサー内の空乏領域が不均一となり、結果としてシグナル検出が可能な領域が小さくなる。今回の解析では、バイアス電圧が 15 V の状態で取得したデータを使用した。後述の図 77 よりバイアス電圧が 80 V で 500 μm が完全空乏化したと考えると、15 V の状態では実効的な空乏層は約 216 μm となる。

バイアス電圧 15 V で取得した、クラスタシグナルとクラスタサイズの分布を図 75, 76 に示す。空乏層厚の減少により、シグナルピーク値が低下していることが確認出来る。またクラスタサイズの平均も図 72 と比較して減少している。

High/Low gain、BPW サイズ、空乏層厚ごとのシグナルピーク、ピクセルノイズ及び S/N の計算結果を表 14, 15 に示す。

表 14 ピクセルシグナル、ノイズ測定結果 (SEABAS ADC, HV = 130 V)

	Peak signal [ADU]	Pixel noise [ADU]	S/N
High gain (BPW:16 μm)	899.0	2.206	407.5
Low gain (BPW:12 μm)	451.8	1.436	314.6
Low gain (BPW:14 μm)	429.9	1.450	296.5
Low gain (BPW:16 μm)	421.4	1.480	284.7

表 15 ピクセルシグナル、ノイズ測定結果 (SEABAS ADC, HV = 15 V)

	Peak signal [ADU]	Pixel noise [ADU]	S/N
High gain (BPW:16 μm)	308.7	2.206	139.9
Low gain (BPW:12 μm)	177.6	1.436	123.7
Low gain (BPW:14 μm)	173.8	1.450	119.9
Low gain (BPW:16 μm)	174.2	1.480	117.7

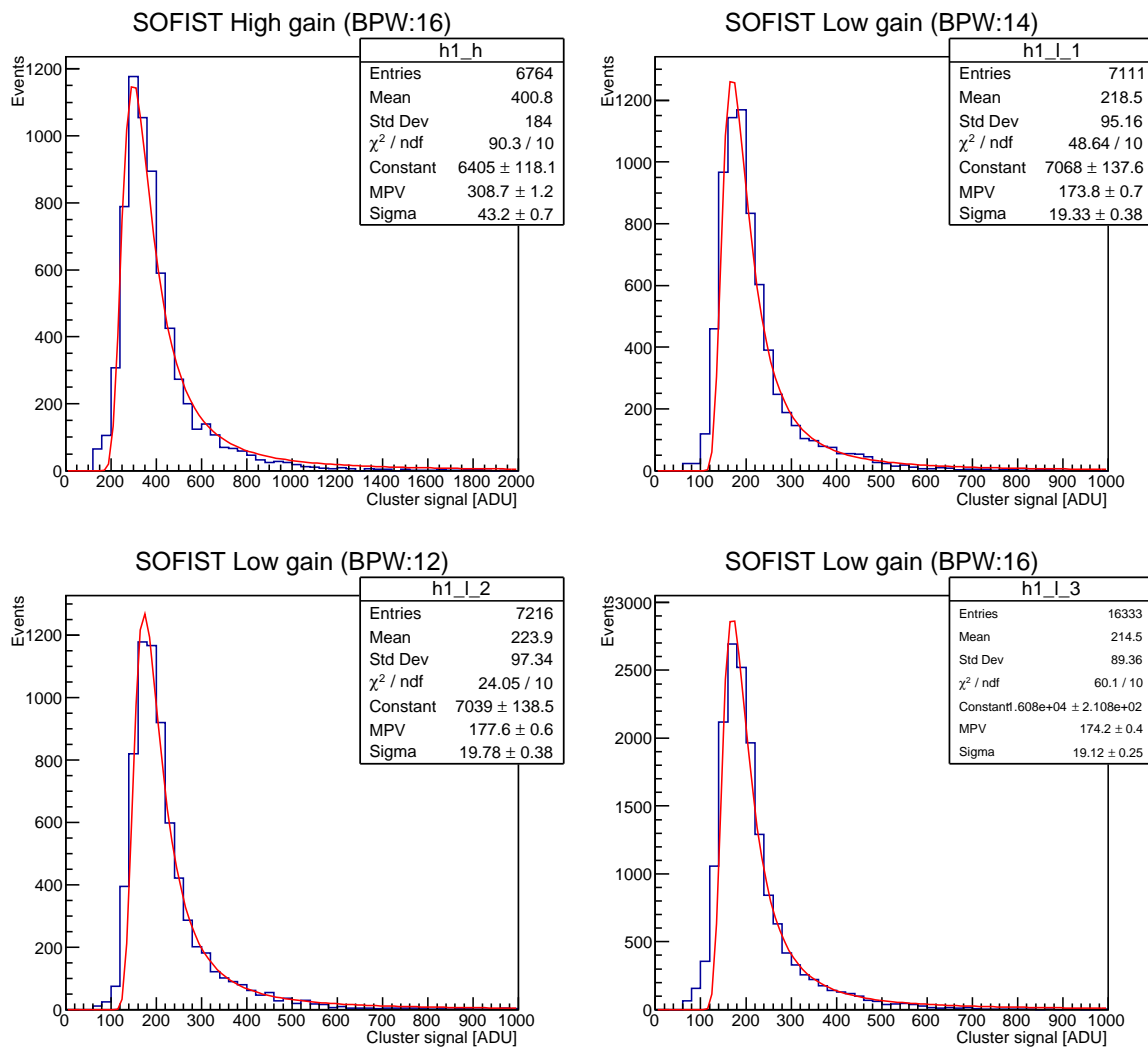


図 75 クラスターシグナルスペクトル (SEABAS ADC, HV = 15 V), 左上: High gain, 左下: Low gain(BPW:12 μm), 右上: Low gain(BPW:14 μm), 右下: Low gain(BPW:16 μm)

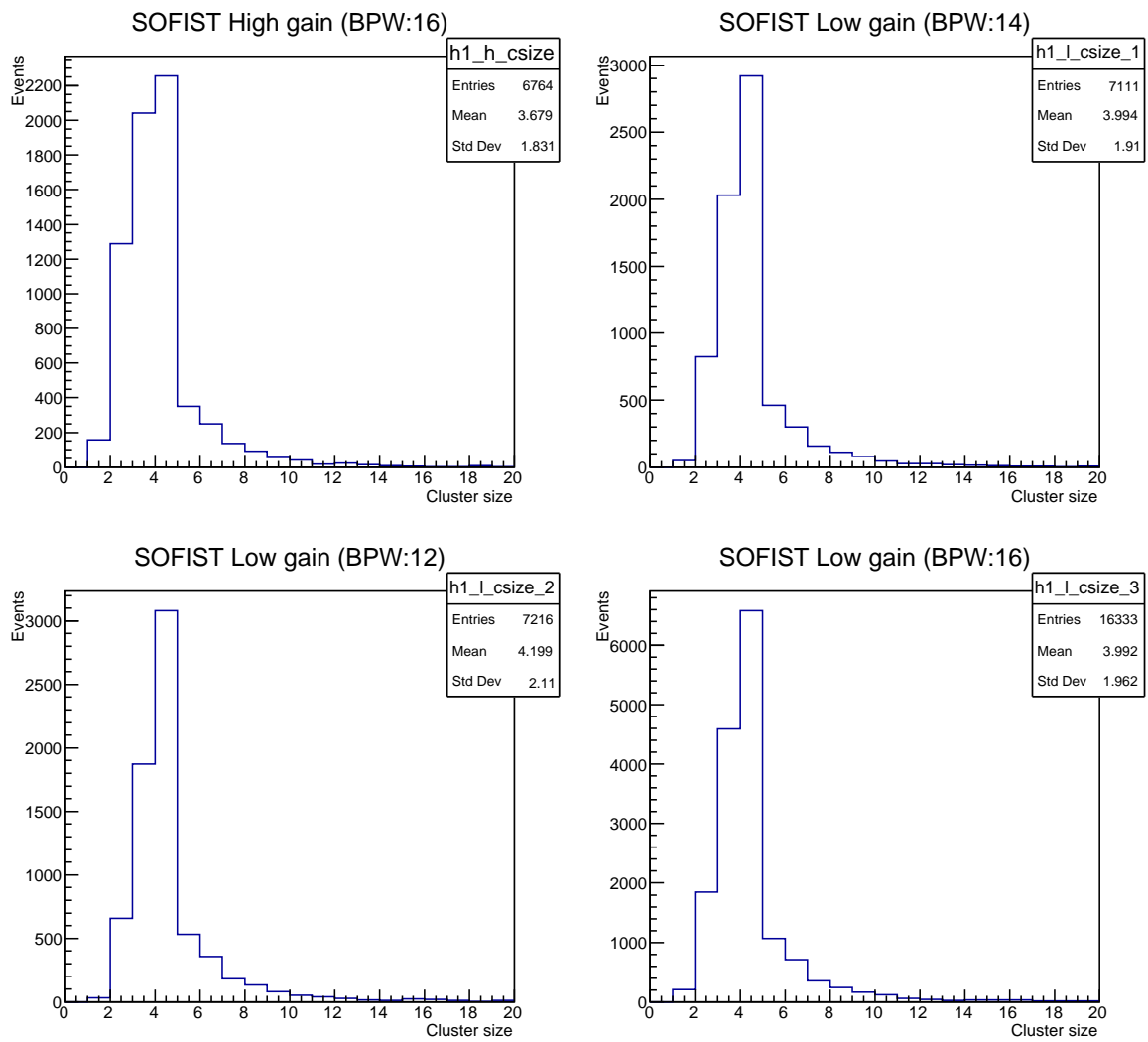


図 76 クラスターサイズ (SEABAS ADC, HV = 15 V), 左上: High gain, 左下: Low gain(BPW:12 μm), 右上: Low gain(BPW:14 μm), 右下: Low gain(BPW:16 μm)

5.3.2 センサー空乏層厚

検出されるシグナル量はセンサーの空乏層厚に依存することから、センサーバイアス電圧を変更した状態でのシグナル検出を行い、今回のセンサーチップでの空乏層厚と印加電圧の依存関係を計測した。センサーの空乏層厚は以下の式によってウェハの抵抗率、印加電圧の式として記述される [23]。

$$\omega_d = \sqrt{2\varepsilon\mu\rho V_b} \quad (2)$$

ここで、 ε, μ, ρ はそれぞれウェハの誘電率、マジョリティキャリア (N 型では電子) の移動度、そして抵抗率を示す。センサーの空乏層厚は印加電圧 V_b の平方根に比例する。検出シグナル量は空乏層厚に比例すると考えると、検出シグナルも印加電圧の平方根に比例して変化する。図 77 に 15-130 V までバイアス電圧を変更した際の、再構成したクラスタシグナルのピーク値との相関を示す。

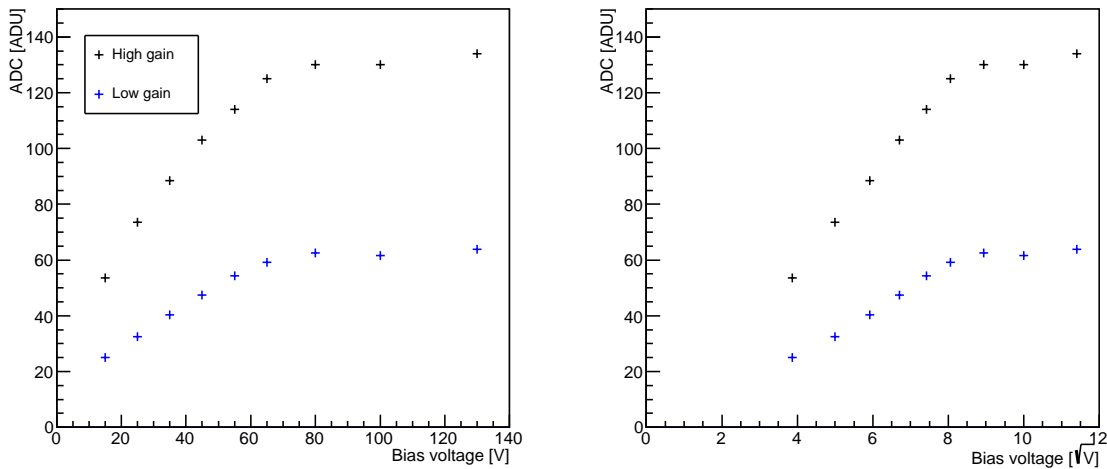


図 77 シグナル・バイアス電圧相関 (右は横軸を電圧平方根としてプロット)

印加バイアス電圧 80 V 以上では、検出シグナル量は増加せず飽和している。よって、80V 以上で空乏層厚の増加が止まる、即ちウェハが完全空乏化状態になっていると考えられる。

5.3.3 飛跡再構成・位置分解能

各検出器で検出されたクラスターシグナルより飛跡の再構成を実施する。この解析においては、データは各ピクセルで High/Low ゲイン値の補正を行った状態で実施した。

最初に各検出器のアライメントとして検出器間の相対位置計測・補正を行った後、データ解析を行い位置分解能の評価を行った。相対位置計測としてはビーム軸方向のセンサー間距離 (z) を固定値として各検出器間の x,y 方向 (ビーム軸に対して垂直面) と回転角 (ビーム軸回転) の計測を実施した。計測パラメータを使用して検出器上のヒット位置に対して以下の平行移動・回転補正を行っている。

$$X = (x - \Delta x) \cos \theta - (y - \Delta y) \sin \theta$$
$$Y = (x - \Delta x) \sin \theta + (y - \Delta y) \cos \theta$$

■初期位置補正 最初に各センサー上での検出ヒット位置より、センサー間の相対位置関係の計測を実施する。各クラスターシグナルに対して、重心演算によって x,y 方向 (ビーム軸に対して垂直面) それぞれのヒット位置を検出する。クラスターシグナルの再構成と同様に 5 × 5 ピクセル内で検出されたシグナルより重心演算を行っている。検出器間での同イベントでのヒット位置についての相関関係を図 78 に示す。x,y 方向それぞれについて相関関係より各センサーの相対的な位置のずれを計算し、各方向の相対位置補正を行う。

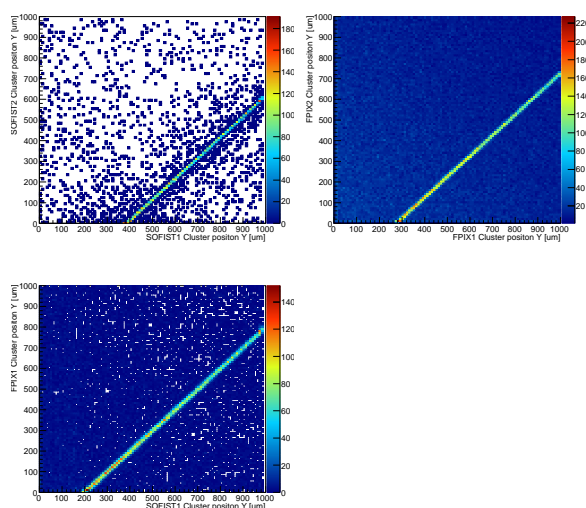


図 78 SOFIST-FPIX イベント相関 左上: SOFIST-SOFIST, 右上: FPIX-FPIX, 右下: SOFIST-FPIX

位置補正後の検出データに対して初回の飛跡再構成を実施する。各 FPIX センサー上で検出されたクラスターシグナルから計算されるヒットの組み合わせから、最小二乗法の計算によって最適なトラック候補となる直線を導出している [36]。センサー上に複数ヒットがある場合は、全組み合わせでの直線を計算している。各組み合わせの候補より、最小二乗法の χ^2 が最小となる直線をトラック候補として選択する。x,y 方向それぞれ独立にこの計算を実施し、各イベントで x,y それぞれのトラック候補を計算する。x,y のトラック候補に対して、各検出器上のヒットに対して同じ組み合わせを使用したものであれば、正しくトラックを再構成できたとして分解能計算に使用する。

再構成されたトラックより、各センサー上でのトラック位置と検出点との間で残差計算を行う。SOFIST の残差計算では、前述のトラック候補直線と、検出点との位置の差分を計算し残差分布を導出する。また、FPIX 検出器側のトラックパラメータ最適化のため FPIX の各 4 センサーについても残差計算を行っている。FPIX 検出器の解析では、前述のトラック候補の各センサーヒット点に対して、残差計算を行う対象 (DUT) 以外のヒット点を使用し再度トラック直線を導出する。これらの計算により、再構成トラックに対して x,y 方向それぞれのトラック・検出点間の残差分布を得る。

取得された残差分布に対して更に、ビーム軸 (z 軸) 方向の検出器の回転角補正を実施する。回転角の計算としては、y(x) 方向の残差計算値と x(y) 方向の検出点位置との相関より導出する。検出器の回転がなければ残差の相関は発生せず、検出位置に依らず残差は 0 付近に分布する。回転角がある場合、検出位置により残差分布の中心がずれるため相関に傾きが発生する。位置補正後のヒット位置を $X' = x - \Delta x, Y' = y - \Delta y$ とすると、実際のヒット位置 X,Y との残差は、

$$\begin{aligned} X_{res} &= X' - X \\ &= X'(1 - \cos \theta) + Y' \sin \theta \approx Y' \theta \quad (\theta \approx 0) \end{aligned}$$

回転角 θ が十分に小さいと仮定すると残差と検出ヒット位置相関の傾きが回転角となるため、傾きが 0 となるように検出器配置の回転補正を実施する (図 79, 80)。

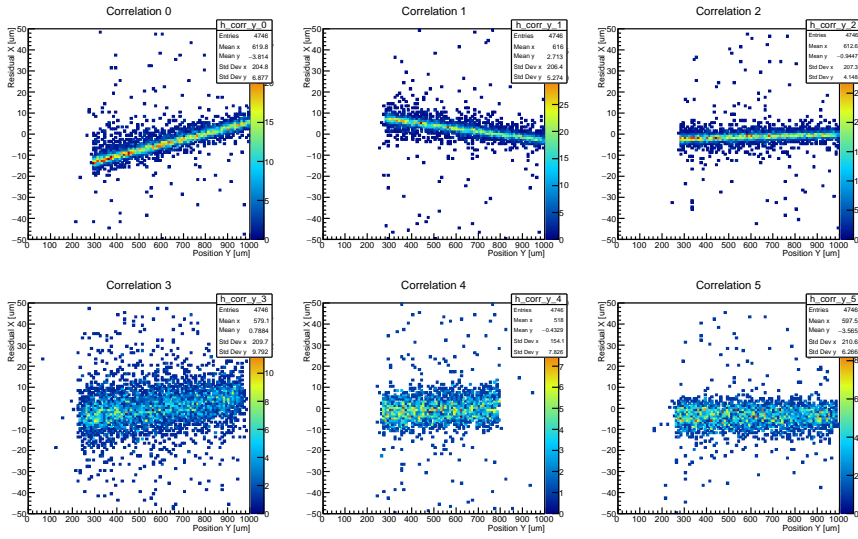


図 79 検出点位置 (Y')-残差計算値 (Δx) 相関 (回転補正前)

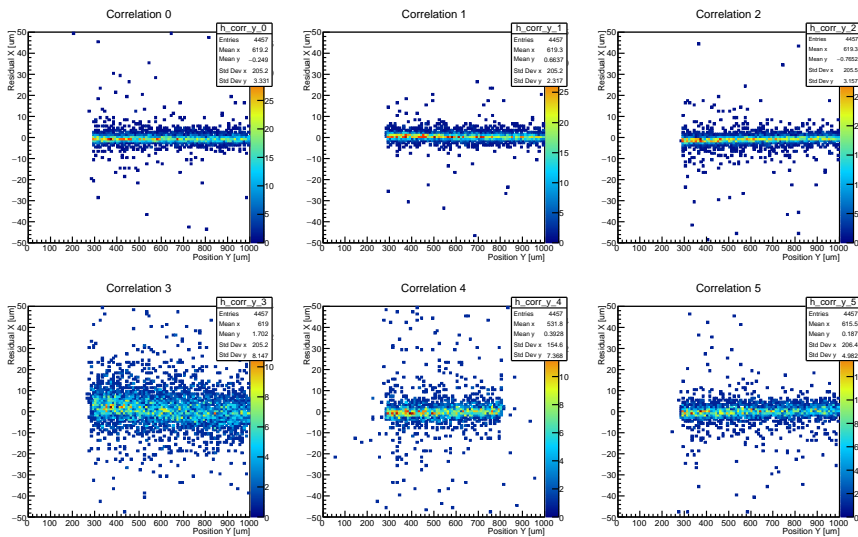


図 80 検出点位置 (Y')-残差計算値 (Δx) 相関 (回転補正後)

■詳細位置補正 前節の計算より得られた x, y 方向 ($\Delta x, \Delta y$) の移動量及びビーム軸回転角: θ を使って、より詳細なアライメントを実施した。得られたパラメータを初期値として各検出器でのヒット位置計算及び残差の解析を行った結果を図 81 に示す。この状態から、各検出器の x, y 方向の平行移動と θ 方向の回転について次に示す手順でアライメントパラメータを導出した。

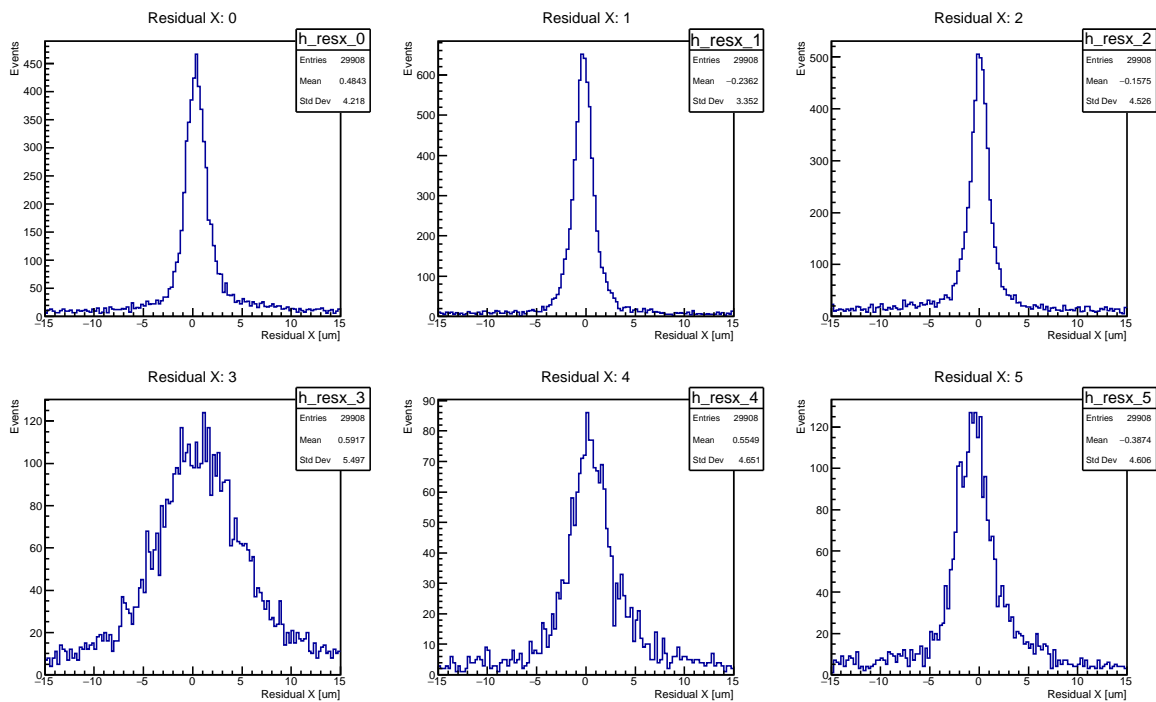


図 81 FPIX, SOFIST x 方向残差分布 (上段左から FPIX1, FPIX2, FPIX3, 下段左から FPIX4, SOFIST1, SOFIST2)

平行移動補正 図 81 で計算された各検出器の残差分布より残差の平均値を計算する。 x, y 方向それぞれで残差平均の計算を行った後、初期値のアライメントパラメータよりこの平均値を差し引くことで、パラメータへのフィードバックを行う。フィードバック後の更新パラメータを使用して、再度平均値の計算を実施する。この残差平均による平行移動値計算・パラメータ更新を繰り返すことで、平行移動パラメータを決定した。

回転補正 回転パラメータの導出については、 x, y 方向のパラメータ更新後に初期値の場合と同様に再度残差と検出ヒット位置相関の傾きを求める。回転についても回転角計算・パラメータ更新を繰り返すことで、最終的な補正值を決定した。

平行移動パラメータ ($\Delta x, \Delta y$) と回転パラメータ (θ) は更新することで相互に残差計算

に対して影響するため、平行移動値計算・更新と回転角計算・更新を交互に繰り返している。実際のパラメータ導出では、平行移動値計算・更新を5回分実施した後、回転角計算・更新を1回実施するアライメント手順を行った。

また、各検出器ごとにアライメントパラメータの導出する必要があるため、今回の解析では以下の順番で検出器アライメントを行った。(各検出器番号は図 65 参照。イタレーション回数は平行移動補正回数を示す。)

1. FPIX4 パラメータ導出 (イタレーション回数:15 回)
2. FPIX1, FPIX3 パラメータ導出 (イタレーション回数:60 回)
3. SOFIST1, SOFIST2 パラメータ導出 (イタレーション回数:60 回)

この解析では FPIX2 を基準としてアライメントを実施した。パラメータ導出時の残差解析は、初期値解析と同様 DUT 以外の FPIX 検出器のヒット点を使用して飛跡再構成を行った。FPIX のパラメータ導出時は残る FPIX 検出器 3 枚、SOFIST の導出時は FPIX 検出器 4 枚を飛跡解析に使用している。最初にもっとも離れた位置にある FPIX4 のアライメントを実施している。FPIX4 のパラメータ導出後、そのパラメータを使用して (FPIX2, FPIX4 を固定状態で) 次の FPIX1, FPIX3 のアライメントを実施した (図 82)。FPIX1, FPIX3 それぞれで残差計算実施後に両検出器のパラメータを更新し、次の計算を開始している。全 FPIX のアライメント終了後、SOFIST のアライメントに関しても同様に行った (図 83)。イタレーション回数は FPIX、SOFIST とも角度補正実施後の、位置補正による変化が $0.2 \mu\text{m}$ 未満となった時点として決定している。

SOFIST のパラメータ導出では BPW サイズによりチャージシェアが異なるため、BPW 領域ごとに解析している。特にトラック解析に使用できるピクセル領域は、SOFIST1 で Low gain(BPW:14 μm) 及び SOFIST2 で Low gain(BPW:16 μm) であったため、各センサーでその領域に絞って計算を実施した。

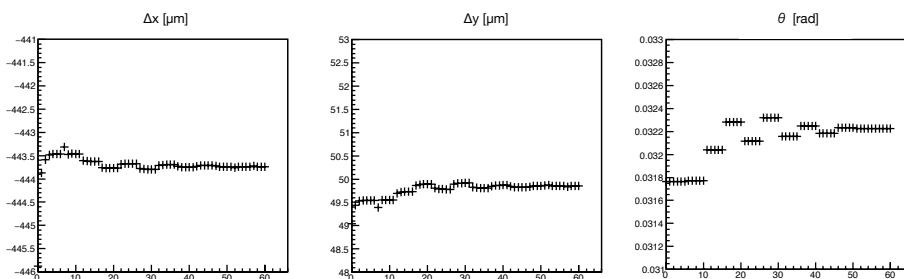


図 82 FPIX1 アライメントパラメータ導出解析イタレーション。横軸:イタレーション回数、 $\Delta x, \Delta y$ 補正 5 回毎に θ 補正を実施

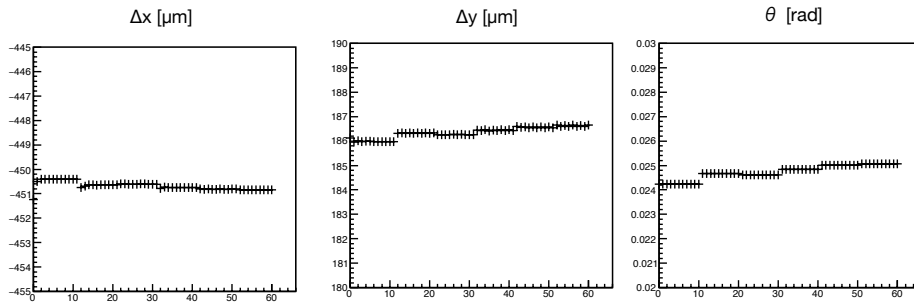


図 83 SOFIST1 アライメントパラメータ導出解析イタレーション。横軸:イタレーション回数、 Δx , Δy 補正 5 回毎に θ 補正を実施

アライメントパラメータ確定後に、再度残差の解析を行った結果を図 84 に示す。各検出器の残差分布が中央付近に移動していることを確認し、位置分解能解析へと移行した。

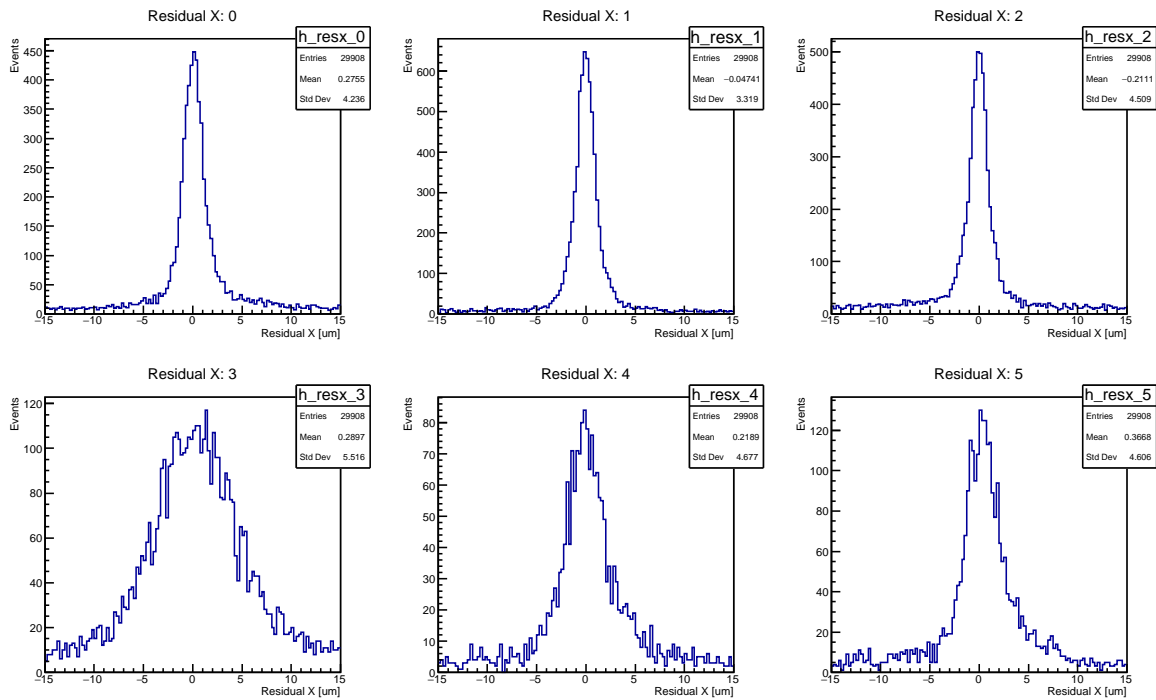


図 84 FPIX, SOFIST x 方向残差分布 (アライメント完了後)

■位置分解能解析結果 アライメント実施後の位置・回転補正パラメータセットを使用して、再構成された飛跡位置と SOFIST 上でのヒット点との残差計算を行った。ここではバイアス電圧 130 V での完全空乏化状態での実験データを使用している。解析データはアライメント時と同様に SOFIST1 で Low gain(BPW:14 μm) 及び SOFIST2 で Low gain(BPW:16 μm) のピクセル領域を使用している。また、読み出されるシグナルの分解能がより高い SEABAS ADC で取得したデータセットでの解析を行った。

最初に、残差解析データは入射角による飛跡の選別を行っている。FPIX 検出器 4 枚によって再構成された飛跡のビーム軸方向に対する傾きと χ^2 分布を図 85, 86 に示す。

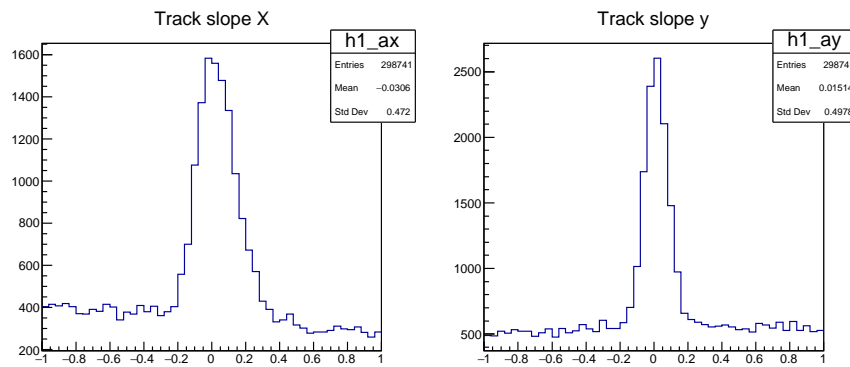


図 85 再構成飛跡:傾き分布、左:x 方向、右:y 方向

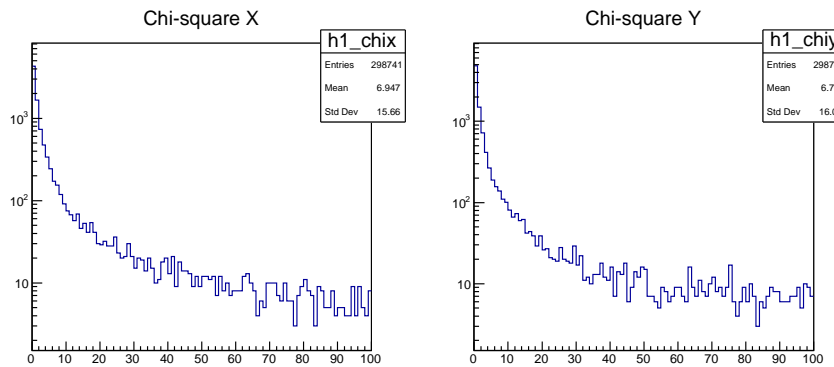


図 86 再構成飛跡: χ^2 分布、左:x 方向、右:y 方向

ビームの入射方向は検出器に対してほぼ垂直であるため、x,y 方向の傾きが $\pm 0.2 \times 10^{-3}$ 以内の飛跡を選別する。以上の選別条件で、抽出された飛跡による残差分布の結果を図 87 に示す。この残差分布における分布幅を検出器の位置分解能として求めている。x,y 方向

それぞれの分布幅を求めると SOFIST1 で 1.50, 1.38 μm 、SOFIST2 で 1.37, 1.35 μm を得ることができた。実際にはこの分布は、FPIX によって再構成された飛跡自体の分解能も含まれているが、それらを含む結果としても目標とする 3 μm 以上の分解能を達成することができている。

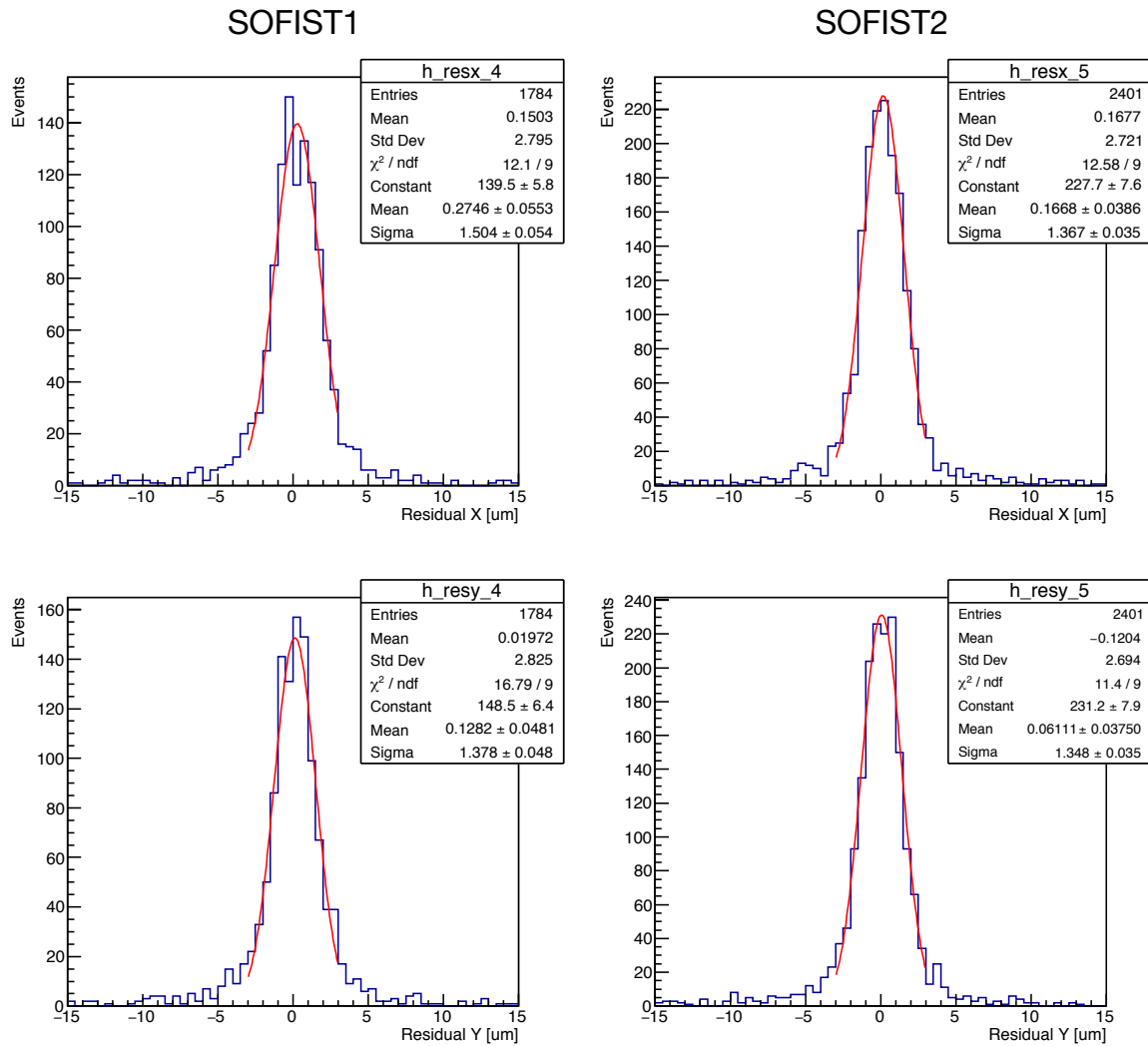


図 87 SOFIST 残差分布: 左:x 方向、右:y 方向

以上はセンサー厚:500 μm 完全空乏化状態での計測であり、センサー薄化での S/N の低下により分解能は悪化すると考えられる。空乏層厚の変化による影響を評価するため、バイアス電圧:15 V(空乏層厚:約 200 μm) に変更した状態で取得したデータで同様の解析を実施した。

バイアス電圧 15 V の状態で、センサーアライメント実施後の再構成飛跡による残差分

布の解析結果を図 88 に示す。各センサーの分布幅を求めると SOFIST1 で 1.58, 1.54 μm 、

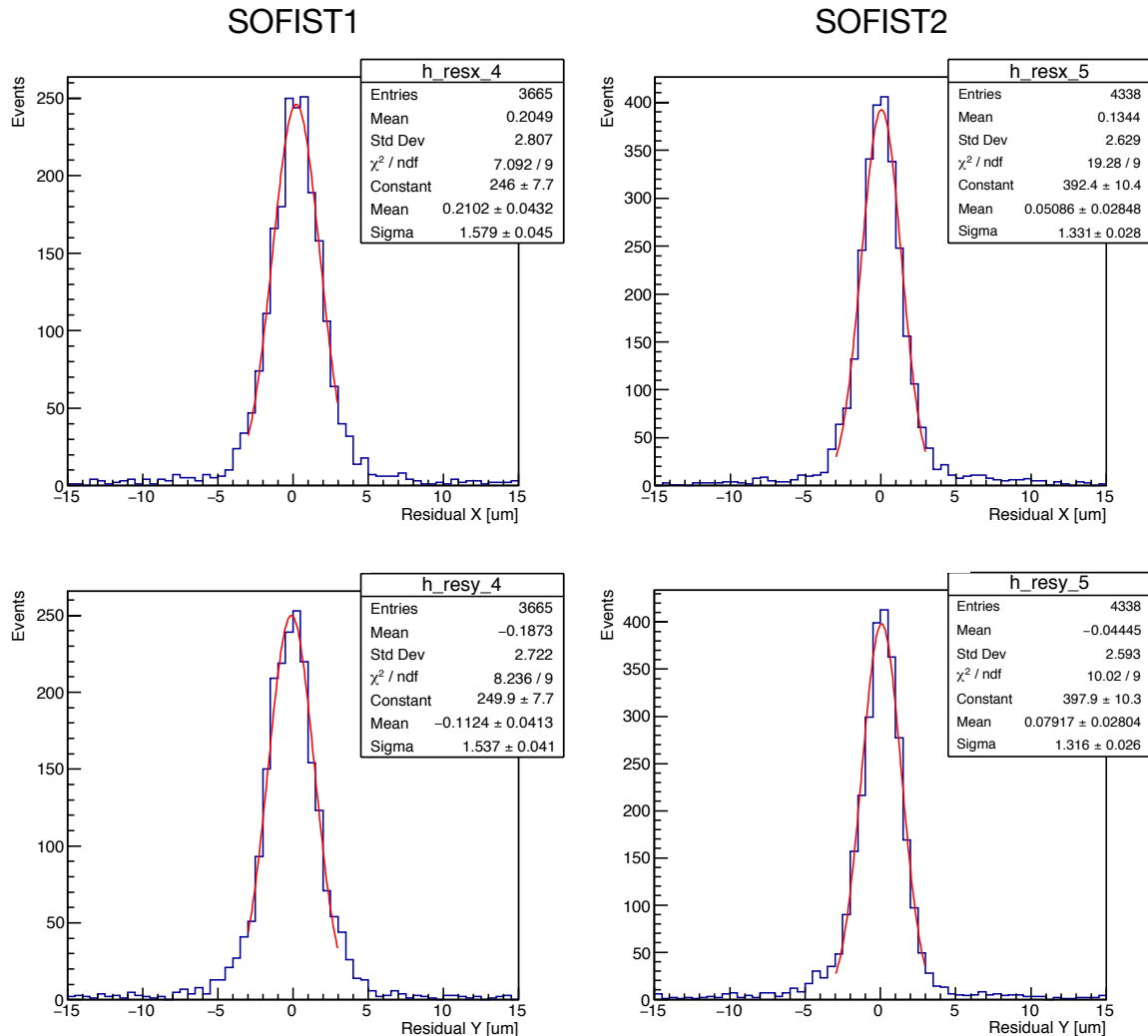


図 88 SOFIST 残差分布 (HV = 15 V): 左:x 方向、右:y 方向

SOFIST2 で 1.33, 1.32 μm となり、図 87 と比較して大きな変化は見られない。空乏層厚の低下により検出シグナルのクラスターサイズが減少することでピクセルノイズの総和も減少した結果、S/N の低下が抑制されたと思われる。今回の結果では空乏層厚の低下による分解能の悪化は見られなかった。ただし、最終目標となる 50 μm を考えた場合チャージシェアが更に減ることによる分解能の悪化が考えられる。(チャージシェアが発生しない場合は、分解能はバイナリ読み出しと同様にピクセルサイズの $1/\sqrt{12}$ となる。) より詳細な検証にはセンサー内での電場構造を調査した上で、ピクセル間チャージシェアの解析が必要となる。

6 課題・展望

現在、前章までで開発、及び評価を実施した SOFIST Ver.1, Ver.2 のセンサーチップの結果をもとに次の試作チップの設計開発を開始している。次回の試作センサーチップは過去の2チップでの設計内容を統合し、SOFIST のピクセル回路最終形としてアナログシグナル、タイムスタンプメモリ機能を1つのピクセル内に埋め込むことを検討している。本章で、現状までの試作チップ開発で明確となった課題と、SOFIST のピクセル回路実現に向けた新たな技術提案とその設計・試作について述べる。

6.1 現状課題

第3章で述べたように SOFIST ではピクセル回路の小型化・最適化が大きな課題の一つとなっている。Ver.2 の試作ピクセル設計ではアナログシグナルメモリ、タイムスタンプメモリ機能を持つピクセル回路を実装した。各 FET 素子サイズや CDS、コンパレータ、メモリ回路などに使用される容量素子を変更・縮小することによる回路レイアウトの整理し最適化することで各回路小型化での実装が可能となっている。また、最も FET 素子を必要とする D-FF を含むデジタル回路部については、Active 共有化による P/NMOS FET 素子の結合を行うことによって実装サイズの高密度・縮小化を実現している。しかしながら、現状において各ピクセルサイズは $25 \times 25 \mu\text{m}^2$ まで大型化している。今後の開発において、アナログシグナル、タイムスタンプメモリ機能の統合やピクセル内のメモリ数増加を考慮すると、現在の製造プロセスによる回路設計では $30 \mu\text{m}$ 角以上のピクセルサイズが必要になると予測され、さらなる回路素子の最適化や実装面積の縮小化を図ったとしても $20 \mu\text{m}$ 角での実装は困難である。今後において、より微細化された半導体製造プロセスへ移行して回路設計を行うことによって、縮小化したピクセル回路実現の可能性はあるため現在検討を進めている。ただし回路サイズの微細化が実現されたとしても、アナログメモリ (容量素子) は kT/C ノイズによって決定されるサイズ制限により実装面積の縮小化のボトルネックとなる。

以上のように現状の SOI センサー構造・回路実装による SOFIST のピクセルを実現したとしても、全ての機能を搭載した状態でのピクセルサイズの縮小化は困難となっている。今後の SOFIST のセンサー開発においては、回路最適化や微細プロセスの採用以外に新たな技術・構造を模索する必要がある。

6.2 次期試作チップ開発

次回の SOFIST 試作チップ開発では、2種のセンサー (Ver.3, Ver.4) を並行して開発を行うことを計画している。Ver.3 は現行の SOI センサー構造によるでのピクセル機能の統合を目指した開発を行う。それに対して、Ver.4 センサーでは Ver.3 と同じ回路構成を使用し、新たなチップ構造として三次元実装技術による SOI センサーチップの積層化を実施する。

6.2.1 SOFIST Ver.3

次回試作チップである Ver.3 センサーについてはアナログシグナル、タイムスタンプメモリ機能の統合ピクセルを行う。具体的には Ver.2 のセンサーチップに搭載した 2 種のピクセル回路機能をまとめたピクセル回路を実装する (図 89)。各回路は Ver.2 の設計内容を踏襲し機能の拡張を行っている。CDS の出力を 2 系統に分離しコンパレータ入力とアナログメモリ入力に分けることで、アナログシグナルとタイムスタンプの同時格納を行う。また、メモリ数を Ver.2 より増加させて、アナログシグナルメモリとタイムスタンプメモリを各 3 素子を配置する構成とした。メモリ数に合わせ、シフトレジスタも 3 段の D-FF に拡張している。チップ出力は配線数削減のためアナログシグナルメモリ、タイムスタンプ、シフトレジスタの出力をまとめ、セレクトにより順次読み出しを行う。この Ver.3 センサーでは、回路・メモリ数の増加に合わせてピクセルサイズを $30 \times 30 \mu\text{m}^2$ での実装を行う。

Ver.3 センサーチップの全体構成を図 90 に示す。チップサイズとしては Ver.2 チップよりさらに大型化し 6 mm 角としている。ピクセルアレイは 128×128 としており、有感領域は 3.84×3.84 mm 角になる。また、周辺回路は Ver.1 チップと同様に Column ADC を搭載してピクセルシグナルの読み出しを行なう。

6.2.2 SOFIST Ver.4

Ver.4 の試作チップは、回路設計・検証の時間を削減するため、Ver.3 と同様のピクセル・回路機能の実装を行う。ただし、Ver.4 においてはピクセルサイズを縮小して、Ver.1 チップと同様 $20 \times 20 \mu\text{m}^2$ での回路実装を行う。図 89 に示したピクセル回路の実装面積を確保するために三次元積層化技術による試作を実施している。

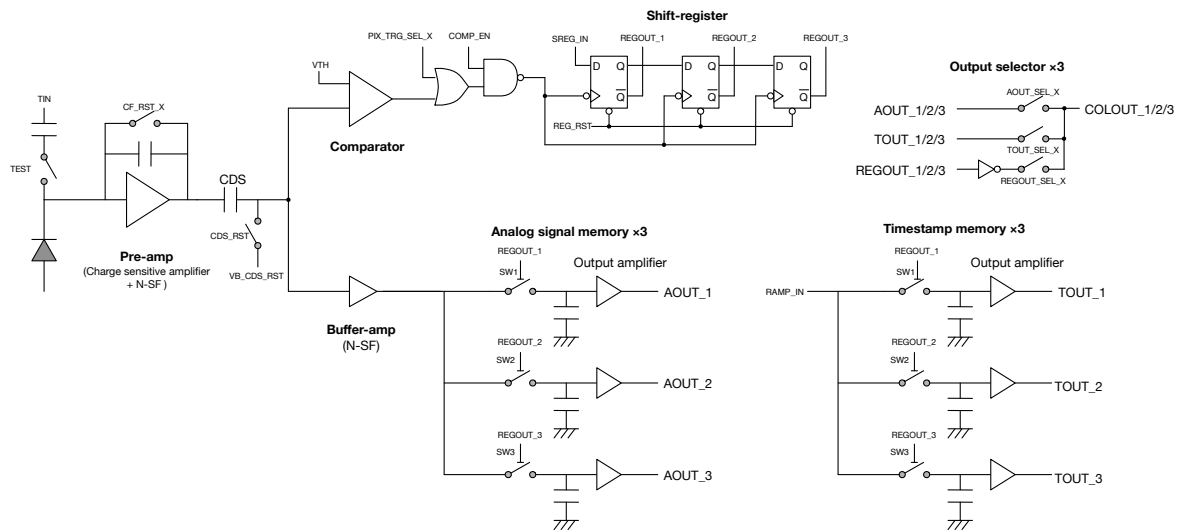


図 89 SOFIST Ver.3 ピクセル回路構成

■三次元積層化技術 三次元積層化技術では 1 つの回路チップ上に別の回路チップを積み重ねて接合させる。Ver.4 センサーチップでの三次元積層は東北マイクロテック社 (T-Micro) [37] で技術確立されているコーンバンプ接合での実装を行う [38]。今回の三次元積層化技術は図 91 に示すように Upper/Lower となる 2 チップを個別に設計・製造する。Ver.4 チップでは Lower チップ側を SOI センサーとして実装を行う。Upper チップ側についてはセンサー層を使用せずに、一般的な SOI チップと同様に回路部のみ実装する。製造された Lower/Upper のチップに対して回路層の上部にチップ間接続用パッドを形成する。さらに、片方のチップパッド上に接合用のコーンバンプと呼ばれる突起電極の形成を行う (図 92)。コーンバンプは円錐形状をした小型 (直径:2.5 μm) 電極を形成することにより、高密度実装 (最小間隔:5 μm) が可能である。コーンバンプは金 (Au) で実装され、バンプあたりの抵抗値は約 0.3 Ω 程度となる。チップ接合後 Upper 側のシリコン基盤層を研磨して除去し、外部配線用の PAD を形成することで三次元積層化 SOI センサーが完成する。従来のバンプ接合によるハイブリッド検出器等とは異なり、上記の三次元実装ではコーンバンプを小型サイズで高密度実装を行うことが可能のため、ピクセル間隔の縮小化および低物質量化を維持した状態でのセンサーチップを実現可能である。

Ver.4 センサーのチップ概要図を図 93 に示す。3 次元積層化による実装を行うため Upper/Lower の 2 チップを個別に設計、レイアウトを実施する。Upper/Lower チップは 4.45 mm 角での設計を行っている。チップ内のピクセルアレイは 108 \times 108 としており、有感領域は 2.16 \times 2.16 mm 角になる。ピクセル素子は回路を Upper と Lower で分割し

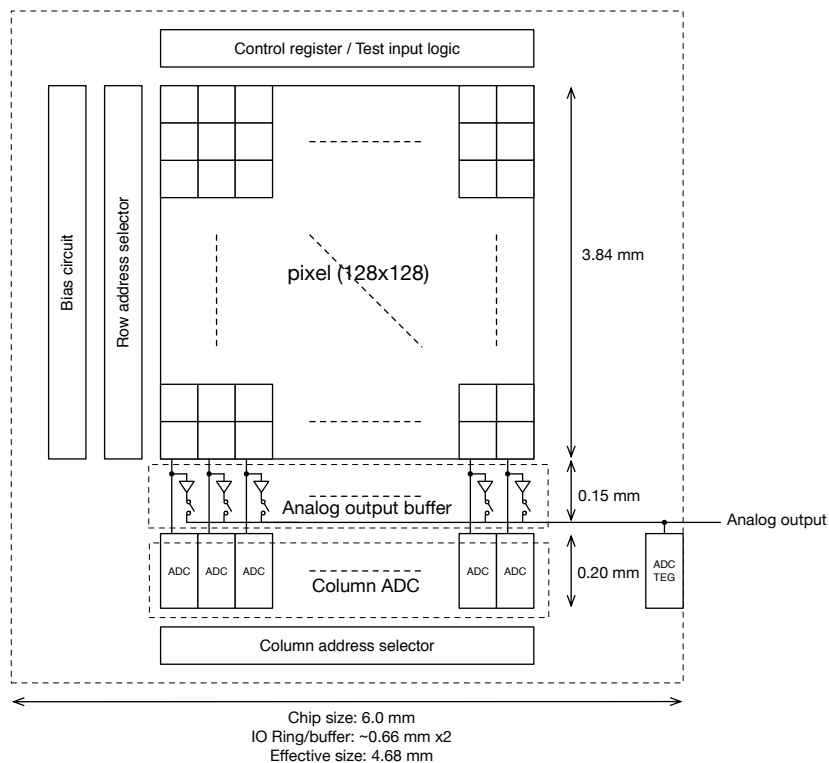


図 90 SOFIST Ver.3 チップ概要

て実装する。ADC を含む周辺回路については Upper または Lower 側に個別に配置される。周辺回路の構成と実装については、Ver.3 チップ設計した回路のレイアウトを変更し移植する。

■ピクセル回路 図 94 に Ver.4 センサーのピクセル回路図を示す。回路全体は Ver.3 ピクセル (図 89) と同様の構成となる。ピクセル内の回路を Upper/Lower 領域に分割して実装することで、ピクセルサイズを削減する。Ver.4 ピクセル回路では、主にアナログ読み出し回路部とデジタル処理・メモリ回路部で分割して回路の実装を行っている。Lower(センサーチップ) 側は、センサーから読み出れるアナログシグナルを処理するプリアンプ、CDS、コンパレータまでを実装する。Upper(回路チップ) 側では、コンパレータ以後のロジック・シフトレジスタブロックとアナログシグナル、タイムスタンプメモリ用のキャパシタを実装する。Lower と Upper 間はコンパレータ出力となるトリガシグナル (デジタル) と、CDS 出力となるピクセルシグナル (アナログ) の 2 ラインを、前述のコーンバンプ接合により接合する。また、電源・GND 配線についても Upper/Lower 間で共通化するためにコーンバンプによる配線を行う。今回の Ver.4 ピクセルの実装サイズは $20 \times 20 \mu\text{m}^2$

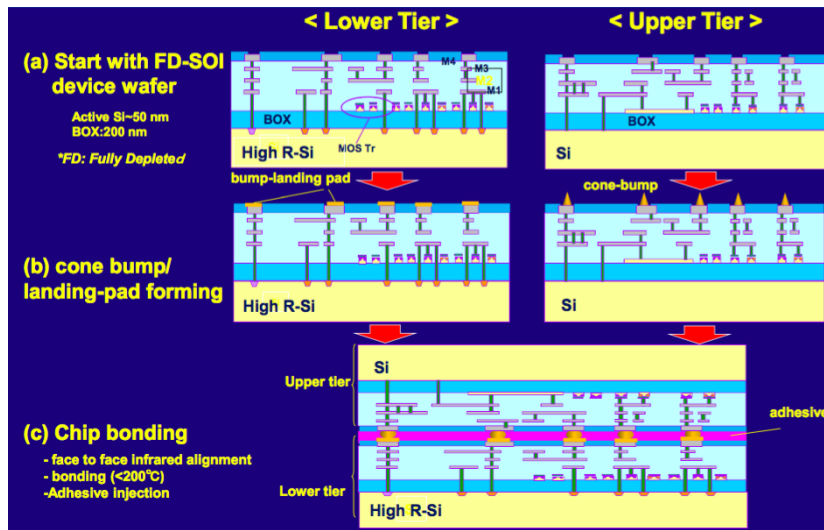


図 91 SOI センサー 3次元積層化技術 (T-Micro 社 [37])

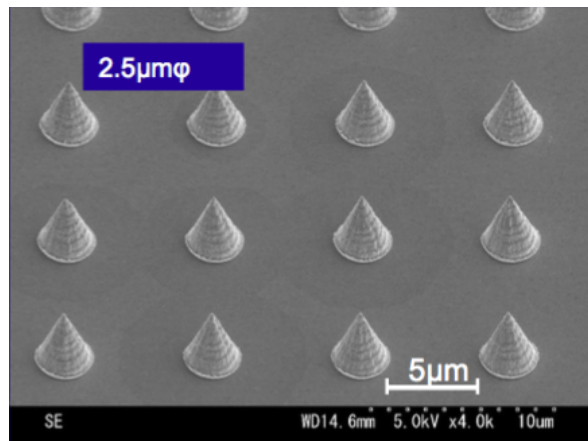


図 92 コーンバンプ写真 (T-Micro 社 [37])

へ小型化するが、 $5\mu\text{m}$ 間隔でのバンプ実装により複数の配線を Upper/Lower 間で接続することが可能となる。

6.2.3 試作チップ仕様まとめ

以上の SOFIST Ver.3 および Ver.4 センサーチップの設計・開発を 2017 年度に予定している。Ver.3, Ver.4 センサーの設計仕様について表 16 にまとめる。2017 年前半にチップ設計を完了させ、後半に Ver.3 チップと Ver.4 チップ (Upper/Lower) の製造が完了する予定である。Ver.4 チップについては、製造完了後にコーンバンプの形成とチップ接合処理を行うことで完成する。これらの Ver.3, Ver.4 センサーの設計開発・評価を行うことで、

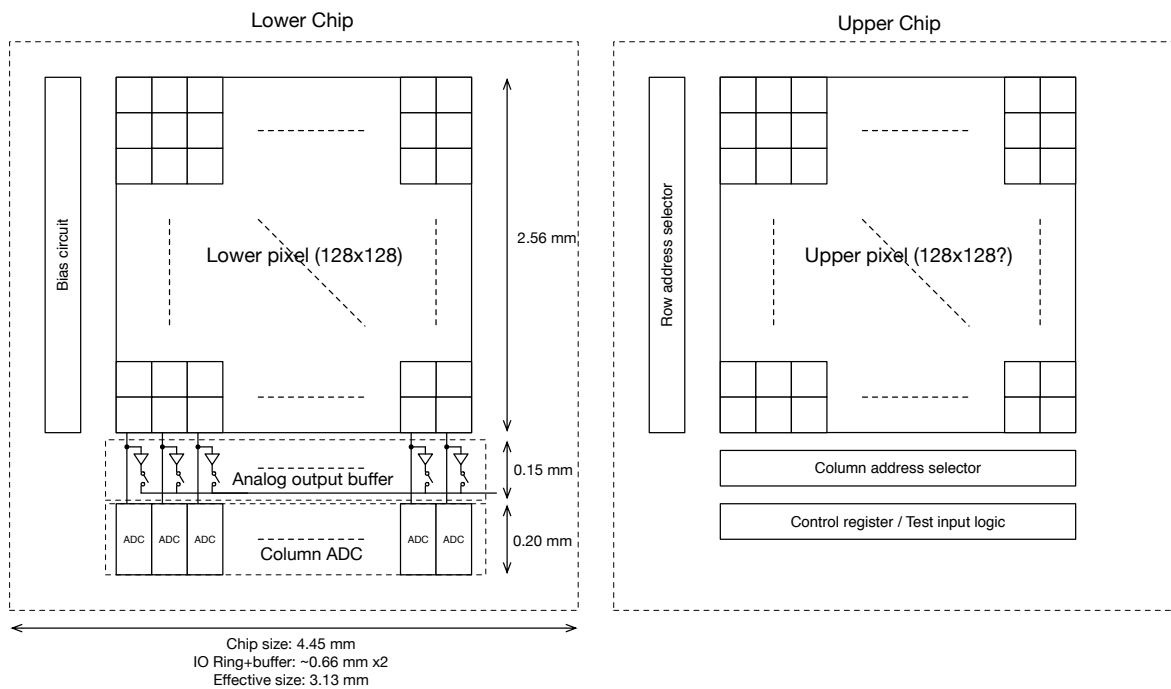


図 93 SOFIST Ver.4 チップ概要, 左:Lower, 右:Upper

SOFIST の目標であるピクセルごとでのアナログシグナル・タイムスタンプ情報の保持、そしてピクセルサイズ: $20 \times 20 \mu\text{m}^2$ への小型化の可能性を探る。

表 16 SOFIST Ver.3/Ver.4 チップ設計仕様

Parameter	SOFIST Ver.3	SOFIST Ver.4
Structure	SOI sensor	SOI sensor + 3D-Stacking
Pixel size	$30 \times 30 \mu\text{m}^2$	$20 \times 20 \mu\text{m}^2$
Pixel memory	(Analog signal + Timestamp) $\times 3$	(Analog signal + Timestamp) $\times 3$
Pixel array	128×128	108×108
Active area	$3.84 \times 3.84 \text{ mm}^2$	$2.16 \times 2.16 \text{ mm}^2$
Chip size	$6 \times 6 \text{ mm}^2$	$4.45 \times 4.45 \text{ mm}^2$
Readout	Column-ADC	Column-ADC

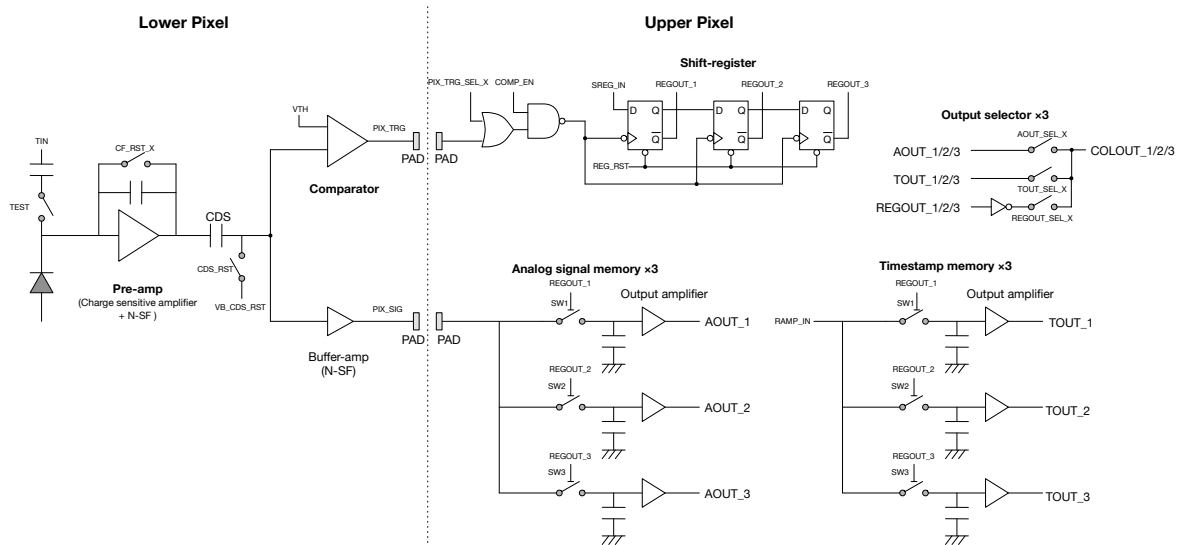


図 94 SOFIST Ver.4 ピクセル回路構成

6.3 今後の課題について

本研究において SOFIST Ver.1 から Ver.4 までの試作センサー開発により、小型のピクセル回路開発を行ってきた。SOFIST の実装に向けて特に重要となる位置・時間計測をおこなうピクセル回路の試作・評価において、以下の項目を実施した。

- Ver.1 アナログシグナル用ピクセル回路開発、 $20\ \mu\text{m}$ 角ピクセルでの位置分解能評価
- Ver.2 タイムスタンプ用ピクセル回路 (アナログタイムスタンプ、ヒット検出回路設計)
- Ver.3 アナログシグナル・タイムスタンプピクセル回路の統合
- Ver.4 3次元実装での小型ピクセル開発

最後に SOFIST のピクセル開発において残る課題についてまとめる。

■位置分解能向上 SOFIST の位置分解能評価としては、Ver.1 チップのビームテスト解析によって約 $1.3\ \mu\text{m}$ の分解能を達成することができた。ただし、これは空乏層厚 $500\ \mu\text{m}$ での解析結果であり最終目標となる $50\ \mu\text{m}$ での位置分解能検証は改めて必要である。また、ピクセルセンサーの位置分解能は空乏層厚によって変化するシグナル量以外にピクセル間でのチャージシェアにも依存して決定される。Ver.1 チップでのバイアス電圧を調整し約 $200\ \mu\text{m}$ 厚換算での分解能評価では、 $500\ \mu\text{m}$ の場合と変わらない結果を得ることができた。センサー薄化によっても分解能を維持するには、薄化時のセンサー内部の電場構

造と生成電荷の収集・分割についての影響を評価することが重要となる。

■時間計測・分解能検証 Ver.2 チップについては、ランプ電圧入力によるアナログタイムスタンプをピクセル内に実装することができたが、実際にこのタイムスタンプピクセルでの時間計測評価を行う必要がある。目標となるバンチ識別には 554 ns(アップグレード後は 330 ns)での精度が要求されるため、この分解能での時間計測が可能であること試作チップでの評価を実施していく。さらに、検出したヒットシグナルを時間情報によって分離・飛跡再構成を実現するため、複数の Ver.2 センサーによる検出器を構築しビームテストを実施する。

また、1 トレイン内に含まれる全ビームバンチ (1312/2450 bunch) を検出するために、12 bit 以上のより高精度・高速動作する ADC 回路の開発も必要となる。

■消費電力削減 冷却システムの物質量を抑えるため、SOFIST についてはセンサー自体の発熱をなるべく低減させる必要があり、即ちセンサー動作時の消費電力の抑制が重要事項となる。ILC で要求されている消費電力は 50 mW/cm^2 未満であり、これを達成するためにはより低消費電力なピクセル回路が必要となる。SOFIST のピクセル回路において主要な電力消費は 1)CSA やアナログバッファ (N-SF) 動作で必要となるバイアス電流、2) リセット動作によってピクセル内の CSA/CDS/コンパレータ回路を初期化する際の発生電流、等が考えられる。最初の項目に関しては、各アンプを動作させるためピクセル動作中は常に定電流を流す必要がある。2 番目の項目に関しては、リセット動作中のみが発生する瞬間的な電流の増加となる。SOFIST の全機能を実装した Ver.3/4 のピクセル回路についての、ピクセル動作時の単体の消費電力についてのシミュレーションでの見積もりをおこなった結果、現在の回路構成での消費電流は 1 ピクセル内で約 $3.3 \mu\text{A}$ となる。ピクセル内の CSA、アナログバッファへのバイアス電流の合計は $2.75 \mu\text{A}$ であり、この電流がほぼピクセル内の消費電流となっている。ピクセル回路の電源電圧は 1.8 V であるので、ピクセル毎の消費電力は $5.94 \mu\text{W/pixel}$ となる。単位面積あたりで換算すると 1.49 W/cm^2 となり、要求の 10 倍以上の見積もりとなっている。今後において、特に各アンプ部の低消費電力化が重要な課題となる。ただし、上記の計算はピクセルがシグナルを蓄積するための動作時の結果である。実際の運用ではビームトレイン間隔 200 ms 内でビーム入射は 1 ms 程度となるため、ビーム入射以外のシグナル読み出しを行う期間はピクセル回路内のアンプ部の動作は不要であり停止することが可能となる。シグナル読み出し期間中はピクセル内の回路動作を停止させることで、全体の消費電力を低減させる運用方法の検討を行っていく。

7 結論

ILC 実験バーテックス検出器に向けた新しい SOI ピクセル検出器 SOFIST の試作開発・評価を行った。SOFIST では位置分解能向上、ピクセル占有率の低減、そして荷電粒子の正確な再構成を実現するために、 $20 \times 20 \mu\text{m}^2$ サイズでのピクセル回路内に入射粒子のシグナルおよび時間情報を記録する。このピクセル回路実現のため SOFIST Ver.1 および Ver.2 試作チップの設計開発を行い、それぞれにチャージシグナル及びタイムスタンプを保持するメモリを含むピクセル回路を実装した。

Ver.1 の試作チップについては $3 \mu\text{m}$ 以上の高い位置分解能を達成するために $20 \mu\text{m}$ 角の小型ピクセル回路の実装を行った。ピクセル回路には高 S/N を実現するためのチャージセンシティブアンプを実装し、試作チップの性能評価では $500 \mu\text{m}$ 換算の荷電粒子シグナルの入力に対して S/N 比として 400 以上の高ゲイン性能を実現することができた。これにより、各ピクセルシグナルから荷電粒子入射位置の高精度で計測することが可能となった。また、高速読み出しを実現するために 8 bit のカラム並列型 ADC 回路を設計し、ピクセルシグナルを $2.56 \mu\text{s}$ でのデジタル変換・読み出しが可能となった。

さらに、Ver.1 チップについては FermiLab で 120 GeV の陽子ビームを照射試験を実施し粒子飛跡の再構成をおこない位置分解能を評価した結果、 $500 \mu\text{m}$ の空乏層厚で分解能 $1.3 \mu\text{m}$ の精度を達成した。また、センサー薄型化による検出信号量低下の影響を評価するため、空乏厚 $200 \mu\text{m}$ の状態で測定・解析を実施した結果では位置分解能 $1.3 \mu\text{m}$ を維持していることを確認できた。SOFIST Ver.1 センサーの $20 \mu\text{m}$ 角のピクセルサイズで、目標となる $3 \mu\text{m}$ 以上の位置分解能を達成することができた。

Ver.2 の試作チップは、ヒット検出・保持のためのコンパレータ・シフトレジスタ、そしてアナログタイムスタンプの機能を $25 \times 25 \mu\text{m}^2$ サイズのピクセル内に圧縮して実装した。これにより、2 回までの入射シグナル検出とそれぞれのシグナル波高または入射タイミングをピクセル内で保持し読み出すことが可能となっている。また、高速のシグナル読み出しのための ADC、ゼロサプレッション機能を含むデジタル処理回路も設計を行った。そしてこれらの開発・評価結果をもとに、新たな試作チップとしてピクセル機能を統合した SOFIST Ver.3、さらに三次元積層化技術による高密度ピクセル回路を実装した SOFIST Ver.4 の設計開発を実施した。

Ver.1, 2 の試作チップ開発と評価を実施したことで、SOFIST のピクセルサイズ小型化と位置・時間情報記録等の多機能化を両立したピクセル開発が可能であることを実証ができた。本研究で開始した SOI 検出器による試作センサーチップの開発・評価結果より、

ILC バックテックス検出器用 SOI センサー:SOFIST チップの完成に向けたピクセル・読み出し回路の設計指針を確立した。

参考文献

- [1] T. Behnke, J. E. Brau, B. Foster, J. Fuster, M. Harrison, J. M. Paterson et al., *The International Linear Collider Technical Design Report-Volume 1: Executive summary*, *arXiv preprint arXiv:1306.6327* (2013) .
- [2] T. Behnke, J. E. Brau, P. N. Burrows, J. Fuster, M. Peskin, M. Stanitzki et al., *The International Linear Collider Technical Design Report-Volume 4: Detectors*, *arXiv preprint arXiv:1306.6329* (2013) .
- [3] G. Aad, M. Ackers, F. A. Alberti, M. Aleppo, G. Alimonti, J. Alonso et al., *ATLAS pixel detector electronics and sensors*, *Journal of Instrumentation* **3** (2008) P07007.
- [4] G. Deptuch, G. Claus, C. Colledani, M. Deveaux, A. Gay, W. Dulinski et al., *Development of monolithic active pixel sensors for charged particle tracking*, *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* **511** (2003) 240–249.
- [5] R. Turchetta, J. Berst, B. Casadei, G. Claus, C. Colledani, W. Dulinski et al., *A monolithic active pixel sensor for charged particle tracking and imaging using standard VLSI CMOS technology*, *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* **458** (2001) 677–689.
- [6] G. Contin, E. Anderssen, L. Greiner, J. Schambach, J. Silber, T. Stezelberger et al., *The MAPS based PXL vertex detector for the STAR experiment*, *Journal of Instrumentation* **10** (2015) C03026.
- [7] P. Yang, G. Aglieri, C. Cavicchioli, P. Chalmet, N. Chanlek, A. Collu et al., *MAPS development for the ALICE ITS upgrade*, *Journal of Instrumentation* **10** (2015) C03030.
- [8] A. Nomerotski, O. Bachynska, J. Baudot, N. Chon-Sen, G. Claus, R. De Masi et al., *PLUME collaboration: Ultra-light ladders for linear collider vertex detector*, *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* **650** (2011) 208–212.
- [9] C. Hu-Guo, J. Baudot, G. Bertolone, A. Besson, A. Brogna, C. Colledani et al., *First reticule size MAPS with digital output and integrated zero suppression for the EUDET-JRA1 beam telescope*, *Nuclear Instruments and Methods in Physics Research*

Section A: Accelerators, Spectrometers, Detectors and Associated Equipment **623** (2010) 480–482.

- [10] J. Kemmer and G. Lutz, *New detector concepts*, *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* **253** (1987) 365–377.
- [11] P. Kodyš, *The DEPFET pixel detector for the Belle II experiment at SuperKEKB*, *Journal of Instrumentation* **10** (2015) C02037.
- [12] C. Marinas, *DEPFET detectors for future electron-positron colliders*, *Journal of Instrumentation* **10** (2015) C11002.
- [13] C. Calancha Paredes, H. Sato, A. Dubey, Y. Sugimoto, T. Mori, T. Suehara et al., *Progress in the development of the vertex detector with fine pixel CCD at the ILC*, *PoS* (2014) 022.
- [14] M. Bruel, B. Aspar, B. Charlet, C. Maleville, T. Poumeyrol, A. Soubie et al., *Smart cut : a promising new SOI material technology*, in *SOI Conference, 1995. Proceedings, 1995 IEEE International*, pp. 178–179, IEEE, 1995.
- [15] “SOITEC.” <https://www.soitec.com/en>.
- [16] Y. Arai, T. Miyoshi, Y. Unno, T. Tsuboyama, S. Terada, Y. Ikegami et al., *Development of SOI pixel process technology*, *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* **636** (2011) S31–S36.
- [17] “SOIPIX collaboration.” <http://soipix.jp>.
- [18] Y. Ono, A. Ishikawa, H. Yamamoto, Y. Arai, T. Tsuboyama, Y. Onuki et al., *Development of the Pixel OR SOI detector for high energy physics experiments*, *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* **731** (2013) 266–269.
- [19] T. G. Tsuru, H. Matsumura, A. Takeda, T. Tanaka, S. Nakashima, Y. Arai et al., *Development and Performance of Kyoto’s X-ray Astronomical SOI pixel (SOIPIX) sensor*, in *SPIE Astronomical Telescopes+ Instrumentation*, pp. 914412–914412, International Society for Optics and Photonics, 2014.
- [20] T. Hatsui, M. Omodani, T. Kudo, K. Kobayashi, T. Imamura, T. Ohmoto et al., *A direct-detection X-ray CMOS image sensor with 500 μ m thick high resistivity silicon*, *Proceedings of the International Image Sensor Workshop (IISW)* (2013) .
- [21] A. Takeda, Y. Arai, S. G. Ryu, S. Nakashima, T. G. Tsuru, T. Imamura et al., *Design*

- and evaluation of an SOI pixel sensor for trigger-driven x-ray readout, IEEE Transactions on Nuclear Science* **60** (2013) 586–591.
- [22] R. Hashimoto, Y. Arai, N. Igarashi, R. Kumai, T. Miyoshi, S. Kishimoto et al., *Test results of a counting type SOI device for a new X-ray area detector*, in *AIP Conference Proceedings*, vol. 1741, p. 040031, AIP Publishing, 2016.
- [23] H. Spieler, *Semiconductor detector systems*, vol. 12. Oxford university press, 2005.
- [24] D. Pitzl, N. Cartiglia, B. Hubbard, D. Hutchinson, J. Leslie, K. O’Shaughnessy et al., *Type inversion in silicon detectors*, *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* **311** (1992) 98–104.
- [25] T. Miyoshi, Y. Arai, T. Chiba, Y. Fujita, K. Hara, S. Honda et al., *Monolithic pixel detectors with FD-SOI pixel process technology*, *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* **732** (2013) 530–534.
- [26] K. Hara, M. Asano, S. Honda, N. Tobita, Y. Arai, I. Kurachi et al., *Initial Characteristics and Radiation Damage Compensation of Double Silicon-on-Insulator Pixel Device*, *PoS Vertex2014* (2015) 033.
- [27] S. Honda et al., *Total Ionization Damage Compensations in Double Silicon-on-Insulator Pixel Sensors*, *PoS TIPP2014* (2014) 039.
- [28] Y. Lu, Q. Ouyang, Y. Arai, Y. Liu, Z. Wu and Y. Zhou, *First results of a Double-SOI pixel chip for X-ray imaging*, *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* (2016) .
- [29] R. Turchetta, *Spatial resolution of silicon microstrip detectors*, *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* **335** (1993) 44–58.
- [30] “LAPIS Semiconductor Co., Ltd.” <http://www.lapis-semi.com/>.
- [31] B. Razavi, *Design of CMOS analog integrated circuits*, McGrawHill (2001) .
- [32] T. Uchida, *Hardware-based TCP processor for gigabit ethernet*, *IEEE Transactions on Nuclear Science* **55** (2008) 1631–1637.
- [33] “DISCO Corp.: TAIKO process.” <https://www.disco.co.jp/eg/solution/library/taiko.html>.
- [34] “Fermilab Test Beam Facility.” <http://ftbf.fnal.gov>.
- [35] F.-I. Collaboration, *The FE-I4B Integrated Circuit Guide*, v.11.2. ed., 2011.

- [36] W. R. Leo, *Techniques for nuclear and particle physics experiments: a how-to approach*. Springer Science & Business Media, 2012.
- [37] “Tohoku-MicroTec.” <http://www.t-microtec.com>.
- [38] M. Motoyoshi, T. Miyoshi, M. Ikebec and Y. Arai, *3d integration technology for sensor application using less than 5 μ m-pitch gold cone-bump connpdffection*, *Journal of Instrumentation* **10** (2015) C03004.