

SOI ピクセル検出器を用いた X 線計測システム  
の構築と評価

西村 龍太郎

博士 (理学)

総合研究大学院大学  
高エネルギー加速器科学研究科  
素粒子原子核専攻

平成 29 (2017) 年度

SOI ピクセル検出器を用いた  
X線計測システムの構築と評価

総合研究大学院大学  
高エネルギー加速器科学研究科  
素粒子原子核専攻

西村 龍太郎

December 8, 2017

## 概要

KEK Photon Factory をはじめとする放射光施設では、高強度かつ高コヒーレンスの単色光が利用可能であり、これを光源に用いた X 線イメージングによって微細構造の撮像が可能である。このような目的で用いられる積分型センサとしてイメージングプレートやシンチレータと CCD を組み合わせた間接変換型検出器等があるが、これらの検出器は連続撮像の制限や空間分解能等の性能上の課題が存在する。一方、KEK を中心とする SOIPIX グループで開発がすすめられている SOI ピクセル検出器 (Silicon-On-Insulator 技術を利用したモノリシック構造の検出器) は、従来の検出器に比較して優れた特徴を有している。SOI ピクセル検出器を撮像素子として用いることによって放射光施設における微細構造の X 線イメージング実験の更なる進展が期待できるが、現在 SOI ピクセル検出器用に使用されているデータ収集システムは読み出し速度、利便性等の面で課題を抱えており、実用的な X 線計測システムとして用いることは難しい状況である。そこで、現行システムの課題を解消した高速かつ高機能なデータ収集システムを新たに構築し、これを用いた実用的な X 線計測システムの実現を行うこととした。X 線計測システムの評価については、開発した計測システムを放射光施設に設置し、サンプルを撮像することによって行なった。さらに、データ収集システムの更なる性能向上に向けた検討として、新しいデータ収集システムプラットフォーム基板の検討及びプロトタイプシステムの開発を行なった。

# 目次

第 1 章 序論	9
1.1 放射光施設における高輝度 X 線を用いた計測	9
1.1.1 Photon Factory	9
1.2 X 線回折・散乱実験の手法	11
1.3 X 線イメージングの手法	11
1.3.1 必要とされる計測システム	15
1.4 現在使用されている検出器における課題	15
1.4.1 X 線イメージングに用いられる検出器について	15
1.4.2 SOI ピクセル検出器	20
1.5 本研究の目的	24
1.6 本論文の構成	25
参考文献	25
第 2 章 検出器読み出しシステムの高速化・高機能化	27
2.1 積分型 SOI ピクセル検出器 INTPIX4	27
2.1.1 ピクセル内動作機構	29
2.1.2 ピクセル外動作機構	31
2.1.3 動作機構から見積もられる読み出しシステムのスループット	33
2.2 SEABAS DAQ システム	34
2.2.1 SEABAS 基板概要	34
2.2.2 SEABAS 2 ファームウェア実装	36
2.2.3 SEABAS 2 DAQ システムにおけるデータフロー	37
2.2.4 ボトルネックの特定および改善手法	39
2.3 SOI 検出器用新型 DAQ ソフトウェア	41
2.3.1 現行ソフトウェア内のボトルネックおよび改善手法	41

2.3.2	新型ソフトウェア概要	42
2.3.3	新型ソフトウェアによるスループット改善効果	44
	参考文献	47
<b>第 3 章</b>	<b>DAQ フレームワークの構築</b>	<b>50</b>
3.1	既存のフレームワークについて	50
3.2	SOI 検出器用モジュール構造 DAQ フレームワーク	51
3.2.1	小規模セットアップ向けの構成	51
3.2.2	大規模セットアップ向けの構成	55
3.2.3	本フレームワークにおけるモジュール間データ転送について	58
3.2.4	本フレームワークにおけるモジュール間通信途絶時の動作について	59
3.2.5	スループットの最大化が求められる場合の構成について	60
3.3	運用実績	61
	参考文献	62
<b>第 4 章</b>	<b>構築したイメージングシステムによる測定</b>	<b>64</b>
4.1	BL-14B 吸収イメージングによる 3 次元 CT 撮像	64
4.1.1	セットアップ概略及び撮像手法	65
4.1.2	結果	65
4.2	BL-14B 位相差イメージング (DEI 法) による 3 次元 CT 撮像	69
4.2.1	チタン水素化物を撮像する目的について	69
4.2.2	セットアップ概略及び撮像手法	70
4.2.3	画像再構成の手法について	73
4.2.4	結果	78
4.2.5	本試験による成果について	82
	参考文献	83
<b>第 5 章</b>	<b>より高速な DAQ システムを目指して</b>	<b>84</b>
5.1	KC705 基板を用いた DAQ システム	85
5.1.1	開発の方針および KC705 基板選定の経緯	85
5.1.2	KC705 基板概要	86

5.1.3	KC705 基板を用いた DAQ システム概要 . . . . .	87
5.2	KC705 プロトタイプ DAQ システムの性能評価 . . . . .	88
5.2.1	SOI ピクセル検出器接続のためのサブ基板 . . . . .	88
5.2.2	KC705 ファームウェア実装 . . . . .	90
5.2.3	KC705 プロトタイプ DAQ 動作確認試験 . . . . .	90
5.3	KC705 基板の本格的な実用化に向けて . . . . .	94
	参考文献 . . . . .	94
<b>第 6 章 結論</b>		<b>96</b>
<b>付 録 A SOI 検出器用新型 DAQ ソフトウェア搭載バッチ処理機能について</b>		<b>97</b>
A.1	概要 . . . . .	97
A.2	搭載機能の紹介及び使用手順の解説 . . . . .	97
A.2.1	バッチ処理機能の概要 . . . . .	97
A.2.2	設定方法 . . . . .	100
<b>付 録 B 周辺機器制御用モジュールについて</b>		<b>108</b>
B.1	概要 . . . . .	108
B.2	マスターからの接続待ち受けについて . . . . .	109
B.3	使用可能なコマンド . . . . .	109
B.3.1	コマンド表記規則 (ローカル制御時) . . . . .	109
B.3.2	コマンド表記規則 (リモート制御時) . . . . .	110
B.3.3	総合コントロール . . . . .	110
B.3.4	ターミナルコントロールコマンド . . . . .	111

# 目 次

1.1	PF、PF-AR 航空写真 . . . . .	10
1.2	小角 X 線散乱ビームラインの模式図 [3] . . . . .	11
1.3	X 線吸収イメージング法セットアップ例 . . . . .	12
1.4	Bonse-Hart 型干渉計模式図 [4] . . . . .	13
1.5	DEI 計測セットアップ模式図 [4] . . . . .	14
1.6	Talbot 型干渉計模式図 [9] . . . . .	14
1.7	IP の発光原理を示すエネルギーレベル図 [10] . . . . .	16
1.8	IP 読み取り装置の機構概念図 [10] . . . . .	17
1.9	IP での X 線イメージの記録から検出までの流れ (参考文献 [10] 掲載の図より著者が作成) . . . . .	18
1.10	レンズカップル式間接 X 線カメラの模式図 [10]。図中では受光素子に CCD を置いている。 . . . . .	19
1.11	ファイバーカップル式間接 X 線カメラの模式図 [10]。図中では受光素子に CCD を置いている。 . . . . .	20
1.12	Smart-Cut 法による SOI ウェハ製造の工程概略図 [13] . . . . .	21
1.13	SOI ピクセル検出器の構造概略図 . . . . .	23
2.1	INTPIX4 . . . . .	27
2.2	INTPIX4 読出し時遷移フロー . . . . .	29
2.3	INTPIX4 のピクセル内回路図 [1] . . . . .	30
2.4	INTPIX4 の制御回路の概略図 [3] . . . . .	32
2.5	SEABAS2 写真 . . . . .	34
2.6	SEABAS2 ブロックダイアグラム。主要でない部品は省略されており、配置・サイズについては実物と異なる . . . . .	35
2.7	SEABAS 2 DAQ システムのセットアップ概略図 . . . . .	36

2.8	SEABAS 2 ファームウェア実装概略図	37
2.9	SEABAS 2 DAQ システムのデータフロー (N は検出器の並列出力の数、及び使用する ADC のチャンネル数を示す。また FIFO は First-In, First-Out バッファを示す)	38
2.10	現行ソフトウェアの処理フロー概略 (左) と新型ソフトウェアにおける改善後の処理フロー概略 (右)	42
2.11	新型ソフトウェア動作イメージ (2017/10/20 時点最新版)	42
2.12	新型ソフトウェア内部構造概略図	43
2.13	データ取得中のフレーム間隔の取得フレーム数に対する推移 (各 2,499 区間) について、横軸をフレーム番号、縦軸をフレーム間隔 (ms) としてプロットしたもの。赤線が旧型、青線が新型を示す。	45
2.14	図 2.13 における 500-750 の 250 区間を拡大したもの。	46
2.15	旧型 DAQ ソフトウェアによるデータ取得中のフレーム間隔の分布について、横軸をフレーム間隔 (ms)、縦軸をカウント数 (対数) としてプロットしたもの。	46
2.16	新型 DAQ ソフトウェアによるデータ取得中のフレーム間隔の分布について、横軸をフレーム間隔 (ms)、縦軸をカウント数 (対数) としてプロットしたもの。	47
3.1	小規模セットアップ向けの構成例	52
3.2	小規模セットアップ向けの構成におけるプロセス間通信フロー (接続要求 ~ 通信確立)	53
3.3	小規模セットアップ向けの構成におけるプロセス間通信フロー (コマンド送受信)	54
3.4	小規模セットアップ向けの構成におけるプロセス間通信フロー (接続終了)	54
3.5	大規模セットアップ向けの構成例	55
3.6	大規模セットアップ向けの構成におけるプロセス間通信フロー (接続要求 ~ 通信確立)	56
3.7	大規模セットアップ向けの構成におけるプロセス間通信フロー (コマンド送受信)	57
3.8	大規模セットアップ向けの構成におけるプロセス間通信フロー (接続終了)	58



3.9	大規模セットアップ向けの構成におけるスループットを最大化するための構成例	60
4.1	BL-14B での吸収イメージングによる 3 次元 CT 撮像時セットアップ概略図	65
4.2	2015/11/13-15 に取得されたデータによる 3 次元 CT 再構成像 (全図)。	67
4.3	2015/11/13-15 に取得されたデータによる 3 次元 CT 再構成像。(a) 輪切り断面図 (上方が背側)、(b) 矢状断面図、(c) 冠状断面図、(d) サンプル写真 (左側が背側。赤破線位置が (a) 輪切り位置に該当)	68
4.4	BL-14B での位相差イメージング (DEI 法) による 3 次元 CT 撮像時セットアップ概略図	71
4.5	BL-14B での位相差イメージング (DEI 法) 時のロッキングカーブ (2016/06/23-26 の試験時データ)	72
4.6	位相差イメージング (DEI 法) による 3 次元 CT 撮像時の光学系概略図	73
4.7	$R_{ref}(\theta)$ の例 [10]	76
4.8	$R_{ref}(\theta)$ (図 4.7) より算出した $V_O(\epsilon)$ の例 [10]	77
4.9	BL-14B での位相差イメージング (DEI 法) によるサンプルのイメージ (2017/11/29-30)。(a) アナライザ結晶角度 $\theta = \theta_L$ 、(b) アナライザ結晶角度 $\theta = 0^\circ$ 、(c) アナライザ結晶角度 $\theta = \theta_H$ 、(d) サンプル写真。すべて画像下方側が鉛直方向	80
4.10	BL-14B での位相差イメージング (DEI 法) によって取得されたチタン水素化物の分布像の位相差 CT 再構成結果 (2017/11/29-30)。(a) 断層像全体図、(b) サンプル近傍拡大図、(c) 図 (b) にサンプルの形状 (青実線) 及びチタン水素化物の分布形状 (赤実線) を重ねたもの、(cf.) 同一位置における吸収イメージング像 ( $\theta = 0^\circ$ のデータ) を用いた吸収 CT 再構成結果	82
5.1	SEABAS 2 DAQ システムのセットアップ概略図	85
5.2	KC705 基板	86
5.3	KC705 DAQ システムのセットアップ概略図	87
5.4	FMC-DSub50 変換基板 (左上) 及び ADC/DAC/NIM 基板 (右上) を取り付けた KC705 基板	89
5.5	KC705 ファームウェア実装概略図	90

5.6	データ取得中のフレーム間隔の取得フレーム数に対する推移 (各 2,499 区 間) について、横軸をフレーム番号、縦軸をフレーム間隔 (ms) としてプ ロットしたもの。 . . . . .	92
5.7	図 5.6 における 500-750 の 250 区間を拡大したもの。 . . . . .	93
5.8	データ取得中のフレーム間隔の分布について、横軸をフレーム間隔 (ms)、 縦軸をカウント数 (対数) としてプロットしたもの。 . . . . .	93
A.1	バッチ処理時のコマンド実行タイミング . . . . .	99
A.2	INTPIX4 用 DAQ ソフトウェア DAQ Control タブ (メインパネル) . . .	101
A.3	INTPIX4 用 DAQ ソフトウェア Batch Job Control パネルタブ (バッチ 処理用設定) . . . . .	102
A.4	INTPIX4 用 DAQ ソフトウェア Batch Job Control2 パネルタブ (ステー ジ制御用設定) . . . . .	103
A.5	ステージ制御の Moving Direction . . . . .	106
B.1	周辺機器制御用モジュール 動作イメージ . . . . .	108

# 表 目 次

1.1	PF リング、PF-AR リングの光源加速器パラメータ [2]	10
1.2	ラピスセミコンダクタ株式会社 0.2 $\mu\text{m}$ CMOS fully depleted (FD-) SOI プロセス諸元	23
2.1	INTPIX4 デザインパラメータ	28
2.2	INTPIX4 ピクセル内回路図 (図 2.1) 内の信号線等の名称	30
2.3	INTPIX4 の制御回路概略図 (図 2.4) 内の信号線等の名称	32
2.4	SEABAS 2 汎用読み出し基板仕様表	35
2.5	現行 SEABAS DAQ システム各部のスループット	39
2.6	スループット改善効果確認試験時の DAQ 用 PC の仕様	44
2.7	旧型および新型 DAQ ソフトウェアの平均転送レート	45
4.1	2015/11/13-15 撮像条件	66
4.2	2017/11/29-30 撮像条件	79
5.1	KC705 仕様表 [3]	87
5.2	KC705 プロトタイプ DAQ 動作確認試験時の DAQ 用 PC の仕様	91
5.3	KC705 プロトタイプ DAQ と新型 DAQ ソフトウェアを併用した場合の平 均転送レート	92
A.1	パラメータ-バッチ処理回数連動機能 使用可能なパラメータ一覧	105
A.2	パラメータ-バッチ処理回数連動機能 使用可能なパラメータ一覧	107
B.1	TCP 通信待ち受けオプション設定用の起動時引数一覧	109
B.2	総合コントロールコマンド一覧	111
B.3	ターミナルコントロールコマンド一覧	113

# 第1章 序論

1895年にヴィルヘルム・コンラート・レントゲン (1845-1923) によって X 線の発見が報告 [1] されてから現在に至るまで、X 線イメージングはサンプルの内部構造を非破壊的に調べるための有力な手段として医療やセキュリティ、考古学など様々な分野において応用が進められてきた。これらの計測においては長らく X 線管球を用いた発生装置を光源として用いてきたが、近年では加速器の技術進歩により放射光施設における高輝度かつ高コヒーレンスな X 線を用いた計測が可能となっている。本章では研究背景として放射光施設の概要、X 線イメージングの手法について説明し、本研究において用いる SOI ピクセル検出器の特徴を踏まえて放射光施設での X 線イメージングに SOI ピクセル検出器が有用であることについて記述する。その後、SOI ピクセル検出器を実用的な計測システムとして実用化するにあたっての課題について示し、最後に本研究の目的について述べる。

## 1.1 放射光施設における高輝度 X 線を用いた計測

Photon Factory や Spring-8 をはじめとする放射光施設では、高強度かつ高コヒーレンスの単色光が利用可能である。これらの光源を用いた X 線イメージングによって微細構造を撮像することができ、現在生体組織や工業材料の構造観察への応用が進められている。

### 1.1.1 Photon Factory

Photon Factory(茨城県つくば市、図 1.1、以下 PF) は高エネルギー加速器研究機構 (KEK) 物質構造科学研究所によって設置・運営が行われている放射光施設である。PF リング、アドバンスリング (PF-AR) の 2 つの光源加速器を有し、それぞれ電子ビームエネルギー 2.5GeV、6.5GeV で運転されている。2017 年現在、PF リングでは 39、PF-AR リングでは 8 の実験ステーションが運用されており、真空紫外線から硬 X 線までの幅広

いエネルギー領域の放射光を利用することが可能となっている [2]。PF リング、PF-AR リングの光源加速器のパラメーターを表 1.1 に示す。

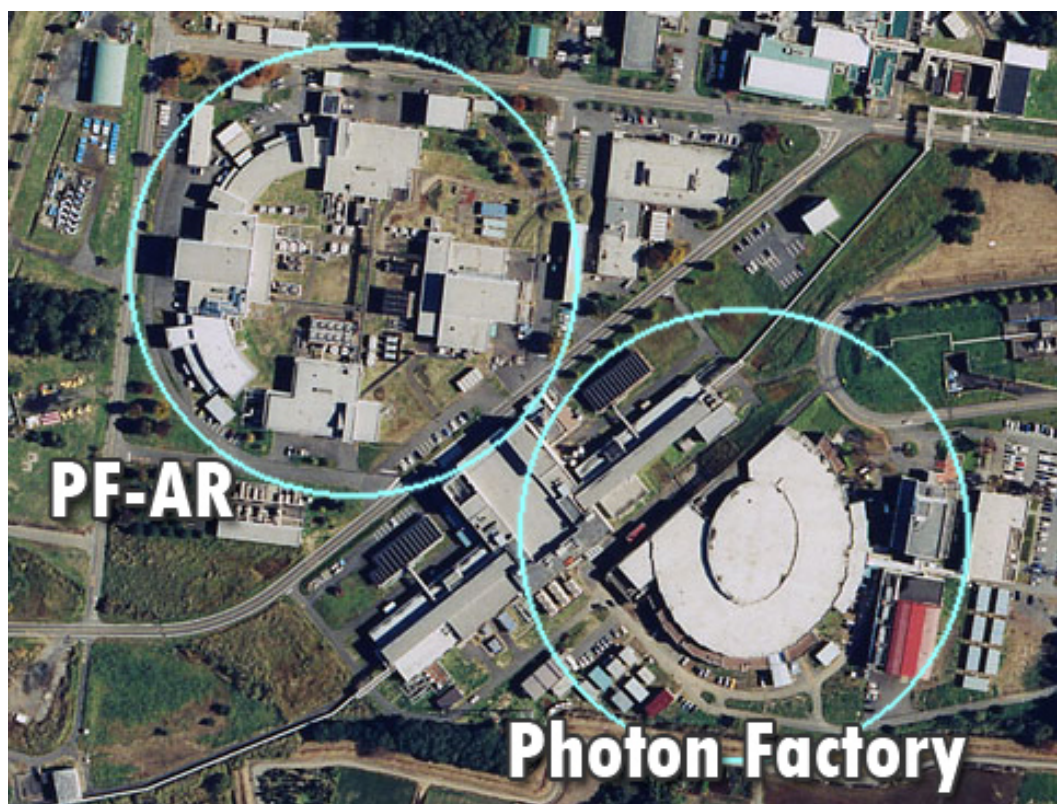


図 1.1: PF、PF-AR 航空写真

	PF リング	PF-AR リング
Beam energy	2.5 GeV	6.5 GeV
Circumference	187 m	377 m
Initial current	450 mA (top-up)	60 mA
Emittance	34.6 nm rad	293 nm rad
Insertion devices	11	5
Stations	39	8
Number of bunches	280	1

表 1.1: PF リング、PF-AR リングの光源加速器パラメータ [2]

PF をはじめとする放射光施設においてはその高輝度かつ高コヒーレンスな X 線を生かして、X 線回折・散乱現象を用いた物質構造解析実験や高輝度単色光による X 線イメージング等の各種実験が行われている。次節ではこれらの実験手法について述べる。

## 1.2 X線回折・散乱実験の手法

X線回折・散乱実験は何らかの結晶構造を含むサンプルに対してX線ビームを入射し、サンプル内の構造によって回折・散乱されて生じた像を検出器によって捉え、この像を解析することによってサンプル内の構造を解明するものである。使用する散乱角度の領域によって小角散乱 (Small Angle X-ray Scattering、SAXS)、広角散乱 (回折) に分けることができる。以下、図 1.2 に小角散乱におけるセットアップの例を示す。

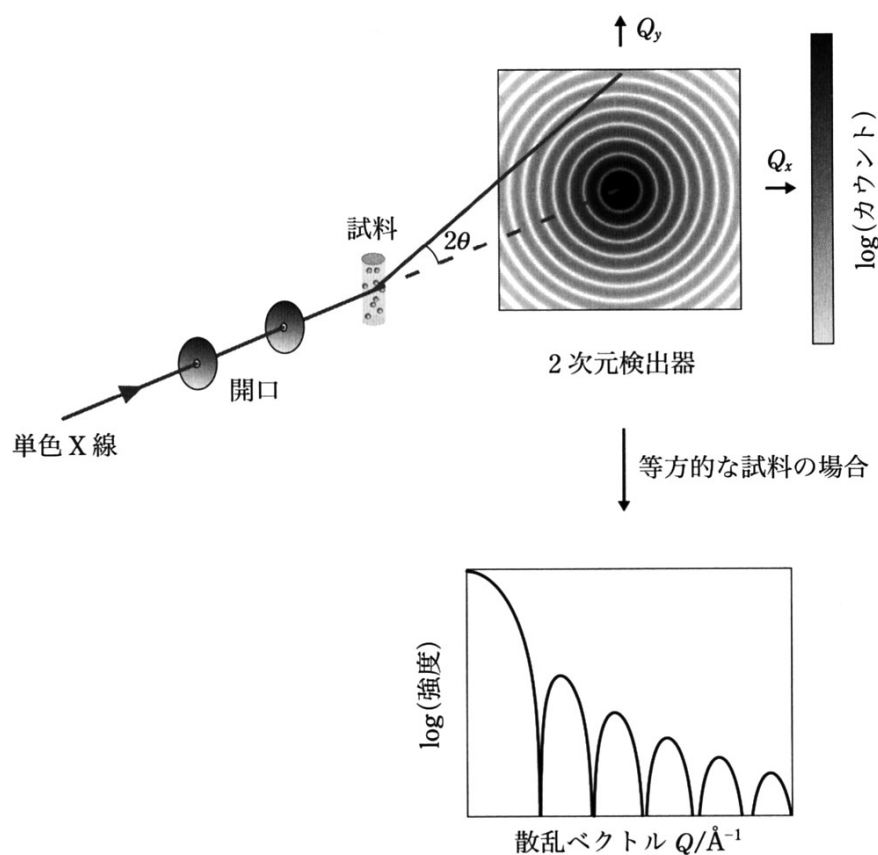


図 1.2: 小角 X 線散乱ビームラインの模式図 [3]

## 1.3 X線イメージングの手法

X線イメージングの手法は、吸収イメージング法と位相差イメージング法に大別することができる。それぞれの特徴を以下に示す。

### 1.3.0.1 吸収イメージング法

サンプルを透過した X 線を下流側に設置した受光素子によって撮像するもので、サンプルの内部構造に由来する吸収量の差によってコントラストを得ることができる手法である。図 1.3 に例示するような比較的簡易なセットアップによって撮像することが可能であることから広く用いられる一方で、軽元素に対する像感度が低い(特に硬 X 線)ため、有機材料や生体軟部組織等をはじめとする軽元素からなるサンプルや、重元素を主な構成物質とするサンプル中の軽元素の分布のような対象に対して明瞭なコントラストが得にくい点が問題になる場合がある。

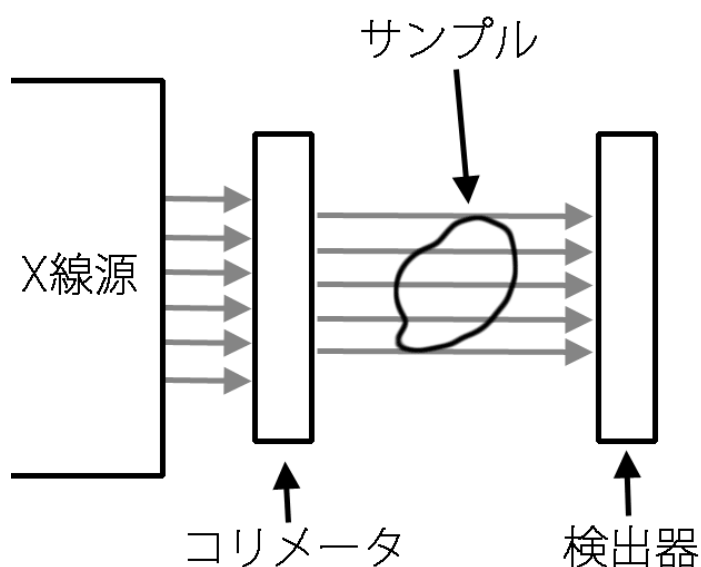


図 1.3: X 線吸収イメージング法セットアップ例

### 1.3.0.2 位相差イメージング法

X 線のサンプル通過時に生じる位相のずれからコントラストを得る手法である。前述の吸収イメージング法に比較して軽元素に対する像感度に優れる [4] ため、吸収イメージング法が不得意とする軽元素からなるサンプルや、重元素を主な構成物質とするサンプル中の軽元素の分布のような対象に対しても明瞭なコントラストを得ることができる。ただし、使用する X 線光源については高コヒーレンスであることが求められるため、吸収イメージング法に比べてセットアップが複雑化する傾向にある。以下に主な位相差イメージングの

手法を示す。

### Bonse-Hart 型干渉計

Bonse-Hart 型干渉計 [5] は、シリコンなどの完全結晶を結晶格子として用いた干渉計である。結晶格子による Bragg 回折を利用して入射 X 線を分割し、分割された光路の一方にサンプルを配置し、サンプル通過後の X 線を他方の X 線と結合することによって位相のずれをコントラストとして検出できるようにしたものである。模式図を図 1.4 に示す。

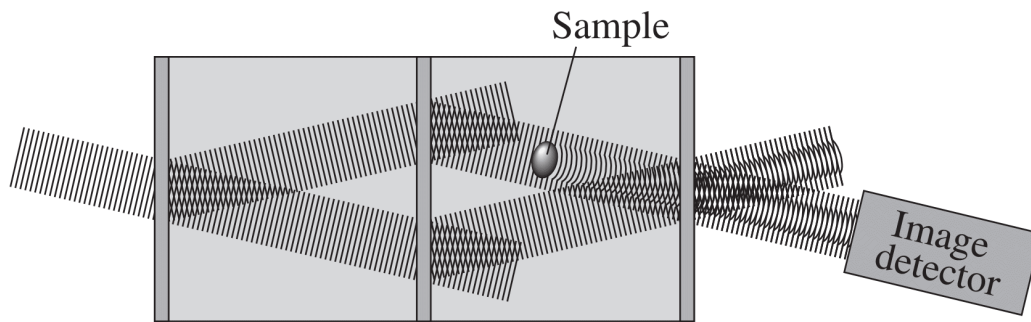


図 1.4: Bonse-Hart 型干渉計模式図 [4]

### Diffraction Enhanced Imaging (DEI)

Diffraction Enhanced Imaging[6][7] は、完全結晶 (アナライザ結晶) を用いる手法である。入射 X 線に対するサンプル通過後の X 線における位相のずれ (屈折による入射角の微小なずれ) をアナライザ結晶で一度回折させることによって選別し、位相のずれをコントラストとして検出できるようにしたものである。セットアップ模式図を図 1.5 に示す。



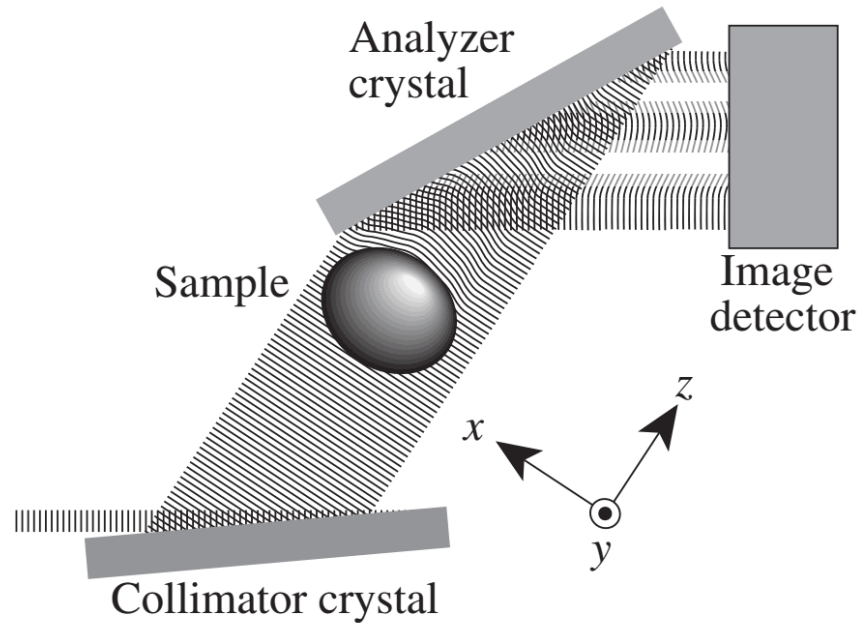


図 1.5: DEI 計測セットアップ模式図 [4]

### Talbot 型干涉計

Talbot 型干涉計は、空間的に可干渉な照明下にある回折格子があると、回折格子から特定の距離において、回折格子と同じ周期の強度パターン (自己像) が形成される効果 (Talbot 効果)[8] を用いた干涉計である。模式図を図 1.6 に示す。

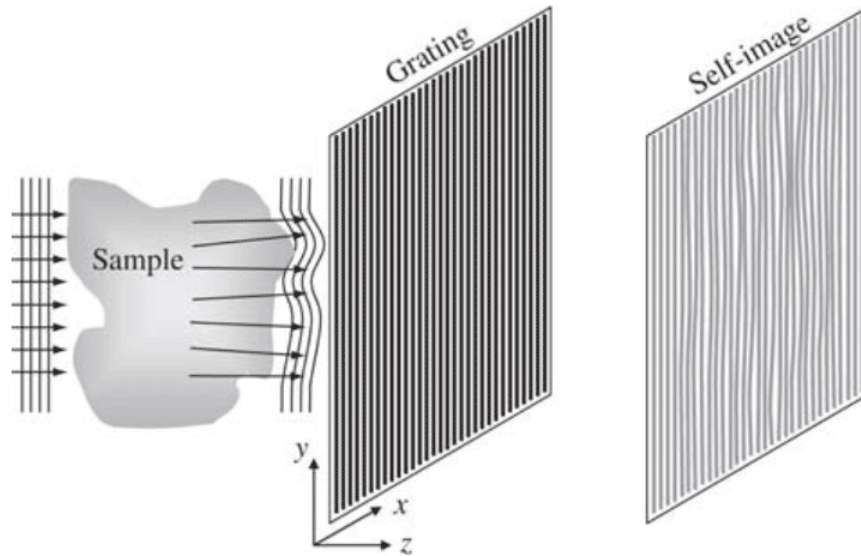


図 1.6: Talbot 型干涉計模式図 [9]

### 1.3.1 必要とされる計測システム

前述した各種測定においては、光源として数 keV ~ 数十 keV 程度の単色 X 線を用いることから、検出器にはこれらのエネルギー領域において十分な感度性能が求められる。また、X 線イメージング法において使用できる光源は平行光源であるため、検出器に要求される空間分解能は観察したい構造に依存する。ここでは、金属材料の構造観察において実用的な解像度を満たすため、20 LP / mm を要求する空間分解能と設定する。

## 1.4 現在使用されている検出器における課題

### 1.4.1 X 線イメージングに用いられる検出器について

X 線イメージングに用いられる積分型検出器としては、主にイメージングプレート (IP)、可視光変換型 X 線画像検出器などが挙げられる。これらの検出器の特徴を以下に簡単に示す。

#### 1.4.1.1 IP

イメージングプレート [10][11] (IP) は輝尽性発光体 (Eu) の微結晶 ( $\text{BaFBr:Eu}^{2+}$ ) をプラスチックフィルムに塗布した積分型の二次元検出器で、輝尽性発光体に X 線を入射したのちに励起で蛍光を発する現象を利用したものである。

輝尽性発光体による X 線像の記録原理は図 1.7 のエネルギーレベル図を基に以下のように説明することができる [10]。

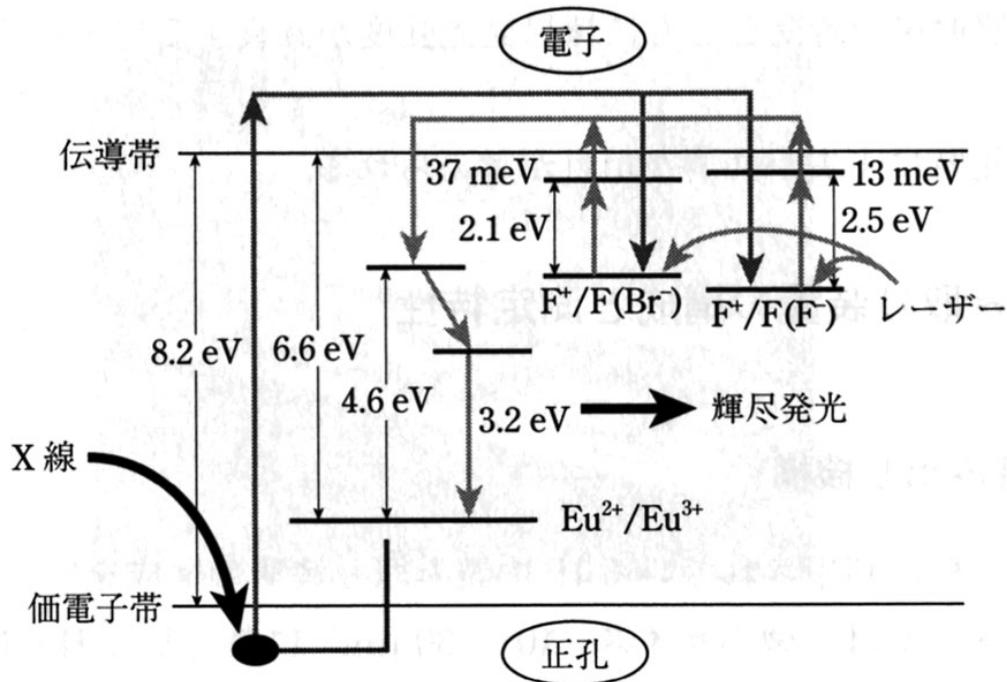


図 1.7: IP の発光原理を示すエネルギーレベル図 [10]

1. 輝尽性発光体 ( $\text{BaFBr:Eu}^{2+}$ ) に X 線が入射すると  $\text{Eu}^{2+}$  イオンが電子を放出して  $\text{Eu}^{3+}$  イオンとなる。放出された電子は発光体結晶中の格子欠陥 (F センター) に捕捉され準安定なカラーセンター (F センター) が形成される。また、同時に生成された正孔は  $\text{Eu}^{2+}$  によって捕捉される。
2. 蛍光体にレーザー光 (633 nm) を照射すると カラーセンターが消失し、電子は伝導帯を經由して  $\text{Eu}^{2+}$  に捕捉されている正孔と再結合する。このときにエネルギー順位差 3.2 eV に相当するエネルギーを輝尽蛍光 (390 nm) として放出する。

この原理を利用して、X 線像を潜像として IP に記録した後、IP 表面を波長 633 nm のレーザー光 (スポット径 10–30  $\mu\text{m}$ ) で走査して順次励起させ、輝尽蛍光 (390 nm) の強度を光電子増倍管等の読み取り用検出器で捉えることによって二次元像として取得できるようにしたものが IP の基本的な仕組みである。IP 読み取り装置の機構概念図を図 1.8、IP での X 線イメージの記録から検出までの流れを図 1.9 に示す。

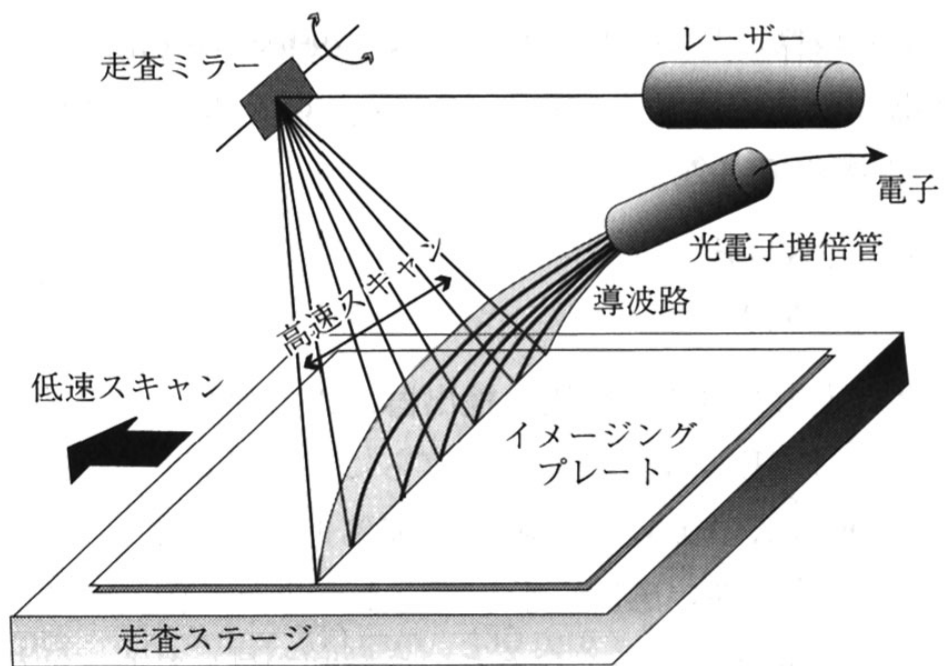


図 1.8: IP 読み取り装置の機構概念図 [10]

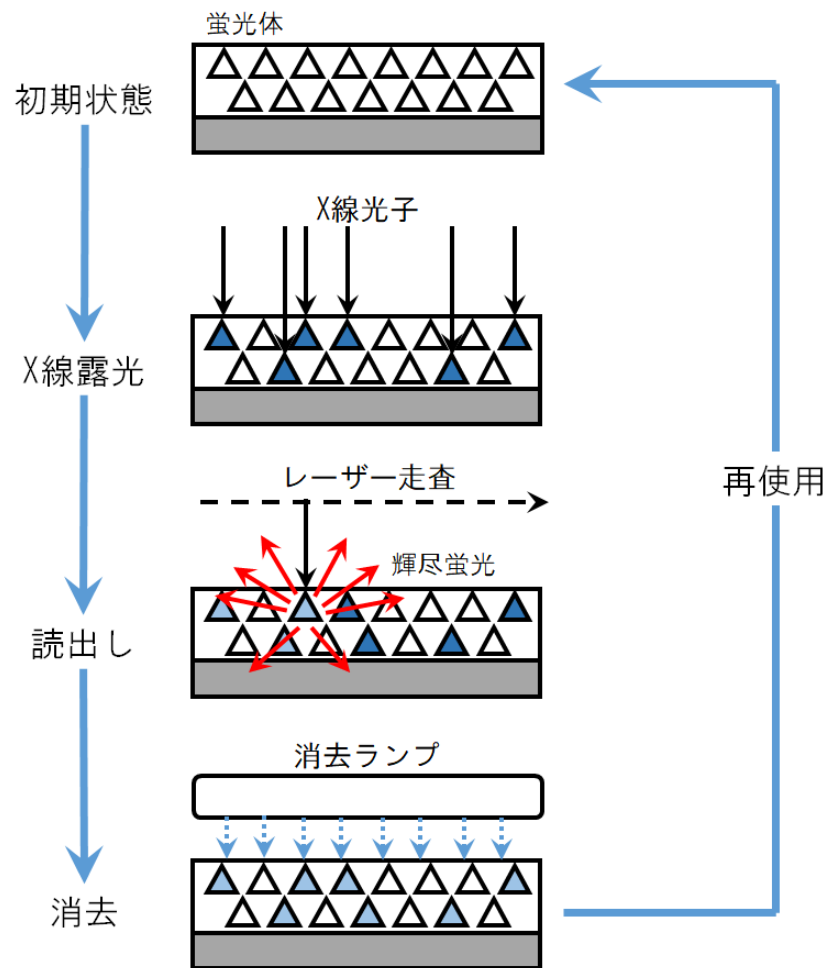


図 1.9: IP での X 線イメージの記録から検出までの流れ (参考文献 [10] 掲載の図より著者が作成)

IP は

- 撮像面積の大きさ
- ダイナミックレンジの大きさ (6 桁程度)
- 同一の IP を消去して再利用することが可能である

等の特徴を持つが、

- 撮像後に読み取り装置での読み取り作業 (数分程度) が必要なため、リアルタイム性がなく、高速での連続撮像が難しい
- 位置分解能が低い ( $50\mu\text{m}$  程度)

等の点で課題があり、実験によっては利用時に工夫が必要となる。

#### 1.4.1.2 可視光変換型 X 線画像検出器

可視光変換型 X 線画像検出器は蛍光体と可視光用 CCD/CMOS 素子を組み合わせた二次元検出器である。可視光光学系によってレンズカップル式 (図 1.10) とファイバーカップル式 (図 1.11) が存在する。レンズカップル式は蛍光体で可視光に変換した像を通常の可視光像と同様にレンズによって素子面に結像させるもので、ファイバーカップル式は蛍光体と素子を光ファイバーによって接続することで蛍光体上の X 線入射位置に対応した可視光像を得るものである。いずれも CCD/CMOS 素子には蛍光体で可視光に変換された後の像が入射されることから

- 素子への直接照射線量が低減されるため、放射線損傷に強い
- 可視光光学系の調整、または受光素子の画素サイズの縮小によって空間分解能の向上を図りやすい

といった利点が存在する。一方で、必ず蛍光体による可視光への変換時に拡散による像のボケが生じることから空間分解能の向上に限界が生じる。

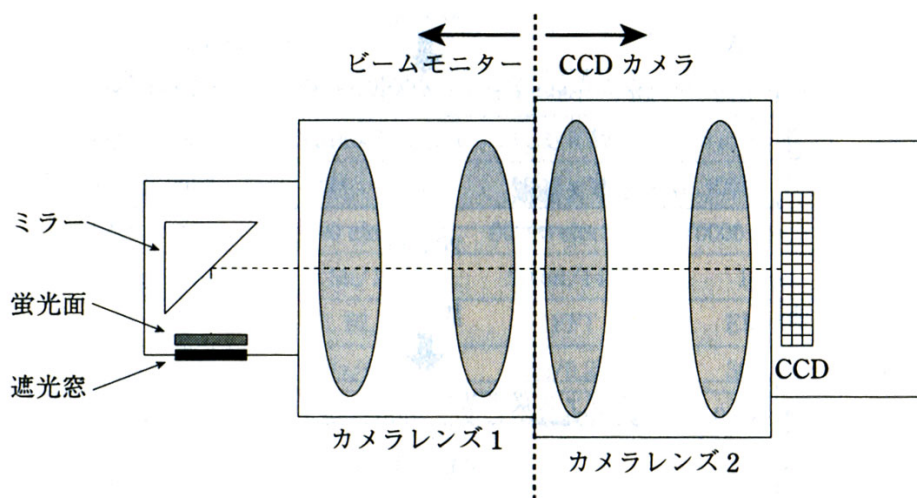


図 1.10: レンズカップル式間接 X 線カメラの模式図 [10]。図中では受光素子に CCD を置いている。

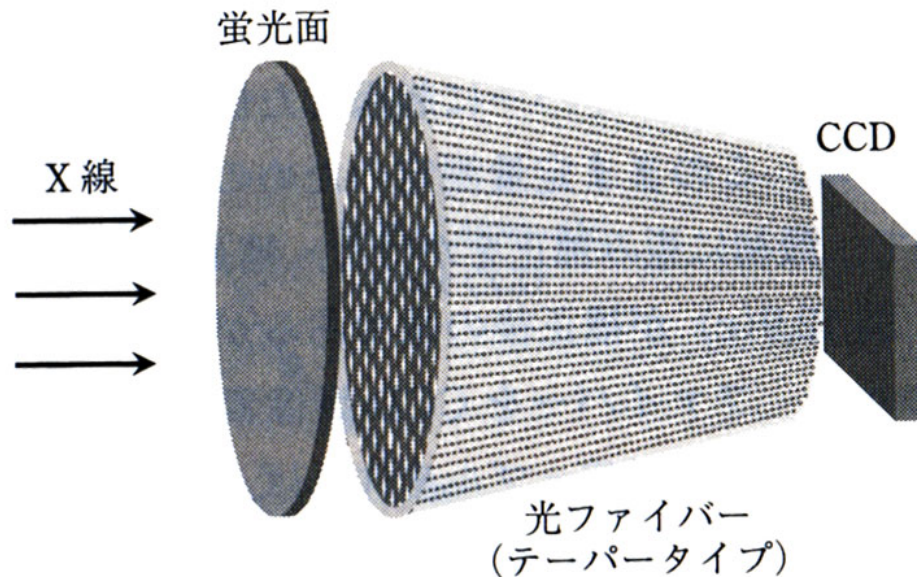


図 1.11: ファイバークップル式間接 X 線カメラの模式図 [10]。図中では受光素子に CCD を置いている。

ここで触れた IP および可視光変換型 X 線画像検出器は空間分解能の向上や高フレームレートでの連続撮像への対応に関して課題を抱えている。後述する SOI ピクセル検出器はこれらの課題に対応しうる特徴を有しており、放射光施設における高精細 X 線イメージング実験の更なる進展に資することが期待できる。

## 1.4.2 SOI ピクセル検出器

SOI ピクセル検出器は Silicon-on-Insulator(SOI) 技術を用いた二次元検出器である。本節ではまず Silicon-on-Insulator 技術について述べ、続いて本技術を用いた SOI ピクセル検出器の特徴について説明する。

### 1.4.2.1 Silicon-on-Insulator 技術

Silicon-on-Insulator(SOI) 技術とは、シリコン基板の上に薄い絶縁酸化膜 ( $\text{SiO}_2$ ) 層 (Buried-Oxide, BOX) を作りこみ、さらにその上部にトランジスタなどの電気回路部品を構築するための低抵抗率シリコン層を形成するウェハ製造技術である。従来のバルクシリコンを用いたウェハプロセスで製造される CMOS 回路 (バルク CMOS) では、回路を構



成する P 型/N 型トランジスタは基板上に形成された N/P ウェルの中に配置されるため、トランジスタと基板の間に寄生ダイオードや寄生容量が生じてしまう。これらの寄生ダイオードや寄生容量は回路の実効動作速度の低下、リーク電流の増加、ラッチアップによる故障等の問題の原因となるため、回路性能を向上するにあたって大きな障害となっていた。これに対して、SOI 技術によって製造されたウェハ (SOI ウェハ) を用いた SOI ウェハプロセスではトランジスタは  $\text{SiO}_2$  絶縁酸化膜上に配置されるため、寄生ダイオードや寄生容量の発生を抑えることが出来ることから、従来プロセスでは難しかった高密度の回路実装、回路の動作速度の向上、低消費電力化、ラッチアップ耐性の向上が可能となった。

SOI ウェハの製造法は、現在使用されている手法として貼り合わせ法、SIMOX (Separation by IMplantation of OXYgen) 法、Smart-Cut 法 [12] の 3 方式が広く知られている。本研究において用いる SOI ピクセル検出器は Smart-Cut 法によって製造された SOI ウェハを使用している (図 1.12)。Smart-Cut 法における SOI ウェハの製造工程は以下の通りである。(番号は図 1.12 と対応)

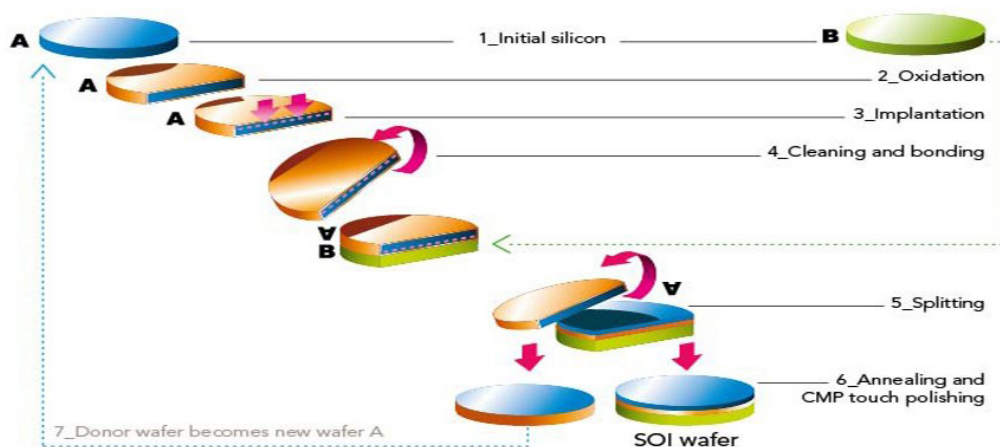


図 1.12: Smart-Cut 法による SOI ウェハ製造の工程概略図 [13]

1. 2つのシリコンウェハを用意する。
2. 片方のウェハ表面に絶縁層となる酸化膜を形成する。
3. 酸化膜下へ水素イオンを打ち込む。水素イオンを注入された深度領域は水素脆化現象が起きるため、その領域を境界として剥離しやすくなる。
4. 水素イオン注入後のウェハを洗浄し、もう片方のシリコンウェハへと熱処理によ



て接合する。

5. 上部シリコンを剥離する。
6. アニールング及び表面研磨による仕上げ処理を行う。

後述する SOI ピクセル検出器においては 2 種の異なる抵抗率のウェハを使用し、高抵抗率側をセンサ層として使用している。

#### 1.4.2.2 SOI ピクセル検出器の特徴

SOI ピクセル検出器 [14](図 1.13) は KEK を中心とする SOIPIX グループによって開発されている SOI 技術を用いたピクセル検出器で、ラピスセミコンダクタ株式会社の 0.2  $\mu\text{m}$  CMOS fully depleted (FD-) SOI プロセス (諸元を表 1.2 に示す) によって製造されている。本検出器は、通常の SOI ウェハでは支持基板として以外には使用されない絶縁層の下部側シリコン層に高抵抗率シリコンウェハを用いたうえでセンサ層として利用できるようにし、低抵抗率シリコンによる LSI 層との間にコンタクトを設けることによってモノリシック構造を実現したものである。本検出器は X 線イメージングに用いるにあたって以下の点で有利な特徴を備えている。

- モノリシック構造でありながらセンサ部に高抵抗率シリコンウェハを用いることが出来るため、完全空乏化による高い電荷収集効率を実現可能
- 回路が高速、低消費電力である
- 酸化膜で絶縁されているため、高温でも動作可能
- センサ部と接続部の浮遊容量が少なく、SN 比が良い
- 直接変換方式
- 10  $\mu\text{m}$  以下の位置分解能を実現可能
- 機械的接合を持たないことからピクセルサイズを縮小しやすい
- 高密度の回路実装によってピクセルサイズ抑えつつ多機能化可能

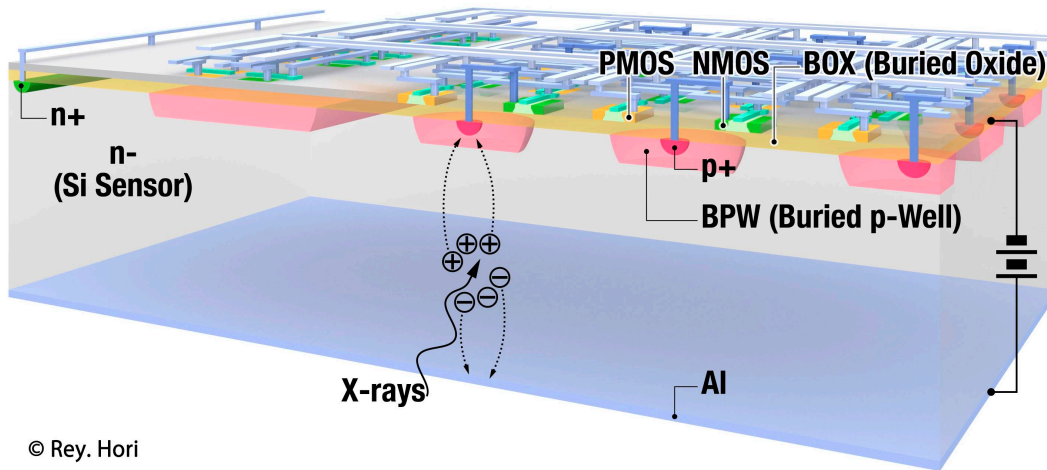


図 1.13: SOI ピクセル検出器の構造概略図

Process	0.2 $\mu\text{m}$ Low-Leakage Fully-Depleted SOI CMOS 1 Poly, 5 Metal layers, MIM Capacitor ( $1.5 \text{ fF}/\mu\text{m}^2$ ), DMOS Core (I/O) Voltage = 1.8 (3.3) V
SOI wafer	Diameter : 200 mm $\phi$ (8 inch) Thickness : 720 $\mu\text{m}$ Top Si : Czochralski, $\sim 18 \Omega\text{-cm}$ , p-type, $\sim 40 \text{ nm}$ thick Buried Oxide : 200 nm thick Czochralski (n-type) $\sim 700 \Omega\text{-cm}$ , Handle wafer : Floating Zone (n-type) $\sim 7\text{k} \Omega\text{-cm}$ , Floating Zone (p-type) $\sim 25\text{k} \Omega\text{-cm}$ etc.
Backside process	Mechanical Grind, Chemical Etching, Back side Implant, Laser Annealing and Al plating
Transistors	Normal and low threshold transistors are available for both core and IO transistors. Three types of structures (body- floating, source-tie and body-tie) are available.
Optional process	Buried p-well formation Vertical integration with $\mu$ -bumps

表 1.2: ラピスセミコンダクタ株式会社 0.2  $\mu\text{m}$  CMOS fully depleted (FD-) SOI プロセス諸元

### 1.4.2.3 SOI ピクセル検出器の実用化における課題

これまで SOPIX グループにおいては、グループに参加する研究機関が各々の目的に応じた SOI ピクセル検出器の開発を進めており、検出器性能としては実用の範囲に到達しつつある。しかし、SOI ピクセル検出器用のデータ収集システム (Data AcQuisition system、DAQ システム) は長らく検出器そのものの評価を主目的としてきたことがあり、実用的な計測システムとして完成させるためには以下の点が課題となる。

- 読み出し速度の向上 (ビデオレート (30fps) ~ 1kfps 程度での撮像)
- 読み出し速度の安定性の確保
- データ取得の処理の自動化及び周辺機器との連動
- データ取得・制御用ソフトウェアフレームワークの汎用性

そこで、本研究においては、これまで SOPIX グループで広く用いられてきた SEABAS (Soi EvAluation BoArd with Sitcp [15]) と呼ばれる汎用読み出し基板を用いた DAQ システムをプラットフォームとしてスループットの改善及び実際の実験構成を想定した DAQ ソフトウェアフレームワークを実装し、実用的 X 線計測システムの実現を図ることとした。

## 1.5 本研究の目的

X 線イメージングは内部構造を非破壊的に調べるための有力な手段として幅広い分野で応用が進められてきたが、近年の技術進歩により放射光施設における高輝度かつ高コヒーレンスな X 線を用いた高精細な X 線イメージングが可能となりつつある。このような実験用途において、SOI ピクセル検出器は現在主に用いられている検出器と比較して 10  $\mu\text{m}$  以下の位置分解能が実現可能であること、直接変換式であることなど優れた特徴を持つことから、SOI ピクセル検出器による実用的な計測システムの実現は放射光施設における高精細 X 線イメージング実験の更なる進展に資するものであると考えられる。一方で、現在 SOI ピクセル検出器向けに使用されている DAQ システムは読み出し速度や利便性、汎用性の面で課題を抱えており、現状のまま実用的な計測システムを実現することは難しい。

そこで本研究においては、SOI ピクセル検出器向けにより高速に読み出しが行える DAQ システムを開発し、また、利便性、汎用性を備えた DAQ フレームワークを開発することにより実用的な X 線イメージングシステムの構築を目指すこととする。この計測システム

の評価は PF の施設に本システムを設置し、煮干や水素化物を含む金属片等のサンプルを用いて行うこととする。

## 1.6 本論文の構成

本論文の構成は次の通りである。

- 1 章：序論 (本章)
- 2 章：検出器読み出しシステムの高速度化・高機能化
- 3 章：DAQ フレームワークの構築
- 4 章：構築したイメージングシステムによる測定
- 5 章：より高速な DAQ システムを目指して
- 6 章：結論
- 付録 A：SOI 検出器用新型 DAQ ソフトウェア搭載バッチ処理機能について
- 付録 B：周辺機器制御用モジュールについて

## 参考文献

- [1] W. C. Röntgen, [Über eine neue Art von Strahlen], Springer, (1949、ISBN : 978-3-662-13247-0).
- [2] KEK IMSS, [KEK IMSS 放射光科学研究施設], <https://www2.kek.jp/imss/pf/>, (2017/10/20 閲覧).
- [3] J. Als-Nielsen, D. McMorrow, [X 線物理学の基礎](雨宮 他監訳), 講談社, (2012、ISBN : 978-4-06-153276-2).
- [4] A. Momose, [Recent Advances in X-ray Phase Imaging], Jpn. J. Appl. Phys. 44 6355, (2005).
- [5] U. Bonse and M. Hart, [AN X RAY INTERFEROMETER], Appl. Phys. Lett. 6 155, (1965).

- [6] Chapman D et al., [Diffraction enhanced X-ray imaging], *Phys. Med. Biol.* 42 2015–25, (1997).
- [7] V. N. Ingal and E. A. Beliaevskaya, [Phase dispersion introscopy], *Surf. Invest.* 12 441–50, (1997).
- [8] H. F. Talbot, [Recent Advances in X-ray Phase Imaging], *Philos. Mag.* 9(56) P401P407, (1836).
- [9] A. Momose et al., [Demonstration of X-Ray Talbot Interferometry], *Jpn. J. Appl. Phys.* 42 L866, (2003).
- [10] 日本放射光学会 (監修), [放射光ユーザーのための検出器ガイド 原理と使い方], 講談社, (2011、ISBN : 978-4-06-153276-2).
- [11] 宮原 他, [イメージング・プレート : 輝尽性蛍光体を用いた 2次元放射線検出器], *日本物理学会誌* 45 No.6 P398–P404, (1990).
- [12] M. Bruel, B. Aspar, B. Charlet, C. Maleville, T. Poumeyrol, A. Soubie et al., [“Smart cut”: a promising new SOI material technology], 1995 IEEE International SOI Conference Proceedings pp.178-179, (1995).
- [13] SOITEC, [Soitec, at the heart of electronics - Soitec], <https://www.soitec.com/en>, (2017/10/20 閲覧).
- [14] Y. Arai et al., [Development of SOI pixel process technology], *Nucl. Instrum. Methods Phys. Res. A* 636 S31–S36, (2011).
- [15] T. Uchida, [Hardware-Based TCP Processor for Gigabit Ethernet], *IEEE Trans. Nucl. Sci.* NS-55 (3) 1631-1637, (2008).

## 第2章 検出器読み出しシステムの高速化・高機能化

前章で述べた通り、SOI ピクセル検出器の性能は実用の範囲に到達しつつあるが、読み出しシステムを含めた実用的な計測装置としては未整備の状態である。本研究においてはこれを解決するため SEABAS と呼ばれる汎用読み出し基板をプラットフォームとして用いた高速な読み出しシステムの構築を進めることとした。本章では使用する現行 SOI ピクセル検出器の性能から達成すべき読み出しシステムのスループットを定義し、これを達成するための手法について解説する。

### 2.1 積分型 SOI ピクセル検出器 INTPIX4

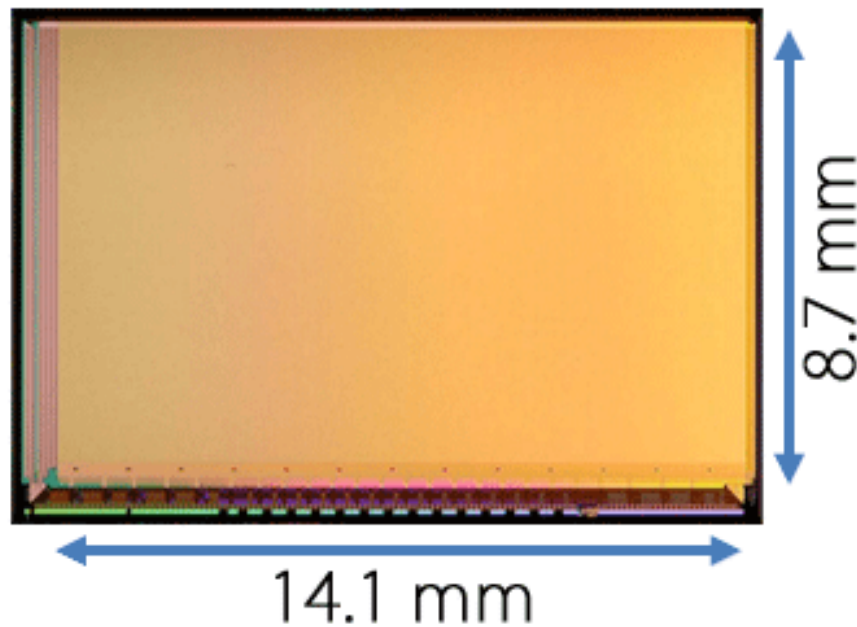


図 2.1: INTPIX4

本研究において構築する計測システムで用いる SOI ピクセル検出器は INTPIX4(図 2.1) と呼ばれる積分型検出器である。この積分型検出器は、露光時間中に入射した粒子によって生成された電荷を各ピクセルで蓄積し、これを電圧として読み出し AD 変換によってエネルギー値を取得するものである。INTPIX4 は  $17 \times 17 \mu\text{m}$  のピクセルを持ち、有効面積  $123 \text{ mm}^2$ 、画素数 42 万画素の厚さは  $500 \mu\text{m}$  に Thinning 後、底面に  $200 \text{ nm}$  の Al スパッタリングを行っている。INTPIX4 の仕様を表 2.1 に示す。本節では INTPIX4 検出器に関する動作機構及び仕様について説明する。

チップサイズ	$10.2 \times 15.4 \text{ mm}^2$
有効面積	$14.1 \times 8.7 \text{ mm}^2$
ピクセル数	425,984 pixels (832 columns $\times$ 512 rows)
ピクセルサイズ	$17 \times 17 \mu\text{m}$
回路層厚	40 nm
BOX 層厚	150 nm
センサー層厚	$500 \mu\text{m}$ (N type Floating Zone wafer)
Al 層厚	200 nm
読出しモード	全ピクセル逐次出力 / 13 並列出力 (32,768 (64 columns $\times$ 512 rows) pixels / channel)
その他	相関二重サンプリング (Correlated Double Sampling, CDS) 回路搭載

表 2.1: INTPIX4 デザインパラメータ

INTPIX4 検出器の使用時にはリセット、露光、読出しを繰り返すことになるが、このときの状態遷移は図 2.2 に示す通りとなる。

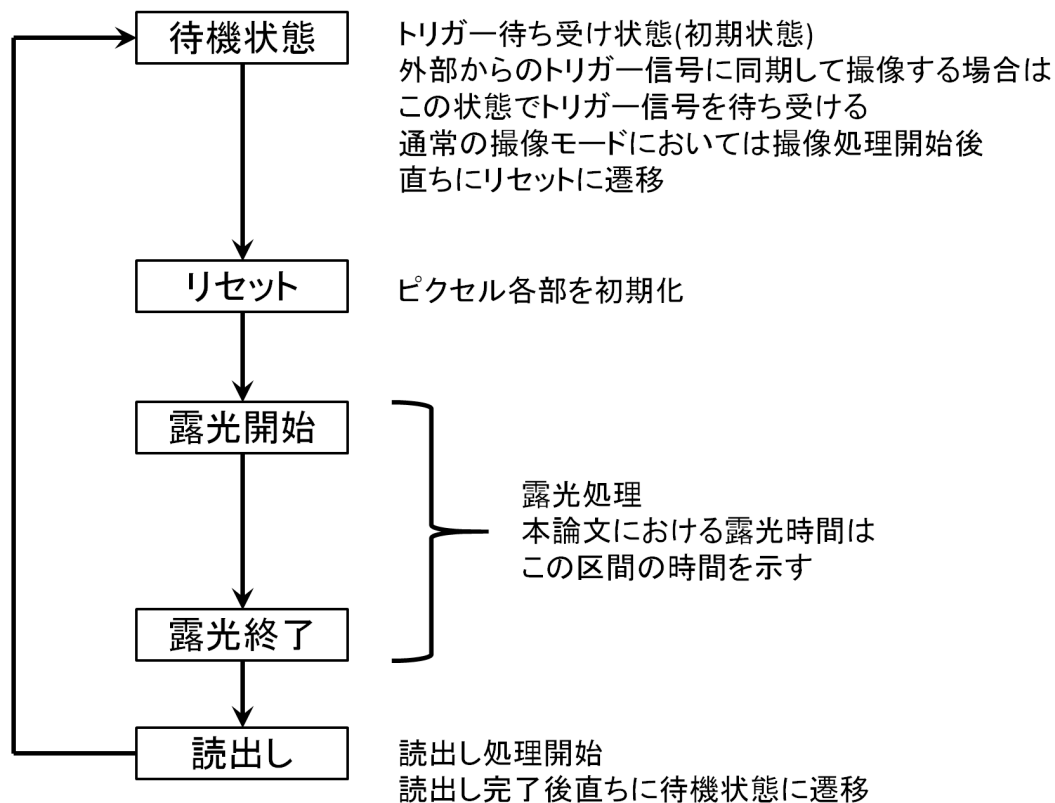


図 2.2: INTPIX4 読出し時遷移フロー

### 2.1.1 ピクセル内動作機構

本節では INTPIX4 検出器のピクセル内動作機構について説明する。図 2.3 は INTPIX4 のピクセル内回路図を示す。図 2.3 内に示される名称はそれぞれ表 2.2 の通りである。以降の説明にはこの名称を用いる。



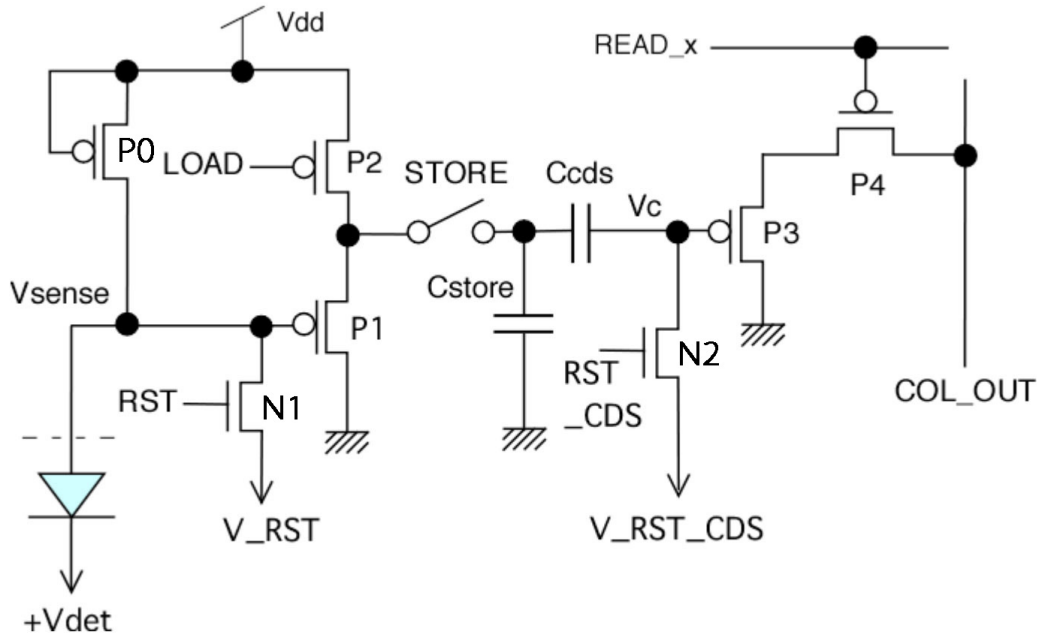


図 2.3: INTPIX4 のピクセル内回路図 [1]

LOAD	ソースフォロワ回路のカレントミラー負荷 PMOS のバイアス電圧
STORE	Cstore 電荷蓄積スイッチ
RST	センサー電圧リセットスイッチ
RST_CDS	CDS リセットスイッチ
READ_x	アナログ出力スイッチ
Vdd	電源電圧 (1.8V)
Vsense	センサー電極電圧
Vc	センサー出力 (CDS) 電圧
V_RST	センサーリセット電圧
V_RST_CDS	CDS リセット電圧
COL_OUT	アナログ出力

表 2.2: INTPIX4 ピクセル内回路図 (図 2.1) 内の信号線等の名称

INTPIX4 検出器の使用時におけるピクセル内各種信号線の状態遷移は以下の通りになる。(遷移フローは図 2.2 参照)

### リセット

STORE、RST、RST\_CDS スイッチを ON にし、センサー電極電圧  $V_{sense}$ 、センサー出力 (CDS) 電圧  $V_c$  をそれぞれ基準値  $V\_RST$ 、 $V\_RST\_CDS$  にリセットする。続いて、RST スイッチ、RST\_CDS スイッチの順で OFF にすることによって

$V_c$  は  $V_{sense}$  とノイズによるオフセット電位を含めて  $V_{RST\_CDS}$  に調整される。

#### 露光開始

RST、RST\_CDS スイッチの両方が OFF になった時点が露光開始となる。露光時間中に生成された電荷によって  $V_{sense}$  の電位はその電荷量に比例して上昇する。 $V_{sense}$  の出力はソースフォロワ回路を介して  $C_{store}$  に蓄積され、 $V_c$  は  $C_{store}$  での電圧を追従する形で上昇するが、 $V_c$  の出力は  $C_{store}$  での電圧からオフセットを差し引いたものになる。

#### 露光終了

STORE スイッチを OFF にすることによってソースフォロワ回路- $C_{store}$  間の接続が切れ、 $V_c$  はその時点での出力に固定される。

#### 読出し

$V_c$  の外部への出力は  $READ_x$  スイッチによってピクセル外から制御され、カラムバッファ、アナログバッファを経由して外部に出力される。

### 2.1.2 ピクセル外動作機構

制御回路の概略を図 2.4 に示す。図 2.4 内に示される名称はそれぞれ表 2.3 の通りである。以降の説明にはこの名称を用いる。

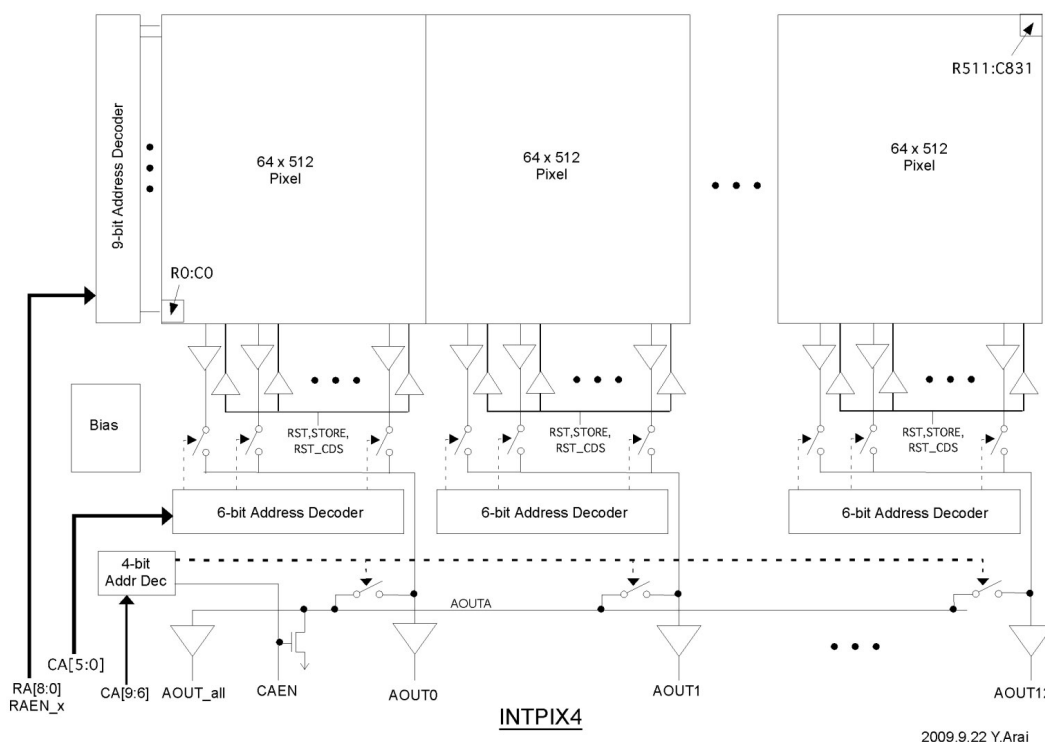


図 2.4: INTPIX4 の制御回路の概略図 [3]

RA	Row Address Input (8 bit)
RAEN_x	Row Address Decoder Enable スイッチ
CA	Colmun Address Input (10 bit) 並列出力出力使用時は下位 6 bit が有効
CAEN	Colmun Address Decoder Enable スイッチ
AOUT_all	全ピクセル逐次出力用アナログ出力
AOUT_0-12	13 並列出力用アナログ出力
AOUT_all	全ピクセル逐次出力用アナログ出力
STORE	Cstore 電荷蓄積スイッチ (各ピクセル内に接続)
RST	センサー電圧リセットスイッチ (各ピクセル内に接続)
RST_CDS	CDS リセットスイッチ (各ピクセル内に接続)

表 2.3: INTPIX4 の制御回路概略図 (図 2.4) 内の信号線等の名称

INTPIX4 検出器の使用時におけるピクセル外の各種信号線の状態遷移は以下の通りになる。(遷移フローは図 2.2 参照)

### リセット

全ピクセルに対して STORE、RST、RST\_CDS スイッチを ON にする。

#### 露光開始

全ピクセルに対して RST、RST\_CDS スイッチの両方を OFF にする。

#### 露光終了

全ピクセルに対して STORE スイッチを OFF にする。

#### 読出し

カラムアドレスデコーダ、ローアドレスデコーダを介して任意のピクセルの READ\_x スイッチを ON にし、各ピクセルのアナログ信号出力を取り出す。INTPIX4 は 13 並列での読み出しが可能であるため、フルフレームでの使用の際には  $64\text{columns} \times 512\text{rows} = 32,768$  回の読出し操作を行うことになる。

### 2.1.3 動作機構から見積もられる読出しシステムのスループット

前述したピクセル内、ピクセル外の動作機構より、1 フレーム当たりの読出し所要時間は式 2.1 のように見積もることが出来る。

$$T_{frame} = T_{scan} \times ROWN \times CNPB + T_{exposure} + T_{reset} \quad (2.1)$$

$T_{frame}$  : 1 フレーム当たりの読出し所要時間 [sec/frame]

$T_{scan}$  : 1 ピクセル当たりの走査時間 [sec/pixel]

$ROWN$  : Row 数 = 512

$CNPB$  : 1 ブロック当たりの Column 数 = 64

$T_{exposure}$  : 露光時間 [sec]

$T_{reset}$  : リセット時間 [sec]

ここで、 $T_{exposure} = 0[\text{sec}]$ 、 $T_{scan} = 3.2 \times 10^{-7}[\text{sec}]$ 、 $T_{reset} = 5 \times 10^{-6}[\text{sec}]$  とすると、 $T_{frame}$  は  $10.5 \times 10^{-3}[\text{sec}]$  となる。これを連続して読み出した際のフレームレートに換算すると 95 fps であり、ピクセルのアナログ出力が A/D 変換後 16 bit のデータ量になるとすると転送データ量は 650 Mbps となる。実際の運用時には露光時間が加わるが、INTPIX4 を最小の読出し時間で使用するためには読出しシステムは 600Mbps 以上のスループットを備えている必要があることがわかる。

## 2.2 SEABAS DAQ システム

INTPIX4をはじめとする SOI ピクセル検出器の読み出しは、多くの場合 SEABAS (Soi EvAluation BoArd with Sitcp [2]) と呼ばれる汎用読み出し基板を用いた SEABAS DAQ システムによって行われる。本節では SEABAS 基板とこれを用いた SEABAS DAQ システムについて述べる。

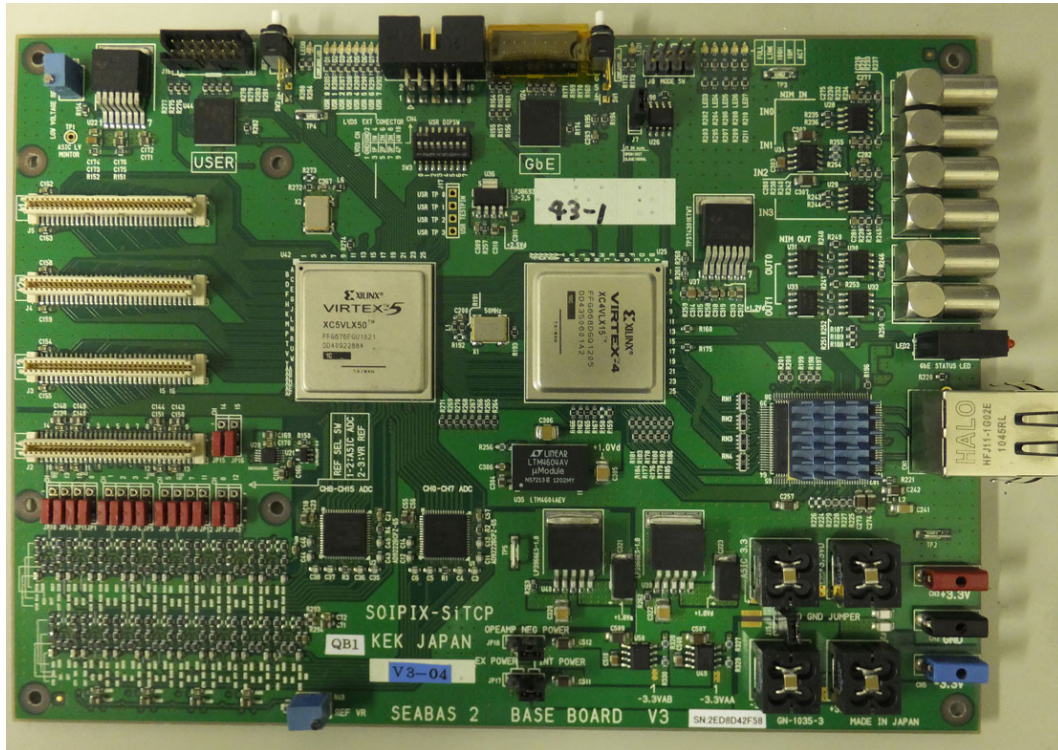


図 2.5: SEABAS2 写真

### 2.2.1 SEABAS 基板概要

SEABAS 基板は KEK 測定器開発室 [3] によって開発された汎用読み出し基板で、第一世代の SEABAS 1、及び第二世代の SEABAS 2(図 2.5) が存在する。INTPIX4 検出器においては通常 SEABAS 2 を使用するため、以降特に注記のない限り SEABAS 2 について述べる。

SEABAS 2 基板は SiTCP[2] ネットワークプロセッサ用及びユーザーカスタマイズ用の 2 つの FPGA(Field-Programmable Gate Array) 素子、16 チャンネルのフラッシュ A/D Converter (ADC)、外部からの制御及び読み出し用の Ethernet インターフェイス等

の検出器の読出しに必要とされる機能が搭載されている。ブロックダイアグラムを図 2.6、主な仕様については表 2.4 に示す。

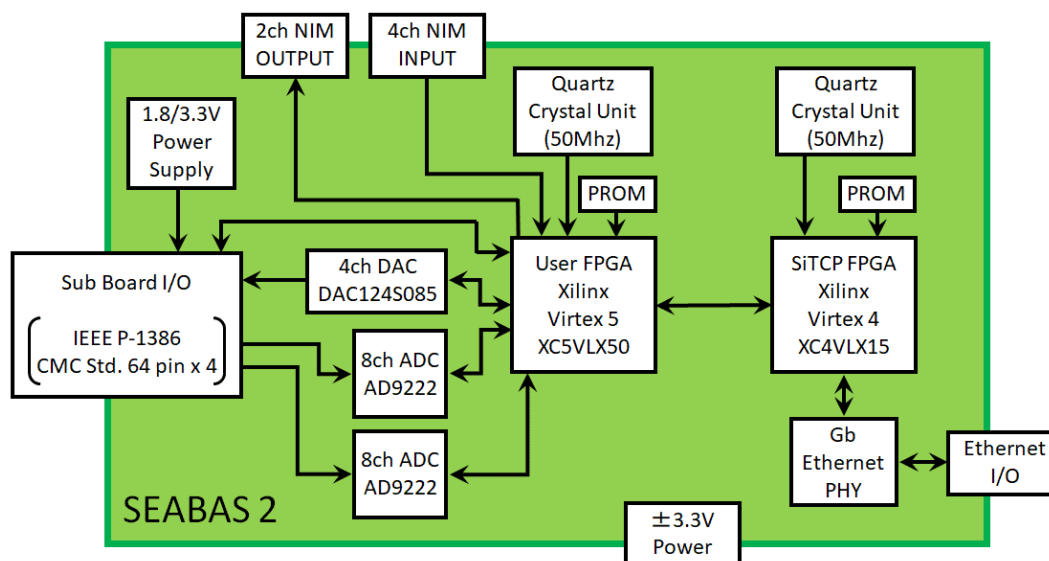


図 2.6: SEABAS2 ブロックダイアグラム。主要でない部品は省略されており、配置・サイズについては実物と異なる

電源	DC $\pm 3.3$ V (-3.3 V は内部生成可能)
FPGA	SiTCP : Xilinx Virtex 4 (XC4VLX15) User FPGA : Xilinx Virtex 5 (XC5VLX50)
User FPGA Slice Number	7,200 slices [4]
User FPGA Block Memory	1,728 Kb [4]
A/D Converter	16 Channels (12bit, 2Vp-p range, 65 (Current : 25) MSPS, AD9222 [5] $\times 2$ )
D/A Converter	4 Channels (DAC124S085 [6])
NIM logic I/O [7]	4 Channels Input and 2 Channels Output (LEMO)
Ethernet	1000BASE-T 1 Gigabit Ethernet Interface
Sub Board I/O	IEEE P-1386 Common Mezzanine Card Standard 64 pin [8] $\times 4$

表 2.4: SEABAS 2 汎用読み出し基板仕様表

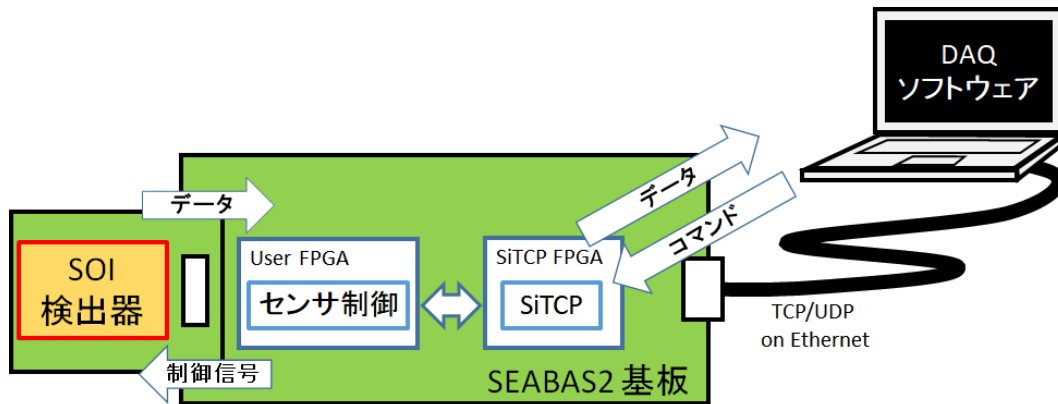


図 2.7: SEABAS 2 DAQ システムのセットアップ概略図

運用の際には図 2.7 のように DAQ 用の PC と Ethernet インターフェイスを介して接続し、DAQ 用 PC から User FPGA 上のファームウェアの制御・データ読出しを行う。この際の通信には SiTCP によって提供される TCP / UDP プロトコルを使用する。前述の INTPIX4 のような積分型 SOI ピクセル検出器を用いて読み出す場合、検出器から出力されるアナログ出力を SEABAS 2 上の ADC によって A/D 変換し、得られた A/D 変換値 (A/D conversion Unit、ADU) を DAQ 用 PC に転送することとなる。

### 2.2.2 SEABAS 2 ファームウェア実装

INTPIX4 を制御する場合に SEABAS2 の FPGA 上に実装されるファームウェアは、前節で述べた INTPIX4 の各種信号制御を行うためのモジュール、センサーリセット電圧、CDS リセット電圧の供給に用いる DAC の制御モジュール、読出しに用いる ADC の制御モジュール、NIM I/O 用モジュール、SiTCP からコマンドを受信するモジュール、SiTCP からデータを送信するモジュールから構成されている。ファームウェアの概略を図 2.8 に示す。

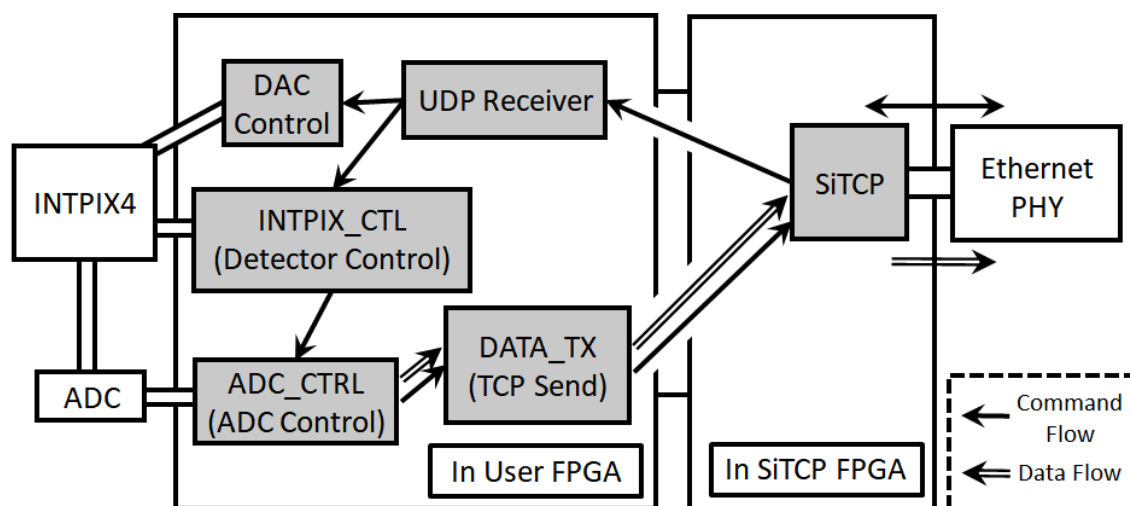


図 2.8: SEABAS 2 ファームウェア実装概略図

### 2.2.3 SEABAS 2 DAQ システムにおけるデータフロー

SEABAS 2 DAQ システムにおける SOI ピクセル検出器から DAQ 用 PC までのデータフローは図 2.9 のように表すことが出来る。表 2.5 に示される本システム中の各部におけるスループットから、計算上 SEABAS 2 DAQ システムは前述した INTPIX4 における要求スループットである 650 Mbps (95 fps) を十分に満たしうることがわかる。しかし、現行システムが示すスループットは 2.3.3 節で後述する通り  $T_{exposure} = 1 \times 10^{-6}[\text{sec}]$  (現行システムの最小設定値)、 $T_{scan} = 3.2 \times 10^{-7}[\text{sec}]$ 、 $T_{reset} = 5 \times 10^{-6}[\text{sec}]$  の条件においておよそ 176 Mbps (26 fps) であり、またフレームレートの安定性も高いとは言えない。そこで、本研究においては現行システムが抱えるボトルネックについて検討し、600 Mbps 以上のスループット達成およびフレームレートの安定性の向上を目指すこととした。



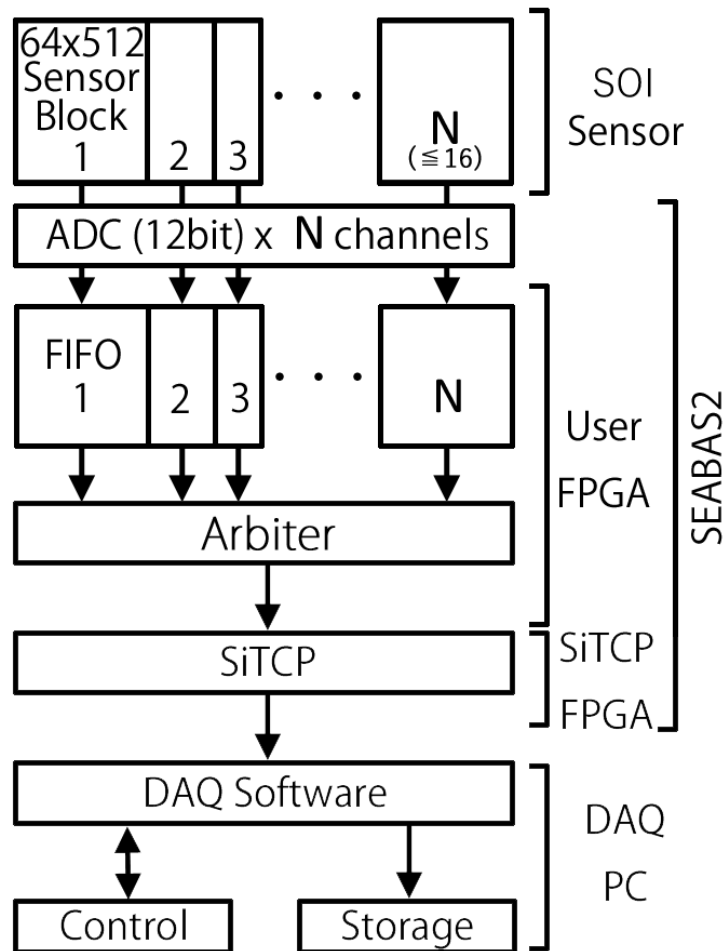


図 2.9: SEABAS 2 DAQ システムのデータフロー (N は検出器の並列出力の数、及び使用する ADC のチャンネル数を示す。また FIFO は First-In, First-Out バッファを示す)

区間		スループット
SOI 検出器 (INTPIX4)	アナログ出力 (13 並列) ⇒ ADC	95 fps (32,768 pixels / channel)
SEABAS 2	ADC チップ出力 (12 bit / channel)	25 MSPS (INTPIX4 換算 0.76 kfps)
	ADC ⇒ FIFO (First-In, First-Out) バッファ (12 bit width)	300 Mbps / Channel
	FIFO (12 bit + Padding 4 bit) ⇒ Arbiter	2 Gbps (INTPIX4 の場合 13 FIFO で共有)
	Arbiter ⇒ SiTCP	2 Gbps
DAQ 用 PC	SiTCP ⇒ DAQ 用 Software	950 Mbps (ベストエフォート。 TCP パケットのヘッダ等除く)
	DAQ 用 Software ⇒ Storage	1 Gbps (ベストエフォート。 シーケンシャル書き込み性能 130 MB / s の HDD を使用した場合)

表 2.5: 現行 SEABAS DAQ システム各部のスループット

## 2.2.4 ボトルネックの特定および改善手法

現行 SEABAS DAQ システムのデータフローにおいて、ボトルネックになり得る問題は以下の 2 つを挙げることができる。

1. 経路中に十分な容量のバッファが存在しない。
2. 経路中にスループットが保証されない部位が存在する。

まず、1 に関して、本システムのデータフローにおいてバッファとして機能している部位は ADC-Arbiter 間の FIFO バッファ、Arbiter-SiTCP 間の FIFO バッファ、SiTCP 内の FIFO バッファの 3 か所となる。システム全体として安定したスループットを確保するためにはこれらのバッファに短時間の転送中断に耐えうる十分な容量を与え、下流の転送レートの変動を吸収させる必要がある。具体的にどの程度の時間の転送中断に耐えられれば十分であるかについては実験のセットアップや要求性能によって変化するが、スイッチングハブを介して接続するような構成では一方向につき 1 ms から 2 ms の遅延が

生じる可能性があることから、5 ms 程度の転送中断が生じうる状況に耐えられる程度のバッファ容量を確保することが望ましい。ここで、各 FIFO バッファに与えられる容量は FPGA が持つ BlockRAM 容量によって制限されるが、User FPGA の BlockRAM 容量は 1,728 Kb [4]、SiTCP 用 FPGA の BlockRAM 容量は 864 Kb [9] である。このことから、仮に特定のバッファが User FPGA の BlockRAM 容量の全域を使用できるようになったとしても 600 Mbps 転送時で約 3 ms 分にしかならず、これ以上の一時的な転送中断には耐えられないことになる。この問題の根本的な解決のためには BlockRAM 容量の増加、または FPGA が直接利用可能かつ高速な外部メモリの SEABAS 2 基板への搭載が必要となる。

次に、2 に関して、本システムのデータフローにおいて、SiTCP-DAQ ソフトウェア間および DAQ ソフトウェア-記録ストレージ間のスループットはベストエフォート型となり一定のスループットが保証されない。SiTCP-DAQ ソフトウェア間のデータ転送に用いる SiTCP 実装の TCP プロトコルは RFC793(基本仕様) [10]・RFC813(フロー制御) [11]・RFC2581(輻輳制御) [12] に定義される標準的な仕様に従うため、受信側 TCP ソケットの受信バッファの状態がスループットに影響することになる。よって、SEABAS 2 基板と DAQ 用 PC が Ethernet によって直結されている場合、SiTCP-DAQ ソフトウェア間のスループットを制限する主な条件は DAQ 用 PC 内 TCP ソケットの受信バッファ-DAQ ソフトウェア間のスループットとなる。この区間の転送レートが平均 950 Mbps 以上であれば受信バッファがオーバーフローすることはないため全体のスループットもこれに準じたものになるはずであるが、実際の現行システムのスループットは 176 Mbps である。このことから、受信バッファ-DAQ ソフトウェア間の転送レートが低く、慢性的に受信バッファが満杯になっているために全体のスループットもこれに準じて抑えられてしまっていると考えられる。

これらの課題への対応としては、以下に挙げる 2 つの対処方法が考えられる。

1. 経路中に十分な容量のバッファを設ける。
2. 経路中にスループットが保証されない部位について、可能な限り高スループットが維持できるようデータフローを再設計する。

本研究においてはこれらの方法のうち、2 の方法を選択することとした。具体的には、DAQ ソフトウェア内部のデータフローを検討・再設計し、SiTCP-DAQ ソフトウェア間のスループットの最大化を図った新型ソフトウェアを開発する。

なお、1の方法についても本研究の今後の課題として検討を行っており、この点については5章にて述べる。

## 2.3 SOI 検出器用新型 DAQ ソフトウェア

### 2.3.1 現行ソフトウェア内のボトルネックおよび改善手法

現行のソフトウェアにおいては、基本的にデータの取得に関するすべての処理がシングルスレッドで処理されている。具体的にはデータ取得処理による TCP ソケット受信バッファからのデータ読み出しが行われた後にデータの並び替えを行い、これをストレージへの記録処理に受け渡して記録を行っている (図 2.10 左)。このため、データ取得とストレージへの記録は必ず交互に行うことになり、次のデータ取得処理はストレージへの記録処理が完了するまで開始できない。よって、ストレージへの記録処理の所要時間の分だけデータ取得処理の効率は落ちることになる。ストレージへの記録処理の所要時間は出力形式に依存し、バイナリ形式であれば概ねストレージの書き込み速度に等しくなるが、ROOT [13] TTree 形式でデータを記録する場合は圧縮処理に要する時間が加わるため、所要時間は大きく (環境に依存するがフレーム当たりでバイナリ形式の 10 倍以上) 伸びる。この問題を解消するため、新型 DAQ ソフトウェアにおいてはデータ取得処理とストレージへの記録処理の間のデータ受け渡しをソフトウェアベースの FIFO (First-In, First-Out) バッファを介する形に変更することにより、各処理が並列動作できるようにすることとした (図 2.10 右)。FIFO バッファの容量には制限があるため、ストレージへの記録処理の速度が向上しない限りはこの改善後も FIFO バッファの容量限界に到達した段階でストレージへの記録処理待ちが発生することになるが、記録処理待ちとなる最大のデータ量が動作環境の許容するメモリ領域の範囲内 (Windows 用 32 bit 版ビルドで INTPIX4 約 3600 フレーム程度) であれば連続でのデータ取得処理が可能となる。具体的な実装については後述する。

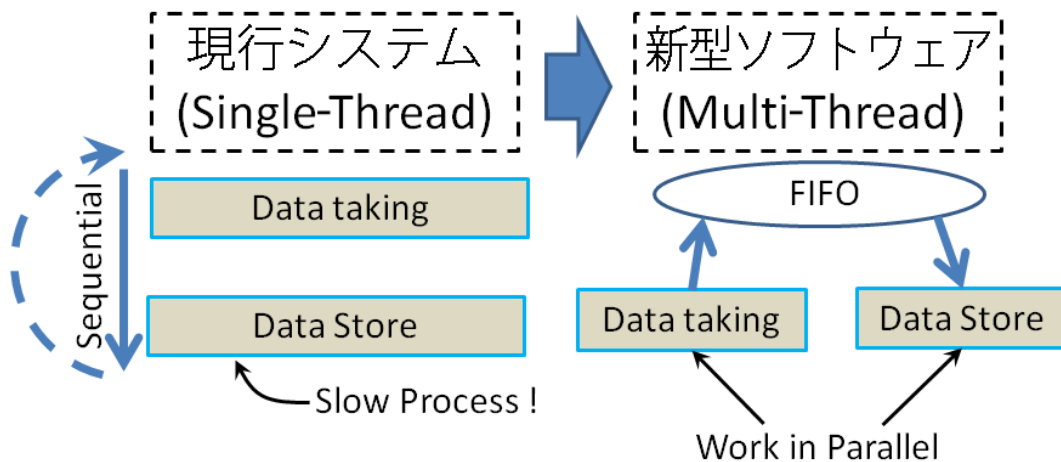


図 2.10: 現行ソフトウェアの処理フロー概略 (左) と新型ソフトウェアにおける改善後の処理フロー概略 (右)

### 2.3.2 新型ソフトウェア概要

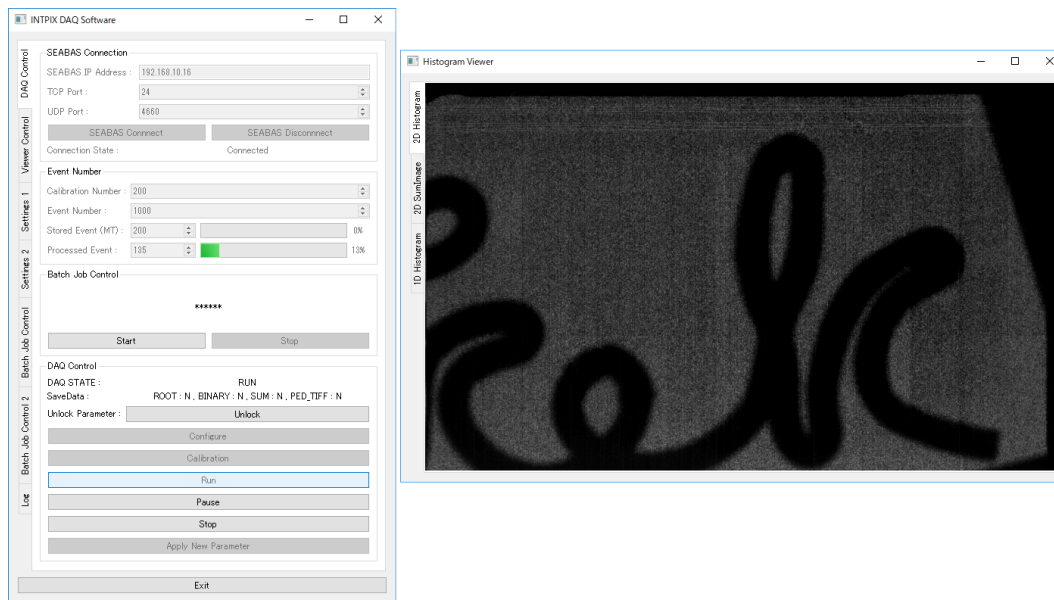


図 2.11: 新型ソフトウェア動作イメージ (2017/10/20 時点最新版)

本研究において開発した SOI 検出器用新型 DAQ ソフトウェア (以下本ソフトウェア) の動作イメージを図 2.11 に示す。本ソフトウェアにおいて、データ取得処理とストレージへの記録処理の並列処理は WIN32API [14] (Windows) または Posix Thread [15] (Linux) によるマルチスレッド機能によって実装した。また、FIFO バッファは `std::list`

[16] をベースに必要な I/O を追加する形で実装を行った。本ソフトウェアの設計・開発にあたって、INTPIX4 以外の SOI ピクセル検出器への対応および今後の開発資産の流用性を考慮し、内部構造の階層化・抽象化を進め、特に GUI(Graphical User Interface) と SOI ピクセル検出器読み出し・制御の機能を分離することとした。図 2.12 に本ソフトウェアの内部構造概略図を示す。

## Structure of SOI DAQ Software

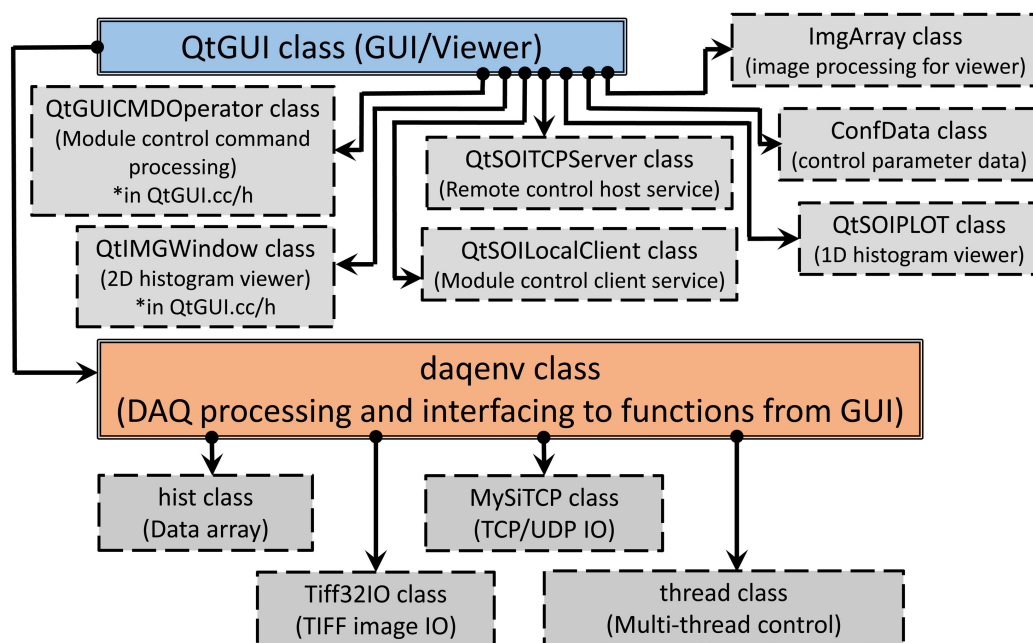


図 2.12: 新型ソフトウェア内部構造概略図

本ソフトウェアは GUI 及びこれに連なる一部の外部通信機能に Qt [17] 5.5 以降、1次元ヒストグラム表示に QCustomPlot [18] 1.3.0、2次元ヒストグラム表示に OpenCV [19] 3.00 以降、JSON (JavaScript Object Notation) [20][21] 形式でのパラメータ入出力に picojson [22] 1.3.1、ROOT TTree 形式でのデータ記録用に ROOT [13] 5.30 以降を使用している。また、開発環境及びコンパイラとして Microsoft Visual Studio [23] 2013 (VC12) 以降 (Windows)、GCC [24] 4.6 以降 (Linux) を推奨する。

なお、その他の機能として 3 章の DAQ フレームワークへの対応のため、バッチ処理機能、コマンド受信機能、対周辺機器制御ソフトウェアモジュール用マスター機能、シェルコマンド呼び出し機能が搭載されている。これらの詳細については付録 A において述べる。

### 2.3.3 新型ソフトウェアによるスループット改善効果

新型 DAQ ソフトウェアによるスループット改善の効果を確認するため、同一条件下において現行ソフトウェア (以下旧型)、新型 DAQ ソフトウェア (以下新型) の両ソフトウェアにより実際にデータ取得を行い、このときの平均転送レートおよびフレーム間隔<sup>1</sup>の安定性を確認した。使用した DAQ 用 PC の仕様を表 2.6 に示す。

OS	Windows 10 Home Edition 64 bit (Version 1703、Build 15063)
Motherboard	ECS B85H3-M4 (Mouse Computer OEM Edition)
CPU	Intel Core i7-4770 (3.40 Ghz (Turbo Boost 時 3.90 Ghz)、 4 コア、8 スレッド)
Memory	DDR3-1600 8GB Single-Channel (A-DATA AM2L16BC8R2)
HDD	1TB 7,200 回転 Serial ATA600 (Western Digital WD10EZEX)

表 2.6: スループット改善効果確認試験時の DAQ 用 PC の仕様

撮像条件は  $T_{exposure} = 1 \times 10^{-6}$ [sec]、 $T_{scan} = 3.2 \times 10^{-7}$ [sec]、 $T_{reset} = 5 \times 10^{-6}$ [sec]、撮影枚数 2500 フレームであり、このときの計算上の転送レートは 649.6 Mbps(95.3 fps)程度となる。表 2.7 はこのデータ取得の試行における旧型および新型 DAQ ソフトウェアのそれぞれにおける平均転送レートを示したものである。旧型の転送効率が 27.0 %に留まっているのに対し、新型の転送効率は 97.3 %に到達していることから、新型 DAQ ソフトウェアにおいては全体としてのスループットが改善していることが確認できた。また、図 2.13、2.14 はデータ取得中のフレーム間隔 (各 2,499 区間) の取得フレーム数に対する推移、図 2.15、2.16 はフレーム間隔の分布をそれぞれ示したものである。フレーム間隔の推移については、本試験時の計算上のフレーム間隔は 10.5 ms となることから、理想的には 10.5 ms 付近でフラットなグラフになることが期待される。しかし、旧型のフレーム間隔は断続的に 60-90 ms 程度の延長が見られ、また不定期に数百 ms の長い延長も発生していることが確認できる。これに対して、新型のフレーム間隔には 10ms 以上の延長は見

<sup>1</sup> あるフレームの露光開始から次のフレームの露光開始までの間隔。本 DAQ システムにおいては ADC-Arbitrator 間の FIFO バッファに空きがない場合は検出器からの読出し処理を中断し空き容量の回復を待つため、スループットが不安定である場合はその影響がフレーム間隔の延長として確認できる。

られず、比較的フラットに推移していることが確認できる。このことはフレーム間隔の分布のグラフからも明らかで、旧型の分布が大きなばらつきを見せているのに対して、新型の分布はデータ取得開始直後の数フレームに由来するばらつきを除いて 10.5–13.5 ms の範囲におさまっていることがわかる。これらより、新型 DAQ ソフトウェアにおいてはスループットの安定性についても改善していることが確認できた。

	旧型 DAQ ソフトウェア	新型 DAQ ソフトウェア
転送所要時間 (データ取得開始から PC 上へのデータ収容完了まで)	96.990 sec	26.777 sec
平均フレームレート (取得フレーム数/転送所要時間)	25.78 fps	92.74 fps
平均転送レート	175.7 Mbps	632.1 Mbps
転送効率 (計算上の転送レート (649.6 Mbps) に対する割合)	27.0 %	97.3 %

表 2.7: 旧型および新型 DAQ ソフトウェアの平均転送レート

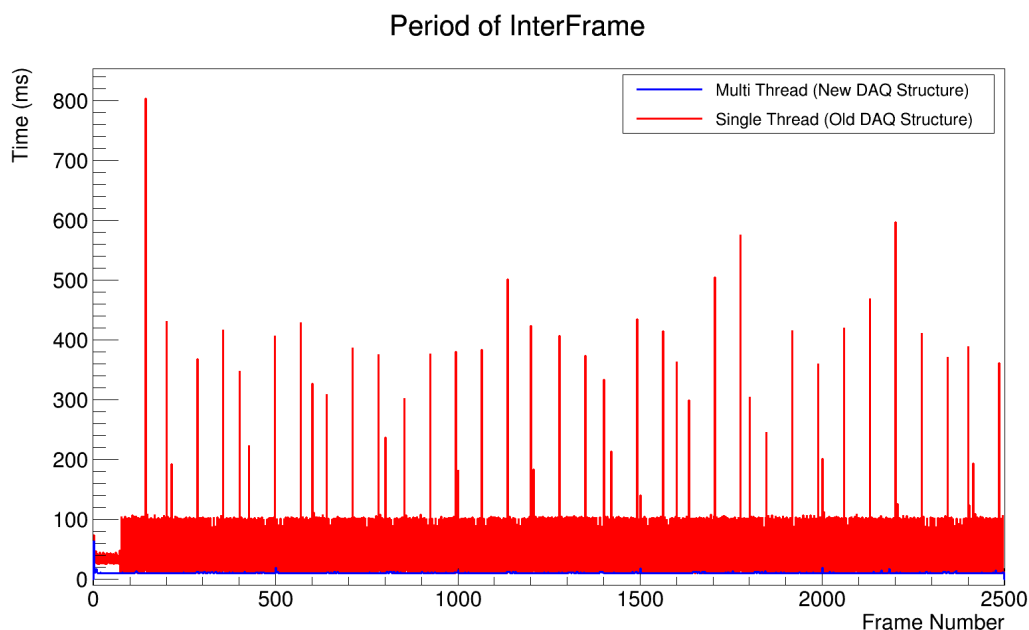


図 2.13: データ取得中のフレーム間隔の取得フレーム数に対する推移 (各 2,499 区間) について、横軸をフレーム番号、縦軸をフレーム間隔 (ms) としてプロットしたもの。赤線が旧型、青線が新型を示す。



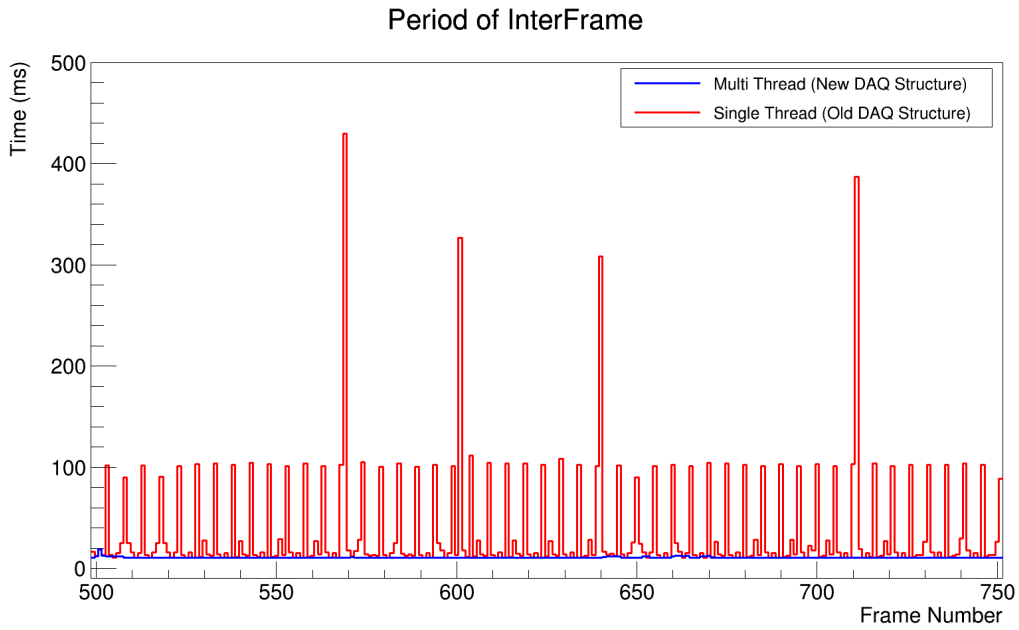


図 2.14: 図 2.13 における 500-750 の 250 区間を拡大したもの。

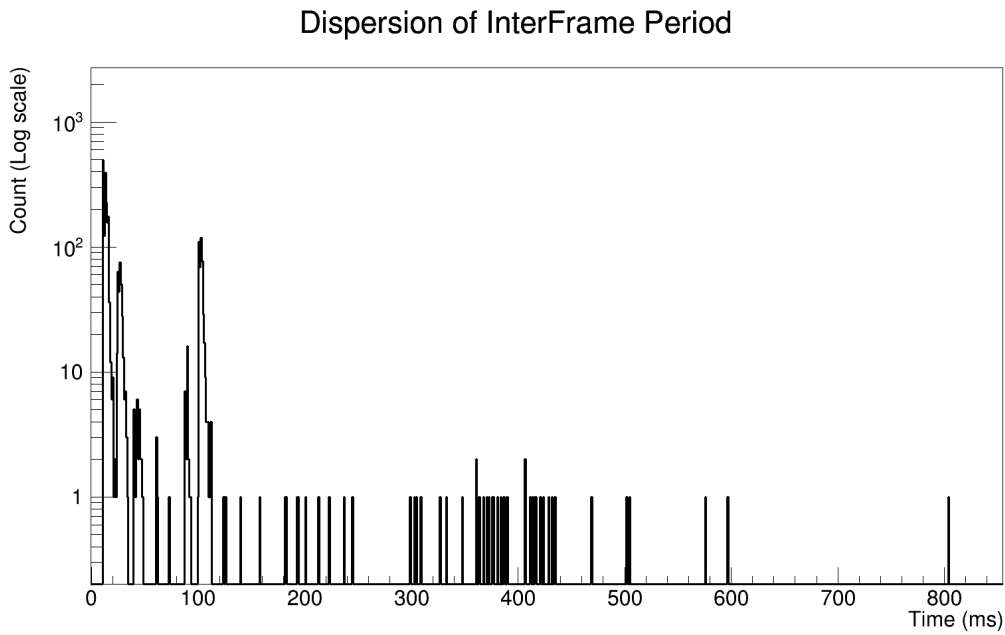


図 2.15: 旧型 DAQ ソフトウェアによるデータ取得中のフレーム間隔の分布について、横軸をフレーム間隔 (ms)、縦軸をカウント数 (対数) としてプロットしたもの。

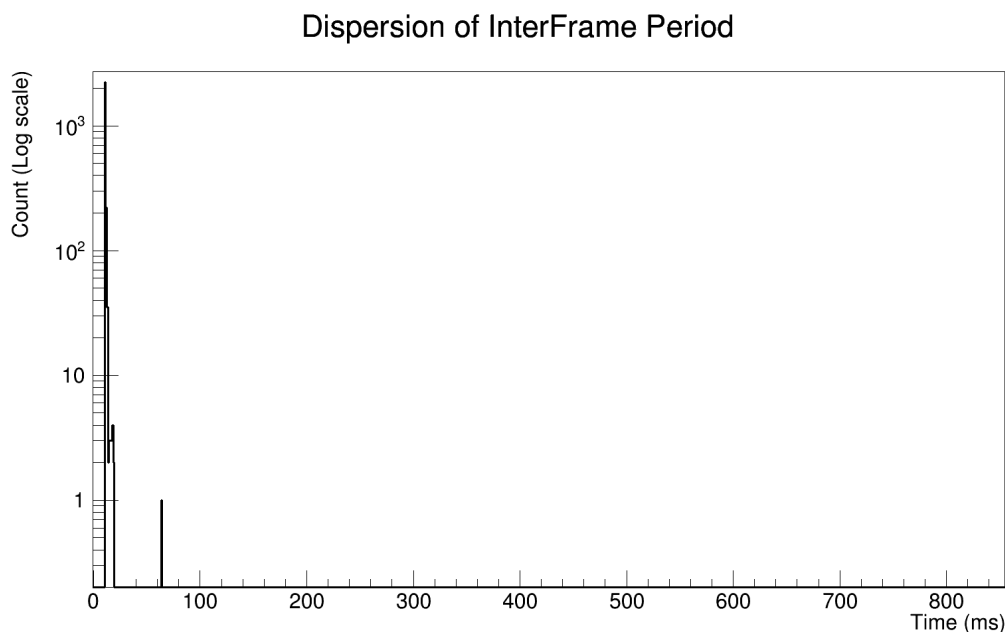


図 2.16: 新型 DAQ ソフトウェアによるデータ取得中のフレーム間隔の分布について、横軸をフレーム間隔 (ms)、縦軸をカウント数 (対数) としてプロットしたもの。

## 参考文献

- [1] Y. Arai, [INTPIX4 User's Manual], SOIPIX グループ配布資料 (<http://soipix.jp/>), (2013).
- [2] T. Uchida, [Hardware-Based TCP Processor for Gigabit Ethernet], IEEE Trans. Nucl. Sci. NS-55 (3) 1631-1637, (2008).
- [3] KEK, [KEK 測定器開発室], <http://rd.kek.jp/>, (2017/10/20 閲覧).
- [4] Xilinx Inc., [Virtex-5 Family Overview DS100 (v5.1)], Xilinx Documentation, (2015).
- [5] Analog Devices Inc., [Octal, 12-Bit, 40/50/65 MSPS Serial LVDS 1.8 V A/D Converter AD9222 Rev.F], Analog Devices Documentation, (2017).

- [6] Texas Instruments Inc., [DAC124S085 12-Bit Micro Power Quad Digital-to-Analog Converter With Rail-to-Rail Output (REVISED APRIL 2016)], Texas Instruments Documentation, (2016).
- [7] U.S. NIM COMMITTEE, [Standard NIM Instrumentation System], U.S. Department of Energy DOE/ER-0457T, (1990).
- [8] IEEE, [IEEE Standard for a Common Mezzanine Card (CMC) Family], IEEE Standards, (2001).
- [9] Xilinx Inc., [Virtex-4 Family Overview DS112 (v3.1)], Xilinx Documentation, (2010).
- [10] DARPA, [RFC793 TRANSMISSION CONTROL PROTOCOL], RFC, (1981).
- [11] D. D. Clark, [RFC 813 WINDOW AND ACKNOWLEDGEMENT STRATEGY IN TCP], RFC, (1982).
- [12] M. Allman et al., [RFC 2581 TCP Congestion Control], RFC, (1999).
- [13] CERN, [ROOT a Data analysis Framework — ROOT a Data analysis Framework], <https://root.cern.ch/>, (2017/10/20 閱覽).
- [14] Microsoft, [Windows API (Windows)], <https://msdn.microsoft.com/en-us/library/cc433218.aspx>, (2017/10/20 閱覽).
- [15] B. Barney, [POSIX Threads Programming], <https://computing.llnl.gov/tutorials/pthreads/>, (2017/10/20 閱覽).
- [16] cplusplus.com, [list - C++ Reference], <http://www.cplusplus.com/reference/list/list/>, (2017/10/20 閱覽).
- [17] The Qt Company, [Qt], <http://www.qt.io/>, (2017/10/20 閱覽).
- [18] E. Eichhammer, [Qt Plotting Widget QCustomPlot], <http://www.qcustomplot.com/>, (2017/10/20 閱覽).

- [19] Itseez, Inc., [OpenCV], <http://opencv.org/>, (2017/10/20 閲覧).
- [20] JSON.org, [JSON], <http://www.json.org/>, (2017/10/20 閲覧).
- [21] T. Bray et al., [RFC 7159 The JavaScript Object Notation (JSON) Data Interchange Format], RFC, (2014).
- [22] K. Oku, [kazuho/picojson], <https://github.com/kazuho/picojson>, (2017/10/20 閲覧).
- [23] Microsoft, [Microsoft Visual Studio ホームページ - Visual Studio], <https://www.microsoft.com/ja-jp/dev/default.aspx>, (2017/10/20 閲覧).
- [24] Free Software Foundation, Inc., [GCC, the GNU Compiler Collection], <https://gcc.gnu.org/>, (2017/10/20 閲覧).

## 第3章 DAQフレームワークの構築

SOI ピクセル検出器を実際の実験に使用するにあたって、SOI ピクセル検出器には直接関わらない外部機器の制御を同時に行う必要がある場合が想定される。これらの機能まで SOI 検出器用 DAQ ソフトウェアに直接組み込んでしまうことは不必要なソフトウェアの肥大化・開発コストの増大を招いてしまう。そこで、本研究においては、汎用性・拡張性を考慮した DAQ フレームワークを提案し、これを用いた実験セットアップの統括制御を実現することを目指すこととした。

### 3.1 既存のフレームワークについて

テスト、計測、および制御用途向けのシステム開発ソフトウェアとしては、主なものとして LabView [1]、DAQ-Middleware [2][3]、STARS [4][5] 等が挙げられる。

#### LabView

グラフィック型言語でのプログラミングが可能であり、開発の敷居が低く高機能な開発環境である。但し、使用には比較的高額なライセンス料金を支払う必要がある。

#### DAQ-Middleware

RT-Middleware をベースとしたネットワーク分散環境向けのデータ収集用ソフトウェアフレームワークであり、各種機能を提供する DAQ コンポーネントと制御を行う DAQ オペレータから成るモジュール構造のフレームワークである。共通のコマンド・ステータスがフレームワーク側に定義されており、これに対応した処理を各 DAQ コンポーネント内に実装することによって機能の提供が可能となる。基本的に無償で利用可能である。

#### STARS

各種機能を提供するクライアントプログラムとテキストメッセージを中継するサーバプログラムから成るモジュール構造のフレームワークである。クライアントとサー

パはTCP/IP ソケットによって接続され、クライアント間はテキストメッセージを相互にやり取りすることができる。フレームワークとして共通のコマンド・ステータス等は特になく、各クライアントに任意のコマンドを定義する必要がある。基本的に無償で利用可能である。

DAQ-Middleware、STARS 等のフレームワークはモジュール構造を採用することによって汎用性、再利用性、カスタマイズのしやすさの面で成果を上げている。本研究においては、既存の開発資産の活用、コマンドの互換性および実装のコストを勘案して現時点ではこれらの既存フレームワークは採用しないが、汎用性、再利用性、カスタマイズのしやすさを重視し、類似のモジュール構造を採用することとした。また、将来的な既存フレームワークとの連携を視野に入れ、一部モジュールにブリッジ機能を持たせることで連携可能な仕様とすることとした。

## 3.2 SOI 検出器用モジュール構造 DAQ フレームワーク

SOI 検出器用 DAQ フレームワークでは、第 2 章で開発済みの SOI 検出器用 DAQ ソフトウェアをフレームワーク内の 1 モジュールとする。検出器用ソフトウェアと連携する周辺機器制御用のモジュールを開発し、この 2 モジュールを組み合わせたものを小規模セットアップ向けの構成とする。さらに、検出器用ソフトウェアモジュール複数と周辺機器制御用モジュールを統括制御するコントローラモジュールを開発し、これらを組み合わせたものを大規模セットアップ向けの構成とする。モジュール間の接続には Qt ベースのプロセス間通信 (QLocalSocket [6] / QLocalServer [7]) および TCP ソケット通信 (QTcpSocket [8] / QTcpServer [9]) を用い QDataStream [10] をシリアライズ機構に用いてコマンド (QString [11] ベース) および任意のデータ (プレビュー画像データ等) の送受信が可能な仕様とした。

### 3.2.1 小規模セットアップ向けの構成

小規模セットアップ向けの構成 (図 3.1) では検出器用モジュールがフレームワーク内におけるマスターモジュールとして振る舞い、周辺機器制御用モジュールを制御する形態となる。モジュール間はプロセス間通信で接続され、検出器用モジュールで QString テキ

ストとして生成した周辺機器用コマンドをプロセス間通信経由で周辺機器制御用モジュールが受け取り、これを Telnet 通信、シリアル通信等の任意の形式で周辺機器に送信する。周辺機器制御用モジュールの機能詳細については付録 B において述べる。

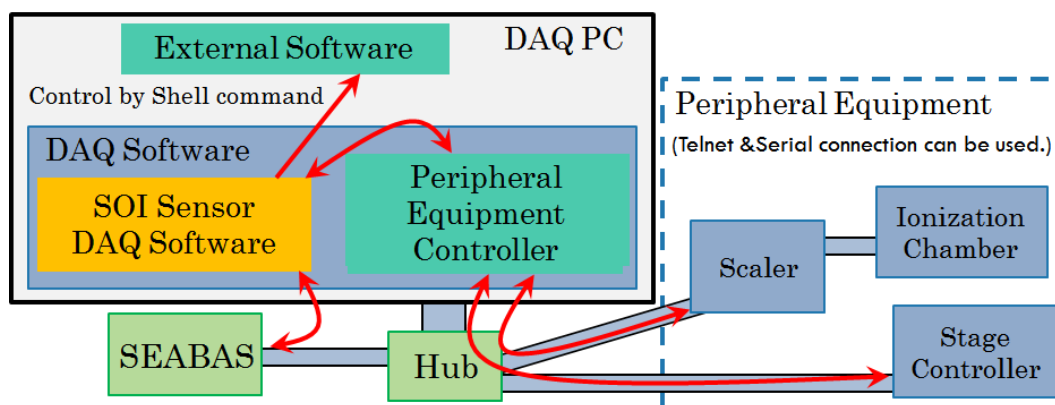


図 3.1: 小規模セットアップ向けの構成例

本構成において、周辺機器制御用モジュールはマスターモジュールから受信した周辺機器向けのコマンドを適宜変換・分配するものであり、TCP(Telnet) またはシリアル通信 (RS-232C 等) 経由での制御に対応した機器であれば製造メーカー・機能に依らず使用が可能であるが、送信するコマンドはマスターモジュール側で生成する必要がある。本構成では検出器用モジュールにバッチ処理動作に連動したコマンド生成機能を実装している。なお、後述する大規模セットアップ向けの構成においても同一の周辺機器制御用モジュールを使用するが、この構成ではコントローラモジュールが同様の機能を持つことになる。

### 3.2.1.1 小規模セットアップ向けの構成におけるプロセス間通信フロー

本構成は関連するソフトウェアモジュールがすべて同一 PC 上で動作することを前提としており、プロセス間通信には名前付きパイプ (Windows) およびローカルドメインソケット (Linux) を用いて実装された QLocalSocket [6] (クライアント) / QLocalServer [7] (サーバ) を使用している。本構成においてはプロセス間通信上は周辺機器制御用モジュールがサーバ、検出器用モジュールがクライアントとして動作することから、周辺機器制御用モジュール (スレーブモジュール) の立ち上げ (接続要求待ち受け開始) は検出器用モジュール (マスターモジュール) が接続を開始する前に完了している必要がある。検出器用モジュールが周辺機器制御用モジュールへの接続を開始するのはバッチ処理による自動制御モードでの動作を開始する直前であるため、バッチ処理動作を開始するまでに周辺機器

制御用モジュールの立ち上げが完了していればよいことになる。プロセス間通信のフローを図 3.2、3.3、3.4 に示す。

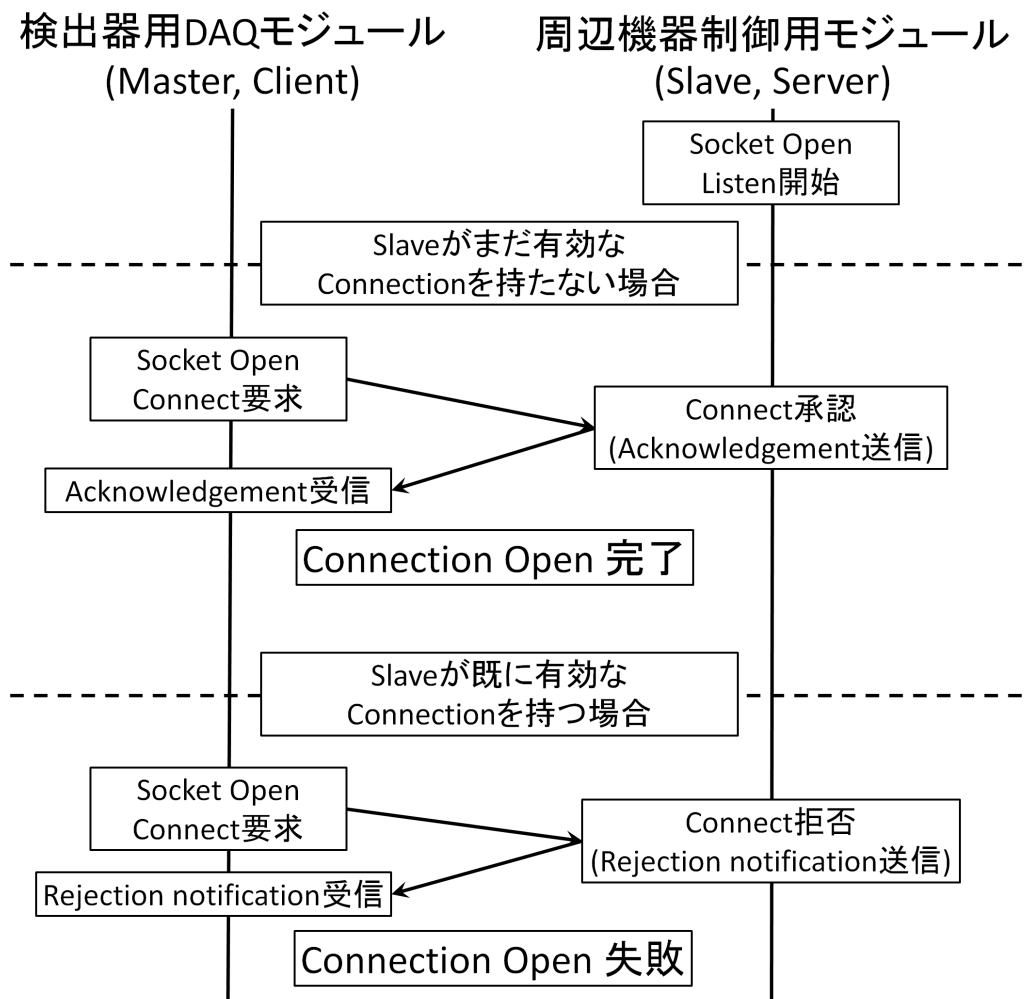


図 3.2: 小規模セットアップ向けの構成におけるプロセス間通信フロー (接続要求～通信確立)



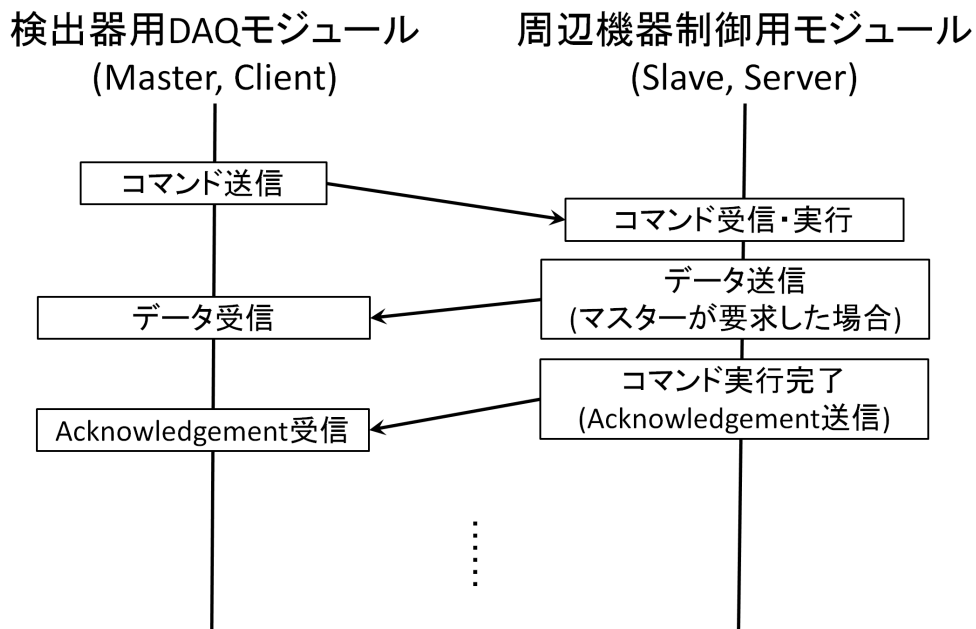


図 3.3: 小規模セットアップ向けの構成におけるプロセス間通信フロー (コマンド送受信)

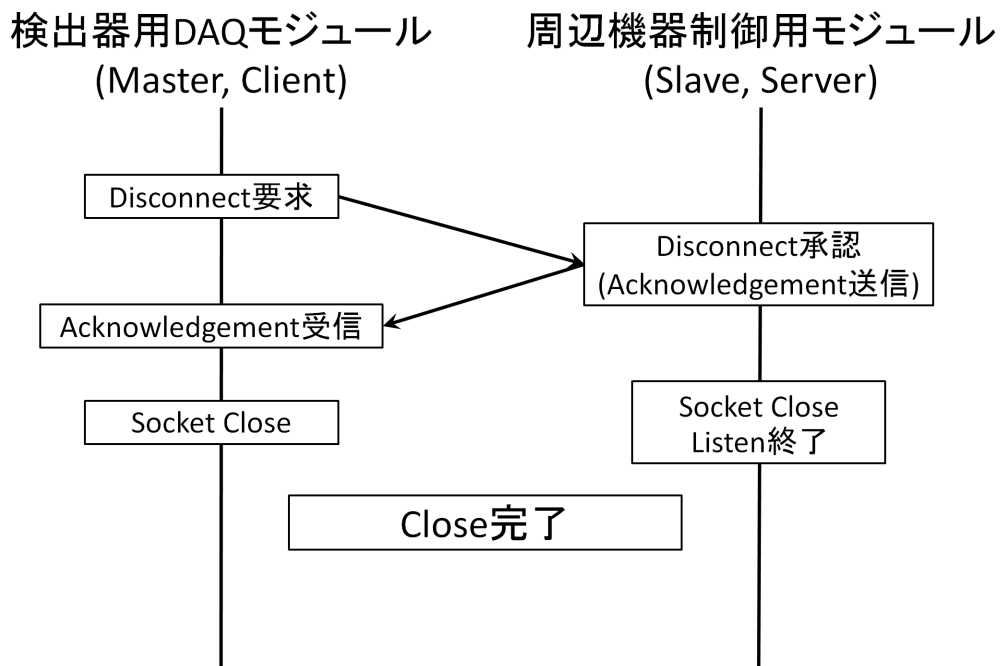


図 3.4: 小規模セットアップ向けの構成におけるプロセス間通信フロー (接続終了)

### 3.2.2 大規模セットアップ向けの構成

大規模セットアップ向けの構成 (図 3.5) ではコントローラモジュールがフレームワーク内におけるマスターモジュールとして振る舞い、全ての検出器用モジュールおよび周辺機器制御用モジュールを制御する形態となる。モジュール間は TCP ソケット通信で接続されるため、各モジュールは必要に応じて複数 PC (Windows / Linux 混在可) に分散して稼働させることが可能である。DAQ-Middleware、STARS 等の既存フレームワークへの対応時にはコントローラモジュールにブリッジ機能を持たせることによって他のモジュールを変更することなく他の DAQ フレームワークとも連携運用を行うことが可能となる。

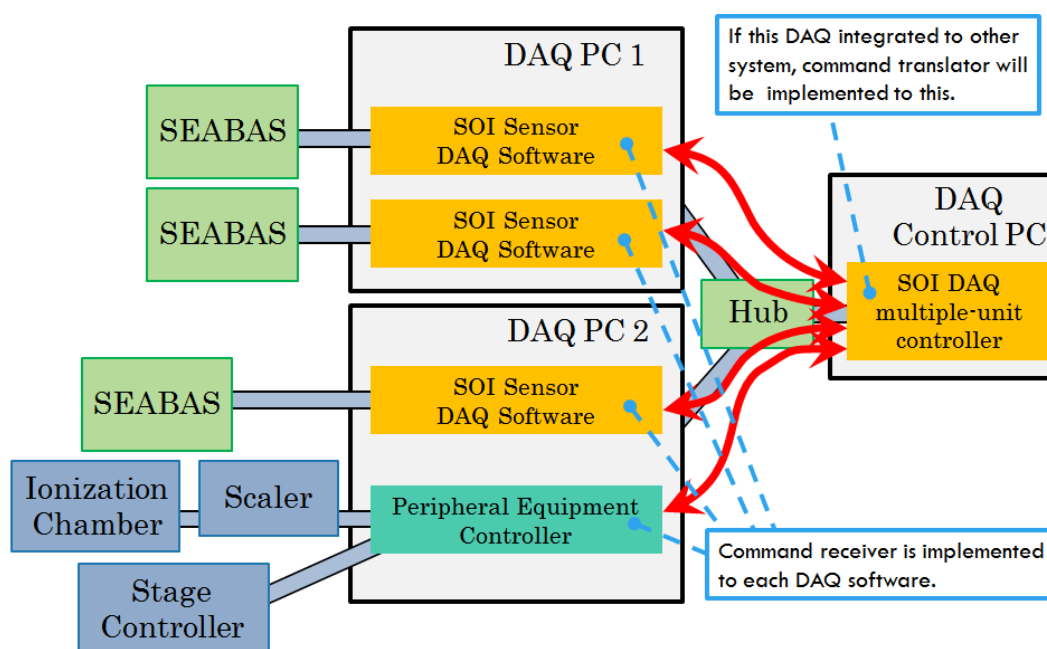


図 3.5: 大規模セットアップ向けの構成例

#### 3.2.2.1 大規模セットアップ向けの構成におけるプロセス間通信フロー

本構成は関連するソフトウェアモジュールが複数 PC に分散して動作することを想定した構成であり、プロセス間通信にはを用いて各 OS の TCP ソケット通信機能をラップしたものである QTcpSocket [8] (クライアント) / QTcpServer [9] (サーバ) を使用している。本構成においてはプロセス間通信上は検出器用モジュール、周辺機器制御用モジュールがサーバ、コントローラモジュールがクライアントとして動作する。使用する通信機能が異なる点を除いて基本的なプロセス間通信フローは小規模セットアップ向けのものと同

様である。小規模セットアップ向けの構成と同様、すべてのスレーブモジュールの立ち上げ（接続要求待ち受け開始）はコントローラモジュールの接続開始までに完了している必要がある。プロセス間通信のフローを図 3.6、3.7、3.8 に示す。

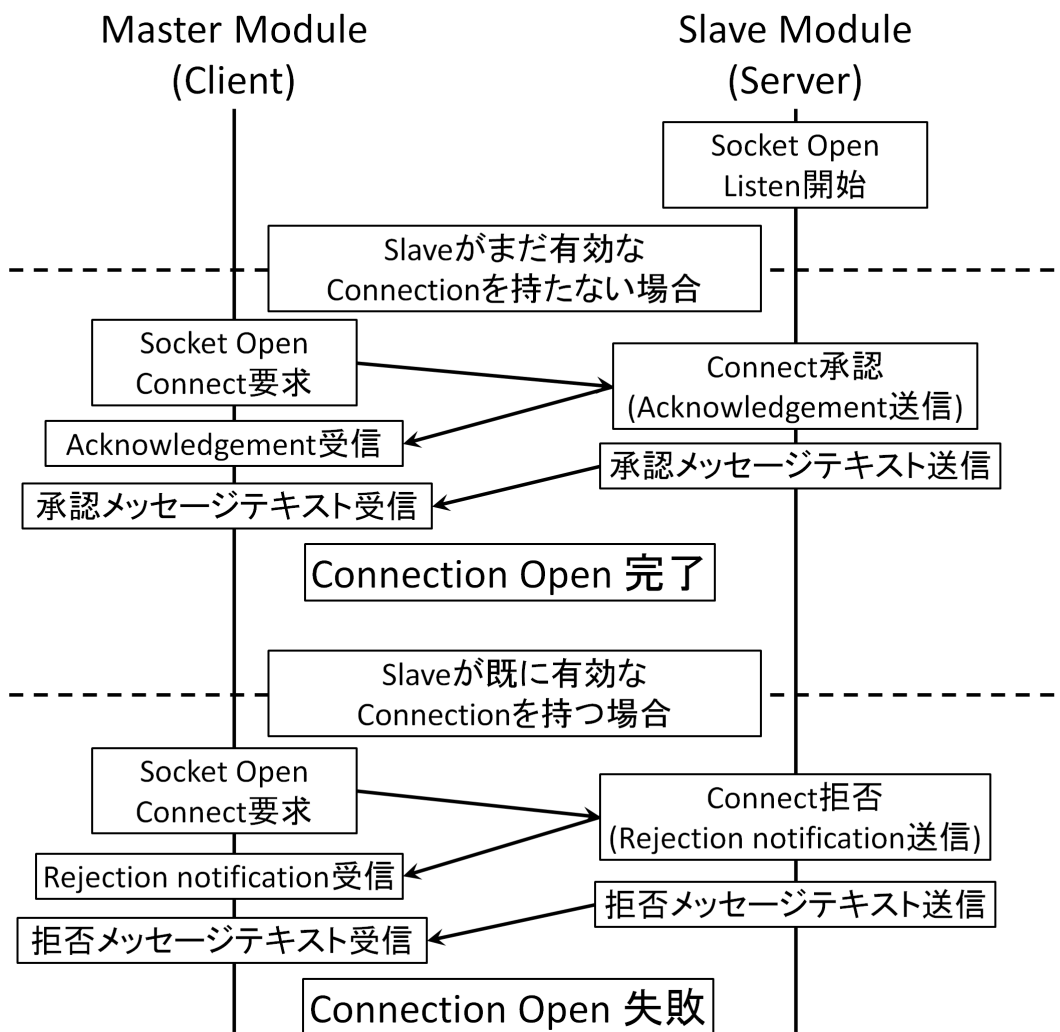


図 3.6: 大規模セットアップ向けの構成におけるプロセス間通信フロー（接続要求～通信確立）

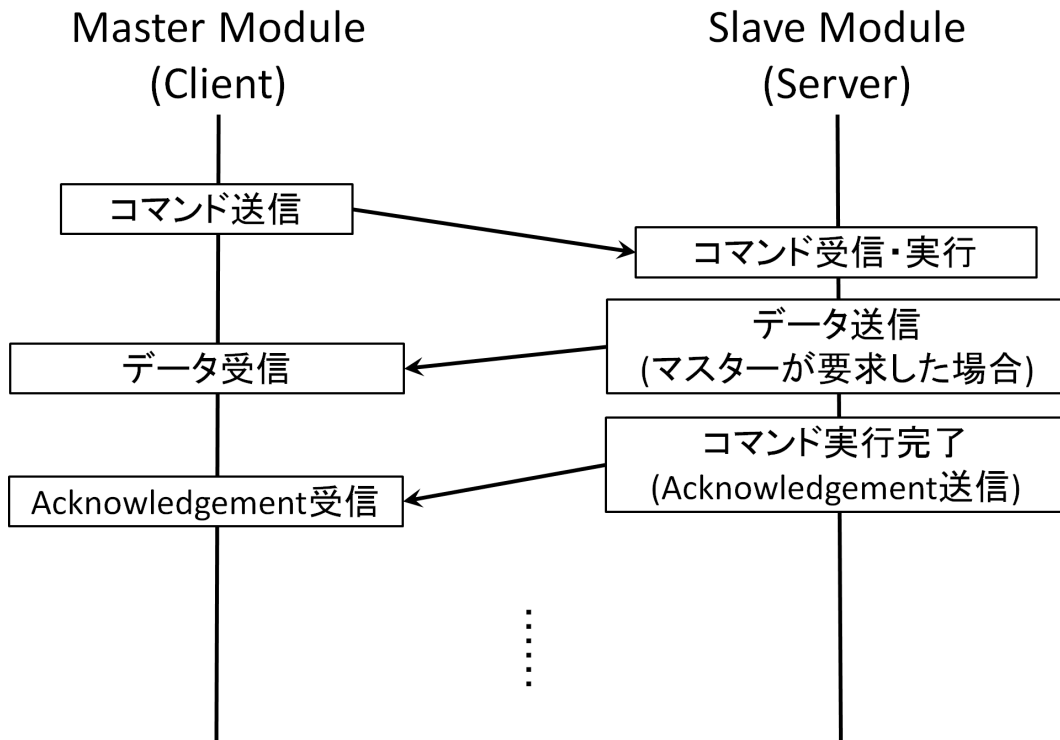


図 3.7: 大規模セットアップ向けの構成におけるプロセス間通信フロー (コマンド送受信)

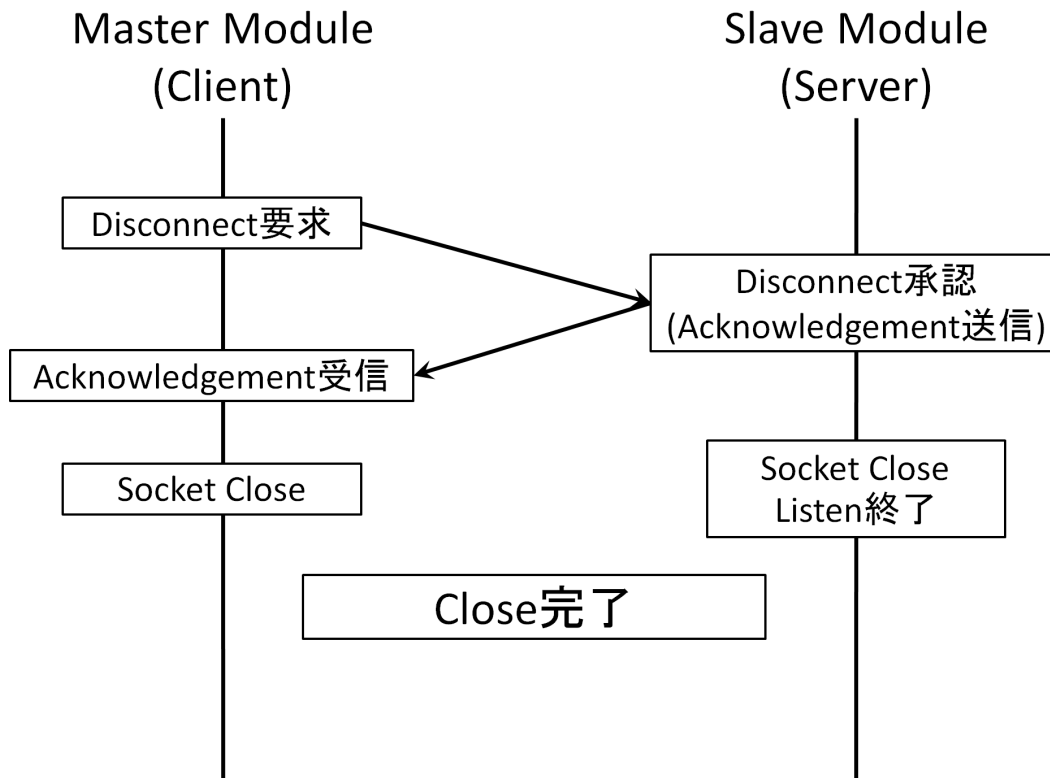


図 3.8: 大規模セットアップ向けの構成におけるプロセス間通信フロー (接続終了)

ソフトウェアモジュール間のコマンドは標準的な TCP 通信によってやり取りされるため、各 DAQ 用 PC はモジュールが使用する TCP 通信ポートの占有及びパケット通過を許可する必要がある。また、本論文執筆時点においてはローカルエリアネットワークを跨ぐような構成は想定していないため、ドメイン名による接続相手の指定、及び通信の暗号化には対応していない。ただし、そのような構成が必要となる場合は SSH ポートフォワーディングを用いてモジュール間の通信をトンネリングすることにより対応が可能である。

### 3.2.3 本フレームワークにおけるモジュール間データ転送について

本フレームワークにおいては、モジュール間の通信経路はテキストコマンドの送受信及びプレビュー画像等の小容量なデータの転送のみを前提とした構成であり、DAQ-Middleware のようなデータ転送専用の通信経路は用意していない。データ転送用の通信経路を追加することは技術的な困難はないが、本フレームワークが想定する複数台の SOI ピクセル検出器を含むセットアップを制御する場合、SOI ピクセル検出器からの読出しデータをモ

ジュール間で転送してしまうと検出器 1 台につき 600Mbps 以上 (第 2 章試験時の構成の場合) の帯域を消費することとなる。よって、全体の処理を高速化するためには、各 SOI ピクセル検出器からの読出しデータは各検出器の制御を担当する検出器用モジュール内でストレージへの記録まで完了することが望ましく、この場合データ転送専用の通信経路が必須となる用途は考えにくいことから、データ転送専用の通信経路の実装は現時点においては見送ることとした。

### 3.2.4 本フレームワークにおけるモジュール間通信途絶時の動作について

本フレームワークの稼働中に何らかの問題が生じてモジュール間通信途絶した場合について、想定される動作を述べる。まず、本フレームワークではモジュール間の通信途絶を検知した際にその場で処理を中断するような積極的なフェイルセーフは搭載していない。各スレーブモジュールでは途絶時点までに受信及び処理開始済みのコマンドが順次実行された後、そのまま待機状態となる。なお、モジュール間通信に用いられるソケットに到達しているコマンドのうち、モジュール内でソケットからの読出しが行われていないものについては途絶時点で破棄されるため、実行されるのは処理が既に開始されているものに限られる。通信途絶を検知した段階でソケットが初期化されるため、通常の接続手順で再接続を行えばソフトウェアモジュールの再立ち上げを行うことなく引き続きフレームワーク自体の稼働は可能である<sup>1</sup>。

---

<sup>1</sup>各モジュール内で通信途絶時のケアが行われていない場合はこの限りではない。

### 3.2.5 スループットの最大化が求められる場合の構成について

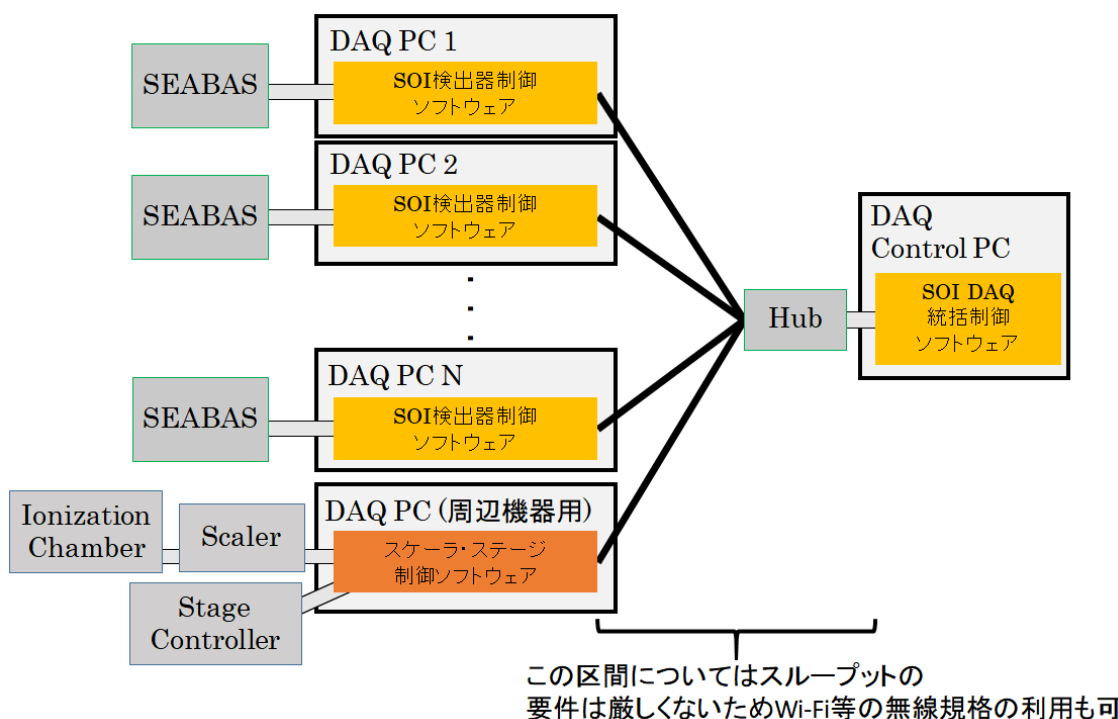


図 3.9: 大規模セットアップ向けの構成におけるスループットを最大化するための構成例

本フレームワークにおいてスループットを最大化したい場合、使用する PC の構成は図 3.9 のようにすることが望ましい。これは以下の理由によるものである。

#### SEABAS-DAQ PC 間の帯域確保

本フレームワークにおいて検出器からの読出しデータが転送されるのは SEABAS-DAQ PC 間であるため、SEABAS が備えている Gigabit Ethernet (SEABAS2 の場合) を接続に用いる限りこの区間に十分な帯域 (第 2 章試験時の構成の場合検出器 1 台につき 600Mbps 以上) を確保するためには SEABAS-DAQ PC 間を検出器毎に独立させる必要がある。

#### DAQ PC 内のリソース

本フレームワークにおいて DAQ PC 上で動作している検出器用モジュールは第 2 章で開発した SOI 検出器用 DAQ ソフトウェアそのものである。このソフトウェアは DAQ PC のリソース利用効率を従来から大幅に向上することにより速度を向上させている。よって、DAQ PC 全体としてのリソースが不足する場合は SOI 検出器

用 DAQ ソフトウェアのスループットも当然に低下する。本論文執筆時点における一般的な PC の性能は十分に高いため、オンラインで複雑な処理を行わない限りは通常問題にはならないものの、DAQ PC 上で複数検出器を読み出す、他の処理が平行して動いている等の負荷が高くなる条件においては十分に配慮が必要となる。第 2 章試験時の構成の場合について、簡単のために CPU 利用率を元に見積もると、ソフトウェア 1 プロセス (スレッド数 3<sup>~</sup>) につき CPU 利用率はおおよそ 10–30% 程度で推移していたことから、同時に読み出す SOI 検出器 (同時に使用する SEABAS2) が 3 台を超える時点でリソースが不足し、スループットの低下が生じることになる。突発的な他の処理の割り込み等の事象も考慮すれば、SOI 検出器 1 台につき 1 つの PC を割り当てておくことが望ましい。

ここで、各検出器に割り当てる DAQ PC について要求される性能については、ワークステーションのような高い性能は必ずしも要求されるものではないことを述べておく。第 2 章試験時の構成では本論文執筆時点においても決して最新ではない一般的なデスクトップ PC を DAQ PC として用いており、SOI 検出器用 DAQ ソフトウェアはそのような構成においても高いスループット性能を発揮することが確認できている。また、この試験時の CPU 利用率は先にも述べた通りおおよそ 10–30% 程度で推移しており、更に低い性能の PC においても十分なスループットが得られることが予想できる。よって、連続で 8 時間を超えるような長時間の高負荷運用に供する用途でない限りは DAQ PC には一般的なノート PC 等を複数台用意し、これを図 3.9 のように構成することでも十分に対応できると考えられる。

### 3.3 運用実績

本 DAQ フレームワークはこれまでに SOI 検出器を用いた実験で運用実績が存在する。

小規模セットアップ向けの構成

- 4 章で示す各試験
- CPIXTEG3b [12] (計数型 SOI ピクセル検出器試験素子) の検出効率分布測定試験 [13]

大規模セットアップ向けの構成



- SOFIST [14] (ILC 向け SOI ピクセル検出器プロトタイプ) および FPIX2 [15] (高分解能 SOI ピクセル検出器試験素子) の FermiLab での陽子ビーム実験 [14][15]

## 参考文献

- [1] National Instruments Inc., [LabVIEW - National Instruments], <http://www.ni.com/ja-jp/shop/labview.html>, (2017/10/20 閲覧).
- [2] Y. Yasu et al, [Functionality of DAQ-Middleware], IEEE Trans.Nucl.Sci. 57 (2010) S487-S490, (2010).
- [3] KEK/Open-It, [DAQ-Middleware Home Page], <http://daqmw.kek.jp/>, (2017/10/20 閲覧).
- [4] T. Kosuge et al, [Recent Progress of STARS], PCaPAC 2005, (2005).
- [5] KEK-PF, [STARS], <http://stars.kek.jp/>, (2017/10/20 閲覧).
- [6] The Qt Company, [QLocalSocket Class | Qt Network 5.9], <http://doc.qt.io/qt-5/qlocalsocket.html>, (2017/10/20 閲覧).
- [7] The Qt Company, [QLocalServer Class | Qt Network 5.9], <http://doc.qt.io/qt-5/qlocalserver.html>, (2017/10/20 閲覧).
- [8] The Qt Company, [QTcpSocket Class | Qt Network 5.9], <http://doc.qt.io/qt-5/qtcpsocket.html>, (2017/10/20 閲覧).
- [9] The Qt Company, [QTcpServer Class | Qt Network 5.9], <http://doc.qt.io/qt-5/qtcpserver.html>, (2017/10/20 閲覧).
- [10] The Qt Company, [QDataStream Class | Qt Core 5.9], <http://doc.qt.io/qt-5/qdatastream.html>, (2017/10/20 閲覧).
- [11] The Qt Company, [QString Class | Qt Core 5.9], <http://doc.qt.io/qt-5/qstring.html>, (2017/10/20 閲覧).

- [12] Y. Lu et al., [First results of a Double-SOI pixel chip for X-ray imaging], Nucl. Instrum. Methods Phys. Res. A 831 S44–S48, (2016).
- [13] R. Hashimoto et al., [Evaluation of a pulse counting type SOI pixel using synchrotron radiation X-ray], JINST 12 C03061, (2017).
- [14] S. Ono, [A monolithic pixel sensor with fine space-time resolution based on SOI technology for the ILC vertex detector], TIPP2017, (2017).
- [15] K. Hara et al., [Fine-Pixel Detector FPIX Realizing Sub-micron Spatial Resolution Developed Based on FD-SOI Technology], TIPP2017, (2017).

## 第4章 構築したイメージングシステムによる測定

本研究では、第2章、第3章で構築した新型DAQソフトウェアおよびDAQフレームワークの評価の一環として、これらを用いた撮像システムをPhotonFactory BL-14Bに設置し、3次元CT(Computed Tomography)用X線イメージ撮像試験を行なっている。3次元CT再構成に必要なデータは大量であり、また連続撮像のバッチ処理やステージの自動制御が必要となる。このためのデータ取得試験は新型DAQソフトウェアおよびDAQフレームワークの有用性を示す良いデモンストレーションになると考えられる。本章ではそれらの試験について、手法及び得られた結果について述べる。

### 4.1 BL-14B 吸収イメージングによる3次元CT撮像

BL-14Bにおいては、開発したDAQシステム・フレームワークを用いた吸収イメージングによるデータ取得試験を

- 2015/06/27-28 [1][2]
- 2015/11/13-15 [1][2]
- 2016/02/23-25 [3]

の期間に渡って行い、DAQシステム・フレームワークの改修を進めてきた。使用したサンプルは同様の物であり、検出器の使用条件が同じであれば取得されるデータも同様となるため、本論文では光学系の条件が最も良好であった2015/11/13-15に取得したデータと取得所要時間を示す。

#### 4.1.1 セットアップ概略及び撮像手法

本実験のセットアップは図 4.1 に示すような形となる。モノクロメーターによって選択された特定の波長の X 線がコリメータ結晶 (Si440) によって位相が揃えられた後にサンプルを通過し検出器に到達する。サンプルを外した X 線ビームのプロファイル像とサンプルの透過像を撮像することによって吸収係数の線積分の分布像を得ることが出来る。この分布像はサンプルの内部構造を反映したものとなる。サンプルを 0-180 度まで十分に微小な角度ステップで鉛直軸に沿って回転し、それぞれの角度における透過像を撮影することにより、各角度の吸収係数の線積分分布を取得し、これを CT 再構成することによりサンプルの内部構造を表す 3 次元 CT 像を得ることが可能である。

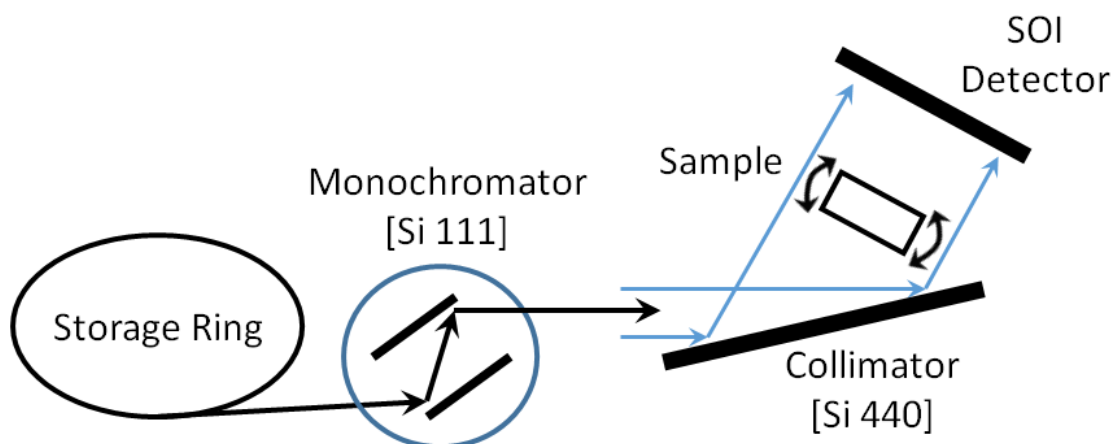


図 4.1: BL-14B での吸収イメージングによる 3 次元 CT 撮像時セットアップ概略図

#### 4.1.2 結果

以下に 2015/11/13-15 に取得したデータによる 3 次元 CT 像を示す。本試験における撮像条件は表 4.1 のとおりである。

X 線ビームエネルギー	9.5 keV
PF リング運転モード	Top-Up モード
使用センサ	INTPIX4 (832 × 512 pixels)
センサ Wafer 製造法	N 型 Floating Zone 基板
センサ厚	500 $\mu\text{m}$
センサ電圧	200 V
センサ温度	室温 (大気中での自然冷却)
$T_{exposure}^1$	$2 \times 10^{-3}[\text{sec}]$
$T_{scan}^1$	$3.2 \times 10^{-7}[\text{sec}]$
$T_{reset}^1$	$5 \times 10^{-6}[\text{sec}]$
センサ用ペDESTALデータ	X 線非照射時 1000 フレームの データを平均
データセット当たりのフレーム数	1000
データセット当たりの露光時間 ( $T_{exposure} \times$ フレーム数)	2 sec
サンプル	煮干し (全長 4cm 程度)
サンプル回転ステップ	1 度 (回転範囲 0-180 度)
総取得データセット	181 セット + 1 ビームプロファイルデータ

表 4.1: 2015/11/13-15 撮像条件

図 4.2 は 3 次元 CT 再構成像の全図、図 4.3 は各方向での断面図を示す。

<sup>1</sup>第 2 章 2.1.3 節参照

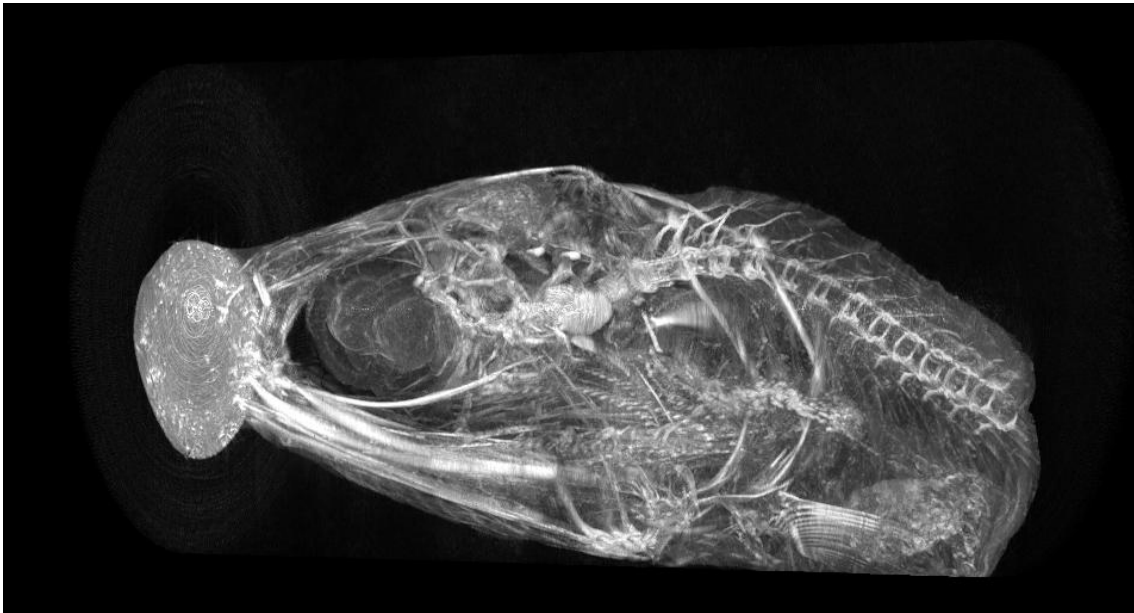
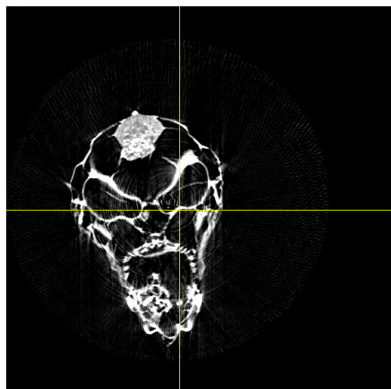
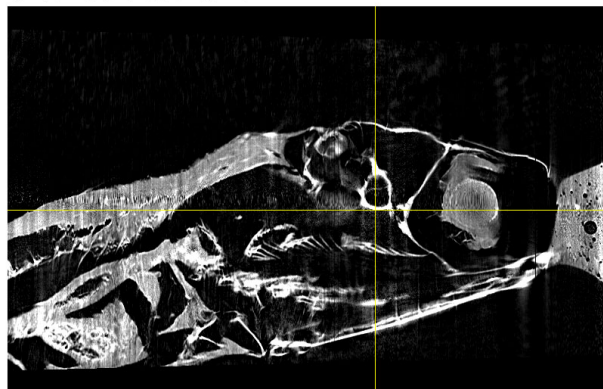


図 4.2: 2015/11/13-15 に取得されたデータによる 3 次元 CT 再構成像 (全図)。

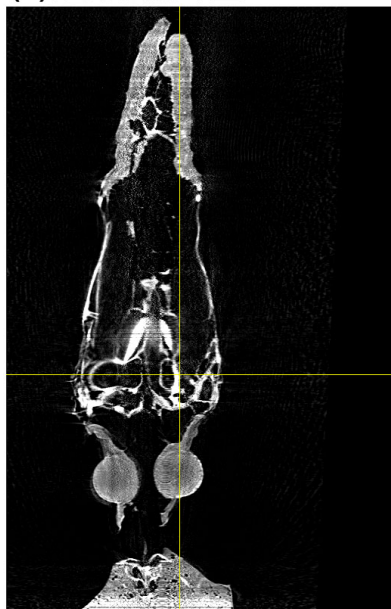
(a)輪切り断面図



(b)矢状断面図



(c)冠状断面図



(d)サンプル写真



図 4.3: 2015/11/13-15 に取得されたデータによる 3 次元 CT 再構成像。(a) 輪切り断面図 (上方が背側)、(b) 矢状断面図、(c) 冠状断面図、(d) サンプル写真 (左側が背側。赤破線位置が (a) 輪切り位置に該当)

本データの取得に要した時間は 181 データセットで 142 分 18 秒、うちステージ制御などに要した時間は 30 分 41 秒で、1 角度ステップのデータ当たり 10.17 秒であった。また、このときの実質の露光時間は計 362 秒、約 6 分であったが、これに対して所要時間が長いのはフレーム数が多いためにデータ量が大きくなっていることによる<sup>1</sup>。こちらは後述する位相差イメージングの際には検出器を冷却することで 1 フレームの露光時間を延長

<sup>1</sup>1 セット当たりのフレーム数を 500 フレームに変更した場合の所要時間は 57 分 18 秒であった。

し、総露光時間に対するフレーム数を削減することによって所要時間を削減した。

## 4.2 BL-14B 位相差イメージング (DEI 法) による 3 次元 CT 撮像

BL-14B においては、開発した DAQ システム・フレームワークを用いた、チタン水素化物を含むチタン片サンプルに対する位相差イメージング (DEI 法 [5][6]) によるデータ取得試験を

- 2016/06/23-26 [3]
- 2017/11/29-30 [4]

の期間に渡って行なってきた。このうち、2016/06/23-26 の期間においては PF リングが Storage モード運転であったことによりビームラインの光学系が不安定であったため、静止像の撮像のみを行なった。2017/11/29-30 の期間については Top-Up モード運転であったため、3 次元 CT 用撮像を行なった。本論文では 2017/11/29-30 の試験の結果について示す。

### 4.2.1 チタン水素化物を撮像する目的について

本試験は新型 DAQ ソフトウェアおよび DAQ フレームワークの評価の一環として行うものであるとともに、チタン水素化物の分布の三次元的可視化の実現を目指すものとなる。チタン水素化物の分布の可視化については先行研究として水野らの位相イメージングの研究 [7][8] が挙げられるが、これらの研究においては撮像に X 線フィルムを用いており、投影像しか撮影していないためチタン水素化物の分布に関して断片的な情報しか得られていない。そこで、本試験においては SOI 検出器を用いた撮像システムによって CT 撮像を実現し、チタン水素化物の分布の三次元的に可視化できるようにすることで水素の拡散係数のより正確な評価を可能とし、水素吸蔵機構のいっそう精密な理解につなげることを撮像の目的としている。



## 4.2.2 セットアップ概略及び撮像手法

位相差イメージング法 (DEI 法) においては、前述の吸収イメージングのセットアップにおけるサンプル-検出器間にアナライザ結晶 (Si440) が加わる形のセットアップとなる。図 4.4 にセットアップの概略を示す。本セットアップにおいて、上流からの入射 X 線に対してブラッグ条件を満たす角度を 0 度としてアナライザ結晶の角度を変更すると図 4.5 に示すようなロッキングカーブ (回折強度曲線) を得ることが出来る。このロッキングカーブ上における  $\theta_L$  と  $\theta_H$  の角度でサンプルを撮像することでサンプル通過時に生じた位相差によるコントラストが強調された像が得られる。 $\theta_L$  と  $\theta_H$  で得られる位相差由来のコントラストは反転するため、この 2 点のデータを用いることにより位相のズレの線積分分布像を取り出すことが出来る。この分布情報を用いて CT 再構成を行うことにより吸収イメージングによる撮像では得ることが出来ない軽元素への感度が高い CT 像を得ることが可能となる。画像再構成の手法については次節で述べる。なお、本試験における光学系のセットアップは温度変化による影響を受けやすく、周辺気温の変化等によって容易にビーム強度が変動してしまう。このため、可能な限り短時間ですべての撮像を終える必要があり、本研究で実現した DAQ システム・フレームワークによる高速化及び自動化が撮像試験に必須となる。また、チタン片の撮像には 30-40keV の X 線を用いる必要があり、この条件における SOI ピクセル検出器の検出効率は 10%を下回る (センサ層厚 500  $\mu\text{m}$  の場合) ことになる。よって、十分な品質の X 線像を得るためには 1 つの像につき 1~2 秒程度の露光時間を確保する必要があるが、一方で前述の通り撮像時間は極力短時間にする必要があるため、フレーム数を可能な限り削減して転送データ量を抑える必要がある。そこで、本試験においては真空容器内でペルチェ素子により検出器を冷却し、フレーム数を抑えつつ露光時間を確保することとした。

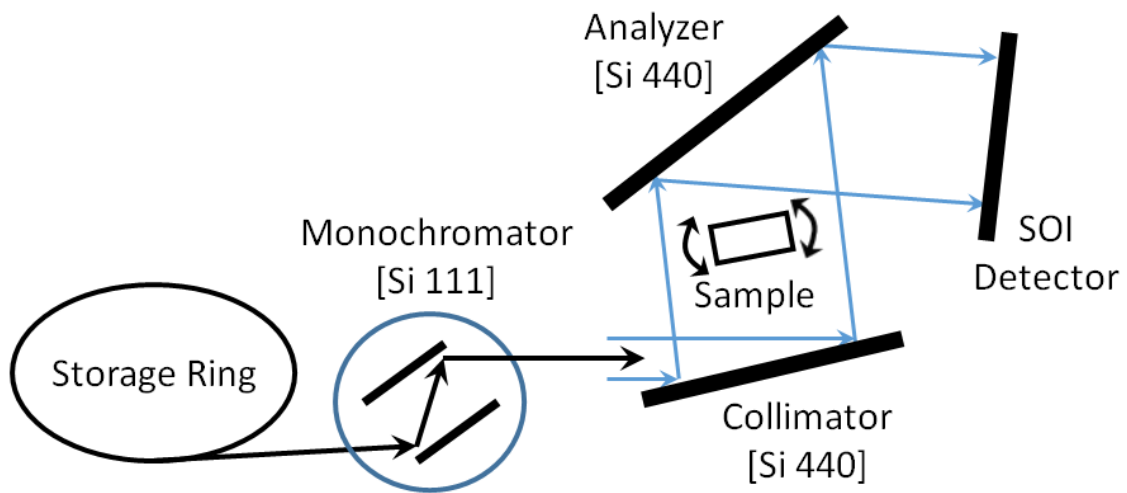


図 4.4: BL-14B での位相差イメージング (DEI 法) による 3 次元 CT 撮像時セットアップ概略図

E= 34.5 keV Si440 ref

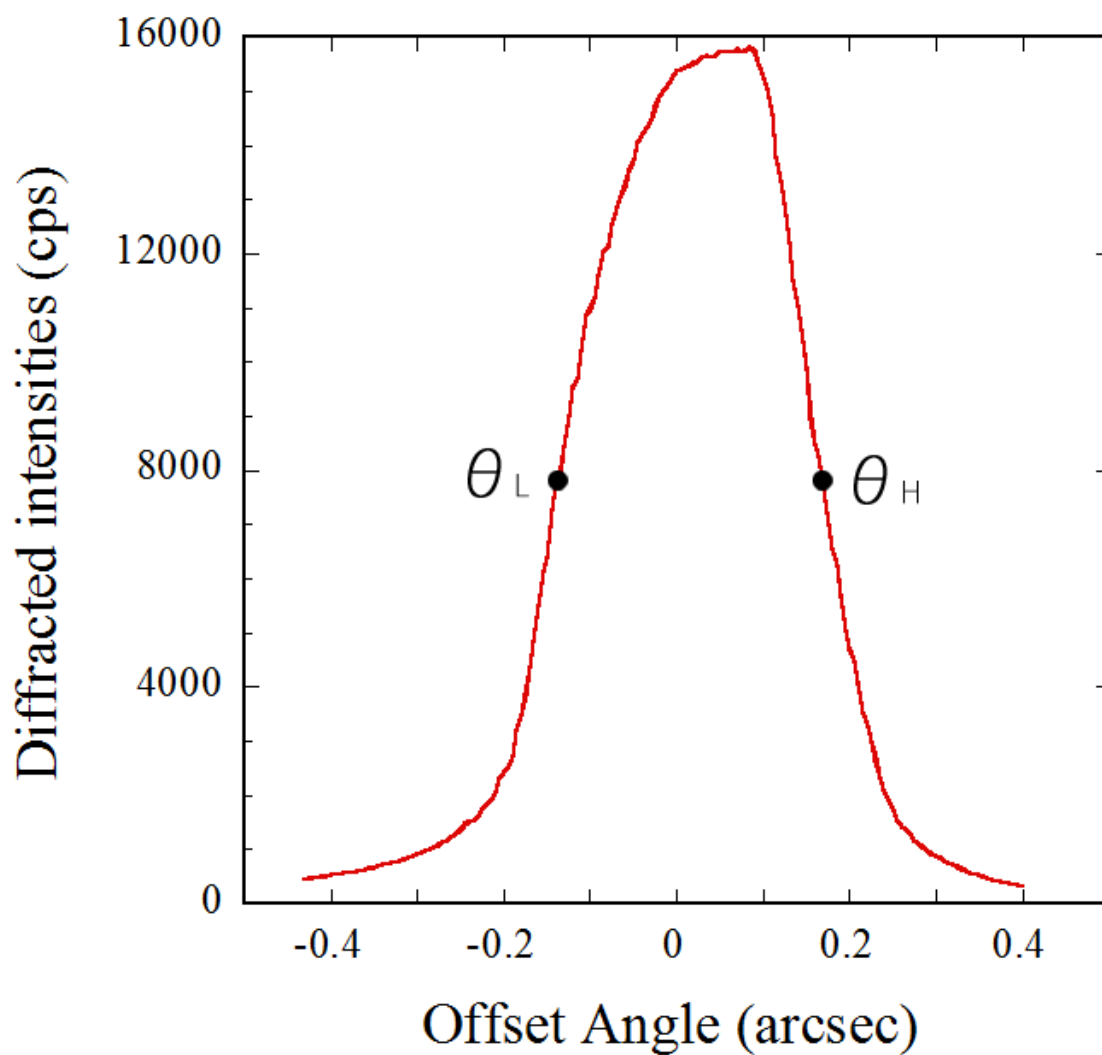


図 4.5: BL-14B での位相差イメージング (DEI 法) 時のロックアップカーブ (2016/06/23-26 の試験時データ)

## 4.2.3 画像再構成の手法について

### 4.2.3.1 吸収イメージングに対する位相差イメージングの優位性について

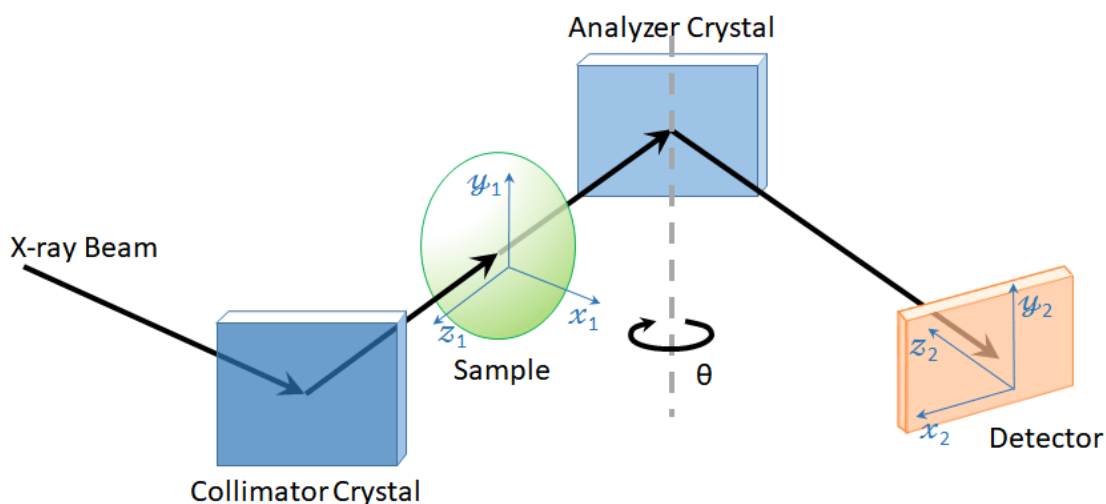


図 4.6: 位相差イメージング (DEI 法) による 3 次元 CT 撮像時の光学系概略図

サンプル近傍の任意の位置について、図 4.6 のように  $z$  軸がサンプルの光軸に平行・ $y$  軸がアナライザ結晶の回転軸に平行となるよう座標系  $(x_1, y_1, z_1)$  を設定した時、X 線領域におけるサンプル内任意の座標における光学特性は複素屈折率  $n$  を用いて式 4.1 のように表すことができる。

$$n = 1 - \delta(x_1, y_1, z_1) + i\beta(x_1, y_1, z_1) \quad (4.1)$$

$\delta$  : 屈折率減少量

$\beta$  : 消衰係数

X 線ビームがサンプルを透過した直後の位置 (以下サンプル直下平面) における、サンプルによる X 線吸光度  $D(x_1, y_1)$  と位相変移  $\Phi(x_1, y_1)$  はそれぞれ入射 X 線強度  $I_0$ 、サンプル透過後の X 線強度  $I$ 、入射 X 線波長  $\lambda$  を用いて

$$D(x_1, y_1) = -\ln\left(\frac{I}{I_0}\right) = \int \mu(x_1, y_1, z_1) dz_1 = \frac{4\pi}{\lambda} \int \beta(x_1, y_1, z_1) dz_1 \quad (4.2)$$

$$\Phi(x_1, y_1) = \frac{2\pi}{\lambda} \int \delta(x_1, y_1, z_1) dz_1 \quad (4.3)$$

$\mu(x_1, y_1, z_1)$  : 線吸収係数

のように表現することが出来、それぞれ  $\beta$  と  $\delta$  に結び付けられることが分かる。点  $(x_1, y_1, z_1)$  に  $k$  個の原子が存在するとした時、 $\mu(x_1, y_1, z_1)$ 、 $\delta(x_1, y_1, z_1)$  は

$$\mu(x_1, y_1, z_1) = \sum_k N_k(x_1, y_1, z_1) \mu_k^a \quad (4.4)$$

$$\delta(x_1, y_1, z_1) = \frac{r_e \lambda^2}{2\pi} \sum_k N_k(x_1, y_1, z_1) (Z_k + f'_k) \quad (4.5)$$

$N_k(x_1, y_1, z_1)$  : 原子密度

$\mu_k^a$  : 原子吸収係数

$r_e \equiv \frac{e^2}{4\pi\epsilon_0 mc^2}$  : 古典電子半径

$Z_k$  : 原子番号

$f'_k$  : 異常分散補正項

と表すことが出来る。式 4.4 に式 4.2、式 4.5 に式 4.3 をそれぞれ代入して整理し、位相変移における反応断面積  $p_k \equiv r_e \lambda (Z_k + f'_k)$  を導入すると、

$$D(x_1, y_1) = \int \sum_k N_k(x_1, y_1, z_1) \mu_k^a dz_1 \quad (4.6)$$

$$\Phi(x_1, y_1) = \sum_k N_k(x_1, y_1, z_1) p_k dz_1 \quad (4.7)$$

となる。 $p_k$  は X 線吸光度における  $\mu_k^a$  に対応するものとなるが、 $p_k$  は常に  $\mu_k^a$  より大きく、原子番号が小さい原子においては  $p_k/\mu_k^a$  は  $10^3$  程度 (17.7keV、40.0keV、60.0keV の X 線エネルギーで確認) となり、各原子の吸収端付近のエネルギー領域を除けば  $p_k/\mu_k^a$  は硬 X 線領域の方が軟 X 線領域よりも大きいことが百生らによって報告されている [9]。また、 $\delta/\beta$  は 20keV 程度の X 線を使用した場合原子番号が小さい原子で構成されるサンプルにおいて  $10^3$  程度となることも報告されている [9]。よって、位相情報が有効に利用できる場合、原子番号が小さい原子によって形成される構造への感度を 1000 倍程度まで高めることが可能となる。

#### 4.2.3.2 DEI 法における画像再構成手順について

本節では DEI 法における画像再構成手順について、本試験において使用した平野らによる手法 [10] を示す。ここではサンプル近傍の任意の位置の座標系に引き続き  $(x_1, y_1, z_1)$

を使用し、2次元検出器入射面を基準とした座標系として図 4.6 のように  $(x_2, y_2, z_2)$  を設定する。このとき、サンプル直下平面上の任意の点  $(p, q)$  はアナライザ結晶によって2次元検出器入射面の点  $(-p, q)$  に投影されるものとする。

X線ビームのサンプル内での位相のずれによる屈折は  $(\lambda/2\pi)\nabla \perp \Phi$  と表すことが出来る。このうち、アナライザ結晶によって得られる位相差由来のコントラストはX線ビーム進行方向、及びアナライザ結晶の回転軸と直交するx軸方向の成分にのみ感度を持つことから、最終的に検出器で撮像される位相差情報の分布は式 4.8 のように示すことが出来る。

$$\psi_{x_1}(x_1, y_1) = \frac{\lambda}{2\pi} \frac{\partial \Phi}{\partial x_1} = \frac{\partial}{\partial x_1} \int \delta(x_1, y_1, z_1) dz_1 \quad (4.8)$$

式 4.8 はサンプル内の屈折率減少量  $\delta$  の分布をラドン変換したものとなっていることから、吸収コントラストと同様にサンプルの位相差の投影像を十分に小さい角度ステップで取得できればCT像を得ることが可能であることが分かる。 $\psi_{x_1}(x_1, y_1)$  は直接撮像される情報ではなく、実際に検出器によって撮像されるのは吸収由来のコントラストとアナライザ結晶の回転軸  $\theta$  に応じて強調された位相差によるコントラストが混合され、更に各成分について光学系に由来するものとサンプルによるものが混合された像である。このため、撮像されたX線像から位相差によるコントラストを取得するには、光学系由来の各成分をあらかじめ取得しておき、これを用いてサンプルによる吸収由来の成分と位相差による成分を分離する必要がある。これらの手順について以下に示す。

まず、サンプルを設置しない状態におけるアナライザ結晶のロッキングカーブを2次元検出器で取得する。ある検出器上のある点  $(x_2, y_2) = (0, 0)$  におけるロッキングカーブを  $R_{ref}(\theta)$  (図 4.7 に例示) としたとき、検出器入射面上の任意の点におけるロッキングカーブは次のように表すことが出来る。

$$R_O(\theta, x_2, y_2) = a_O(x_2, y_2) R_{ref}[\theta - b_O(x_2, y_2)] \quad (4.9)$$

$a_O(x_2, y_2)$  : 入射 X 線の相対強度 ( $a_O(0, 0) = 1$ )

$b_O(x_2, y_2)$  : 位相の相対変移量 ( $b_O(0, 0) = 0$ )

\*Bragg の回折条件を満たすときの  $\theta = 0$  とする

$a_O(x_2, y_2)$  及び  $b_O(x_2, y_2)$  は実験時の光学系の状況によって決まる。これらの値を得るためには  $R_{ref}(\theta)$  の半値全幅 (Full Width at Half-Maximum, FWHM) の両端にあたるアナライザ結晶の回転角度 (それぞれ  $\theta = \theta_{HO}$ 、 $\theta = \theta_{LO}$  とする) における X 線プロファイル像を

得る必要がある。それぞれの位置における X 線プロファイル像から得た  $R_O(\theta_{HO}, x_2, y_2)$ 、 $R_O(\theta_{LO}, x_2, y_2)$  を用いると  $b_O(x_2, y_2)$  による効果を次のように取り出すことができる。

$$\frac{R_O(\theta_{HO}, x_2, y_2)}{R_O(\theta_{LO}, x_2, y_2)} = \frac{a_O(x_2, y_2)R_{ref}[\theta_{HO} - b_O(x_2, y_2)]}{a_O(x_2, y_2)R_{ref}[\theta_{LO} - b_O(x_2, y_2)]} = \frac{R_{ref}[\theta_{HO} - b_O(x_2, y_2)]}{R_{ref}[\theta_{LO} - b_O(x_2, y_2)]} \quad (4.10)$$

ここで、 $b_O(x_2, y_2)$  を求めるための関数  $V_O(\epsilon)$  を以下のように定義する。

$$V_O(\epsilon) \equiv \frac{R_{ref}(\epsilon + \Delta\theta_O/2)}{R_{ref}(\epsilon - \Delta\theta_O/2)} \quad (4.11)$$

$$\Delta\theta_O \equiv \theta_{HO} - \theta_{LO}$$

$V_O(\epsilon)$  はロッキングカーブ  $R_{ref}(\theta)$  を用いて図 4.8 のように求めることができる。実際の測定によって得られた  $R_O(\theta_{HO}, x_2, y_2)/R_O(\theta_{LO}, x_2, y_2)$  と  $V_O(\epsilon)$  が合致するときの  $\epsilon$  を  $\epsilon_O$  とすると、 $b_O(x_2, y_2)$  は次のように求めることができる。

$$b_O(x_2, y_2) = -\epsilon_O(x_2, y_2) + \frac{\theta_{HO} + \theta_{LO}}{2} \quad (4.12)$$

$b_O(x_2, y_2)$  が一度求められれば  $a_O(x_2, y_2)$  についても以下のように得ることができる。

$$a_O(x_2, y_2) = \frac{R_O(\theta_{HO}, x_2, y_2)}{R_{ref}[\theta_{HO} - b_O(x_2, y_2)]} = \frac{R_O(\theta_{LO}, x_2, y_2)}{R_{ref}[\theta_{LO} - b_O(x_2, y_2)]} \quad (4.13)$$

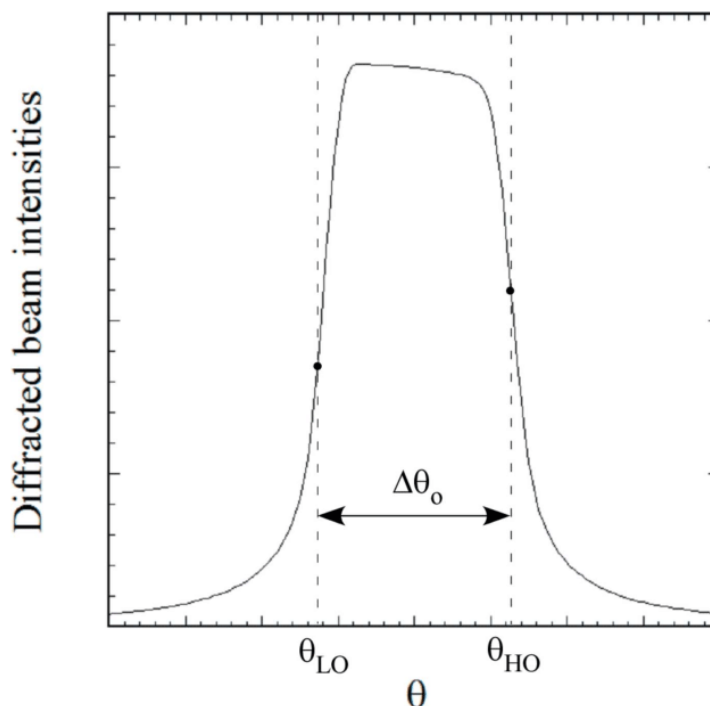


図 4.7:  $R_{ref}(\theta)$  の例 [10]

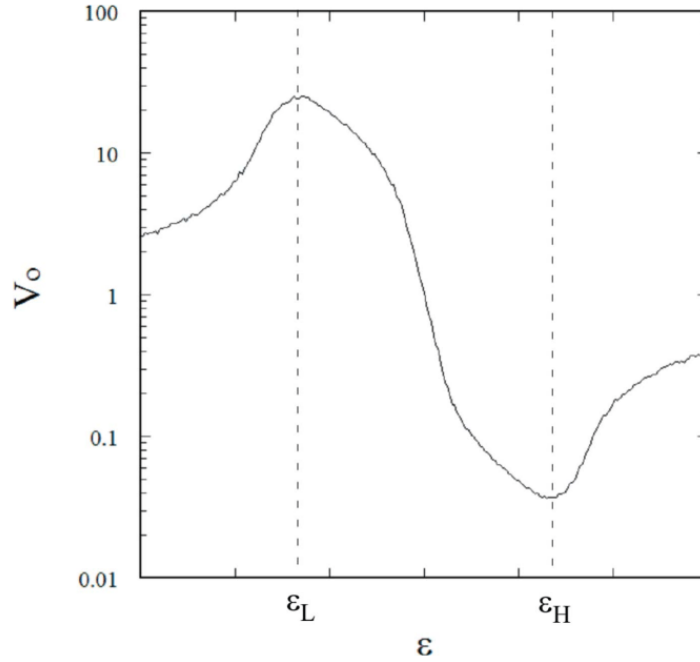


図 4.8:  $R_{ref}(\theta)$ (図 4.7) より算出した  $V_O(\epsilon)$  の例 [10]

続いて、光学系にサンプルが配置された状態におけるロッキングカーブを式 4.9 と同様に考えると、以下のように表すことができる。

$$R_S(\theta, x_2, y_2) = a_O(x_2, y_2)t_S(x_2, y_2)R_{ref}[\theta - b_O(x_2, y_2) - r_S(x_2, y_2)] \quad (4.14)$$

$t_S(x_2, y_2)$  : サンプルの X 線透過率

$r_S(x_2, y_2)$  : サンプルによる位相変移量

サンプルの X 線透過率の分布  $t_S(x_2, y_2)$  は従来の吸収イメージングによる像に相当し、サンプルによる位相変移量の分布  $r_S(x_2, y_2)$  が目標とするサンプルの位相差の投影像となる。ここで、サンプルの X 線像を  $R_{ref}(\theta)$  の半値全幅 (Full Width at Half-Maximum, FWHM) の両端付近、それぞれ  $\theta = \theta_{HS}$ 、 $\theta = \theta_{LS}$  において撮像したとすると、それぞれの位置における X 線プロファイル像から得た  $R_S(\theta_{HS}, x_2, y_2)$ 、 $R_S(\theta_{LS}, x_2, y_2)$  を用いると  $r_S(x_2, y_2)$  による効果を次のように取り出すことができる。

$$\frac{R_S(\theta_{HS}, x_2, y_2)}{R_S(\theta_{LS}, x_2, y_2)} = \frac{R_{ref}[\theta_{HS} - b_O(x_2, y_2) - r_S(x_2, y_2)]}{R_{ref}[\theta_{LS} - b_O(x_2, y_2) - r_S(x_2, y_2)]} \quad (4.15)$$



ここで、 $r_S(x_2, y_2)$  を求めるための関数  $V_S(\epsilon)$  を式 4.11 と同様に定義する。

$$V_S(\epsilon) \equiv \frac{R_{ref}(\epsilon + \Delta\theta_S/2)}{R_{ref}(\epsilon - \Delta\theta_S/2)} \quad (4.16)$$

$$\Delta\theta_S \equiv \theta_{HS} - \theta_{LS}$$

実際の測定によって得られた  $R_S(\theta_{HS}, x_2, y_2)/R_S(\theta_{LS}, x_2, y_2)$  と  $V_S(\epsilon)$  が合致するときの  $\epsilon$  を  $\epsilon_S$  とすると、 $r_S(x_2, y_2)$  は次のように求めることができる。

$$r_S(x_2, y_2) = \epsilon_O(x_2, y_2) - \epsilon_S(x_2, y_2) + \frac{\theta_{HS} + \theta_{LS} - \theta_{HO} - \theta_{LO}}{2} \quad (4.17)$$

$\theta_{HS} = \theta_{HO}$  かつ  $\theta_{LS} = \theta_{LO}$  であるとき、式 4.17 は

$$r_S(x_2, y_2) = \epsilon_O(x_2, y_2) - \epsilon_S(x_2, y_2) \quad (4.18)$$

とすることが出来る。 $r_S(x_2, y_2)$  が一度求められれば  $t_S(x_2, y_2)$  についても以下のように得られる。

$$\begin{aligned} a_O(x_2, y_2)t_S(x_2, y_2) &= \frac{R_S(\theta_{HS}, x_2, y_2)}{R_{ref}[\theta_{HS} - b_O(x_2, y_2) - r_S(x_2, y_2)]} \\ &= \frac{R_S(\theta_{LS}, x_2, y_2)}{R_{ref}[\theta_{LS} - b_O(x_2, y_2) - r_S(x_2, y_2)]} \end{aligned} \quad (4.19)$$

なお、前述した通りサンプル直下平面上の任意の点  $(p, q)$  はアナライザ結晶によって 2 次元検出器入射面の点  $(-p, q)$  に投影されることから、ここで求めた  $t_S(x_2, y_2)$ 、 $r_S(x_2, y_2)$  の座標はサンプル直下平面上の座標に置き換える際に x 軸の座標を反転した後に CT 再構成を行う必要があることに注意が必要である。

#### 4.2.4 結果

以下に 2017/11/29-30 に取得したデータによる CT 再構成像を示す。本試験における撮像条件は表 4.2 のとおりである。

X 線ビームエネルギー	34.5 keV
PF リング運転モード	Top-Up モード
使用センサ	INTPIX4 (832 × 512 pixels)
センサ Wafer 製造法	N 型 Floating Zone 基板
センサ厚	500 $\mu\text{m}$
センサ電圧	250 V
センサ温度	0 $\pm$ 1 $^{\circ}\text{C}$ 真空容器内でペルチェ素子により冷却
$T_{\text{exposure}}^2$	$5 \times 10^{-2} [\text{sec}]$
$T_{\text{scan}}^2$	$3.2 \times 10^{-7} [\text{sec}]$
$T_{\text{reset}}^2$	$5 \times 10^{-6} [\text{sec}]$
センサ用ペDESTALデータ	X 線非照射時 380 フレームの データを平均
データセット当たりのフレーム数	40
データセット当たりの露光時間 ( $T_{\text{exposure}} \times$ フレーム数)	2 sec
サンプル	チタン片 (1N H <sub>2</sub> SO <sub>4</sub> 24 時間電解チャージ (5 mA/mm <sup>2</sup> ) 処理 <sup>3</sup> 済)
サンプル形状	0.9 mm × 0.9 mm × 3.0 mm
サンプル回転ステップ	1 度 (回転範囲 0–180 度)
総取得データセット	364 セット ( (181 セット + 1 ビームプロファイルデータ) × 2 )

表 4.2: 2017/11/29-30 撮像条件

図 4.9 はアナライザ結晶角度  $\theta = \theta_L$ 、 $0^{\circ}$ 、 $\theta_H$  におけるサンプルのイメージング結果を示す。 $\theta = \theta_L$ 、 $\theta_H$  の像では  $\theta = 0^{\circ}$  での撮像時には表れていないコントラストが生じていることが確認できる。

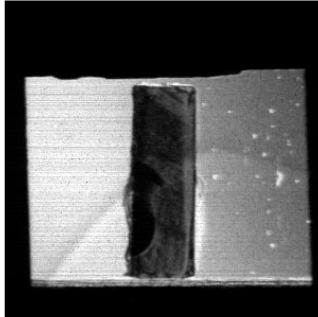
<sup>2</sup>第 2 章 2.1.3 節参照

<sup>3</sup>表面付近に水素化物を形成する処理

## ビーム下流からの視野

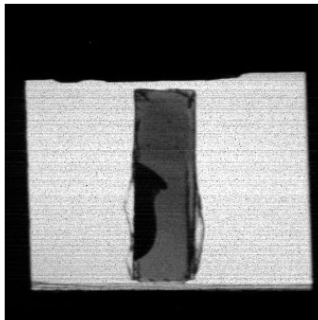
(a)

$$\theta = \theta_L$$



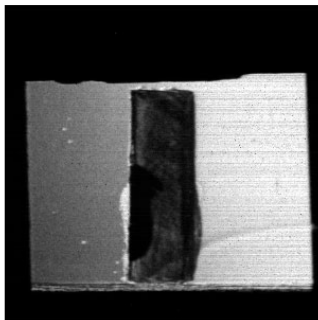
(b)

$$\theta = 0^\circ$$



(c)

$$\theta = \theta_H$$



(d)

サンプル写真



図 4.9: BL-14B での位相差イメージング (DEI 法) によるサンプルのイメージ (2017/11/29-30)。(a) アナライザ結晶角度  $\theta = \theta_L$ 、(b) アナライザ結晶角度  $\theta = 0^\circ$ 、(c) アナライザ結晶角度  $\theta = \theta_H$ 、(d) サンプル写真。すべて画像下方側が鉛直方向

図 4.9 に示す  $\theta = \theta_L$ 、 $\theta_H$  におけるイメージを回転範囲 0–180 度の範囲で撮像し、取得されたデータを CT 再構成した結果を図 4.10 に示す。本試験においては光学系が不安定であったため、試料全体について鮮明な像を得ることはできていないが、比較的鮮明に水

素化物の分布による像を得ることが出来た断層像を示している。図 4.10(cf.) には比較用として  $\theta = 0^\circ$  で撮像したデータより作成した図 4.10(a)–(c) と同一位置の吸収 CT 再構成結果を示しているが、これらより吸収 CT 像 (図 4.10(cf.)) には現れていないコントラストが位相差 CT 像 (図 4.10(a)–(c)) において現れていることが確認できる。本試験においてデータ取得に要した時間は  $\theta = \theta_L$  については計 36 分 42 秒、 $\theta = \theta_R$  については計 36 分 02 秒 (光学系の調整のためデータセットの取得を  $0^\circ$ – $30^\circ$ 、 $31^\circ$ – $60^\circ$ 、 $61^\circ$ – $90^\circ$ 、 $91^\circ$ – $120^\circ$ 、 $121^\circ$ – $150^\circ$ 、 $151^\circ$ – $180^\circ$  の 6 区間に分割) であった。また、ステージ制御などに要した時間 (あるセットのデータ取得完了–次のセットの取得開始までの時間) は 1 角度ステップ当たり 7 秒程度であったことから、 $\theta = \theta_L$ 、 $\theta_H$  のそれぞれについて 15 ~ 16 分が実際に検出器からのデータ取得に要した時間となる。このときの実質の露光時間は計 362 秒、約 6 分となるため、以前として 10 分程度余分に時間を要していることとなるが、吸収イメージングの際の所要時間と比較して露光時間当たりの総所要時間の削減にはフレーム数の抑制が有効であったことが確認できた。

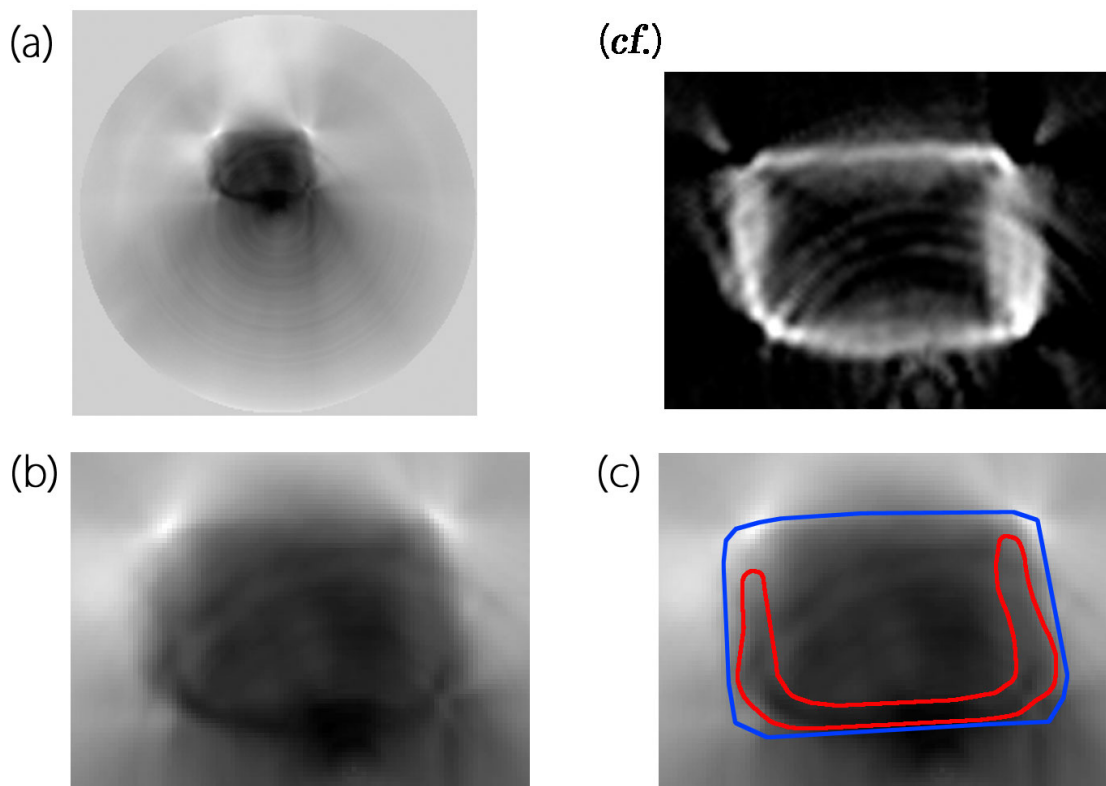


図 4.10: BL-14B での位相差イメージング (DEI 法) によって取得されたチタン水素化物の分布像の位相差 CT 再構成結果 (2017/11/29-30)。(a) 断層像全体図、(b) サンプル近傍拡大図、(c) 図 (b) にサンプルの形状 (青実線) 及びチタン水素化物の分布形状 (赤実線) を重ねたもの、(cf.) 同一位置における吸収イメージング像 ( $\theta = 0^\circ$  のデータ) を用いた吸収 CT 再構成結果

#### 4.2.5 本試験による成果について

チタン水素化物に対する位相差 CT 撮像はこれまでに例がないため、本試験によって撮像することが出来た CT 像は世界初の成果となる。この結果は SOI ピクセル検出器が検出効率が低い条件においても位相差によるコントラストを十分に高い感度で捉えられていることを示しており、本検出器が X 線イメージングの用途において高い威力を発揮し得ることを示すものであるといえる。一方で、今回得られた CT 像には光学系の不安定性によるアーチファクトが大量に生じていることが確認でき、これは実験中にビーム強度が変動したことを示している。この問題を解決するには、DAQ システム・フレームワークの更なる高速化によって撮像時間の短縮を図るとともに、熱源となる機器を可能な限り光学

系から離して配置できるようにする等、実験環境の恒温化を図る措置が必要になると考えられる。

## 参考文献

- [1] PhotonFactory 採択課題番号 2013G054.
- [2] PhotonFactory 採択課題番号 2014G021.
- [3] PhotonFactory 採択課題番号 2015G649.
- [4] PhotonFactory 採択課題番号 2016G050.
- [5] Chapman D et al., [Diffraction enhanced X-ray imaging], Phys. Med. Biol. 42 2015–25, (1997).
- [6] V. N. Ingal and E. A. Beliaevskaya, [Phase dispersion introscopy], Surf. Invest. 12 441–50, (1997).
- [7] 水野 他, [X線屈折コントラスト法による Ti および TiAl 合金中の水素化物の可視化], 軽金属 55 巻 12 号 pp.678–681 (2005).
- [8] K. Mizuno et al., [Hydrogen diffusion in titanium-hydride observed by the diffraction-enhanced X-ray imaging method], Phys. Stat. Sol. (a) 204, No. 8, 2734–2739 (2007).
- [9] A. Momose et al., [Recent Advances in X-ray Phase Imaging], JJAP Vol. 44, No. 9A, pp.6355–6367, (2005).
- [10] K. Hirano et al., [X-ray analyzer-based phase-contrast computed laminography], J. Synchrotron Rad. 23 1484–1489 (2016).

## 第5章 より高速なDAQシステムを目指して

2章においては、検出器読み出しシステムの高速化・高機能化を進めるため、従来システムにおけるボトルネックの検討を行った。その中で、データフロー中に十分な容量のバッファが存在しない点が問題として挙げられたが、この問題の根本的な解決のためにはBlockRAM容量の増加、またはFPGAが直接利用可能かつ高速な外部メモリを行う必要があり、現行SEABAS 2基板での解決は難しいものであった。2章におけるソフトウェア側からのアプローチによってスループットは大幅に向上し、多くの実験においては十分なフレームレートが確保できるようになったが、現在のSEABAS 2基板においては更なるスループット向上は難しい。

一方で、SOIピクセル検出器のピクセル数は面積の増大と共に増加の傾向(例:INTPIX8 [1]のピクセル数は $1024 \times 640$  pixels)にあり、また実験用途によっては大面積の確保のために複数枚の検出器を並べる事例も出てきている [2]。このような状況においてDAQ側のスループットを保つためには、データフロー中に十分な容量のバッファを設けること、また生データが不要な場合はFPGA内でペDESTAL減算・複数フレームの積算といった処理を行い、転送データ量そのものの削減を図る必要があるが、現状のSEABAS 2基板においてはこれらの対応は不可能である。

さらに切実な問題として、SEABAS 2に使用しているFPGAであるVirtex 4およびVirtex 5が本論文執筆時点(2017年)において既に終息フェーズに入っており、今後の増産は難しいことから早急な更新が必要となっている。

そこで、本研究においてはこれらの問題への対応として、汎用試験基板であるKC705 [3]を用いてSEABAS DAQシステムとの互換性を保ちつつ性能を向上したDAQシステムの開発を目指すこととした。

## 5.1 KC705 基板を用いた DAQ システム

### 5.1.1 開発の方針および KC705 基板選定の経緯

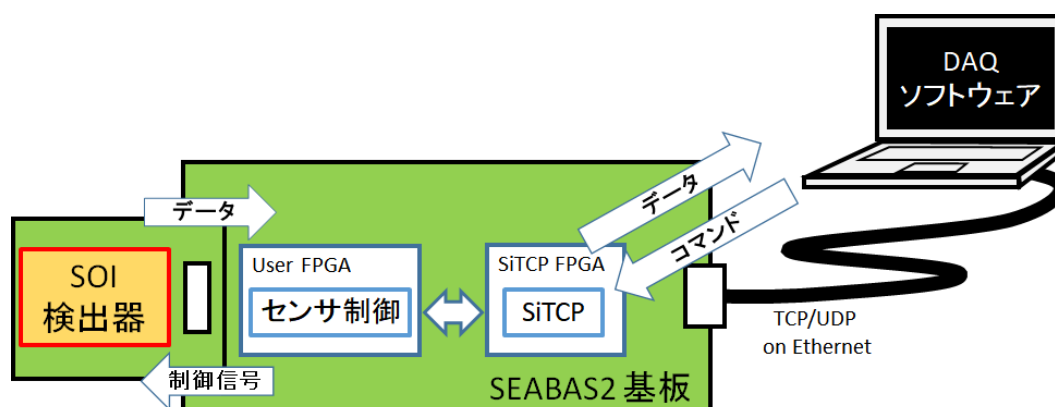


図 5.1: SEABAS 2 DAQ システムのセットアップ概略図

これまで SOI ピクセル検出器の読出しに用いてきた SEABAS 2 DAQ システムは図 5.1 のような構成を基本とした DAQ システムである。第一世代の SEABAS 基板 (SEABAS 1) が 2008 年に使用開始されて以来、現在までに多くの開発資産が蓄積されてきた。2 章、3 章において構築した新型 DAQ ソフトウェアおよび DAQ フレームワークもその一端であるといえる。本章冒頭でも述べた通り、SEABAS 2 の置き換えが必要な時期は差し迫っているが、置き換えに伴ってこれらの開発資産を破棄することは環境整備において出戻りを意味するため、SOI ピクセル検出器を既に使用している利用者が SEABAS 1 / 2 から移行するにあたっての大きな障壁となることは確実である。よって、円滑な基板更新のためには基板以外の環境は可能な限り温存できるようにする必要がある。

移行先の基板として、KEK SOI グループでは次世代 SEABAS 基板 (SEABAS 3) の開発が検討されているが、現時点において設計・開発は完了しておらず、また開発が完了してから利用が可能になるまでには時間を要することから、更なるスループットの向上、大面積での高速撮像といった要求に直ちに答えることは難しい。そこで、本研究においては総開発期間の短縮を目的に、比較的新しい FPGA と Ethernet インターフェースを搭載した商用基板を更新先の一つとして検討することとした。

商用基板を用いるにあたって、SEABAS 2 からの性能向上の実現および SEABAS 2 の環境との互換性を確保するため、

- 搭載される FPGA の Slice 数及び BlockRAM 容量は SEABAS 2 に搭載の FPGA



の合計の Slice 数及び BlockRAM 容量を上回ること

- 対 DAQ 用 PC 向けのインターフェースに SiTCP [4] を用いることでソフトウェア側の改修を最小限に留めることが可能であること
- ハードウェア側については SEABAS 2 と同等のインターフェースをサブ基板等の形で搭載できること

の 3 点が満足できるものを検討することとした。

SiTCP は現在 Bee Beans Technologies 社によって管理・開発が継続されており、近年の Xilinx 社製 FPGA の多くがサポートされている [12]。KC705 基板をはじめとする Xilinx 社製 FPGA 評価キットには SiTCP に対応する FPGA 及び Ethernet PHY(Physical Layer Chip) チップが搭載されており、またサブ基板等が接続できる高速インターフェースが搭載されていることから、更新先の基板候補としての要件を満たしているものが複数存在した。本研究においては候補となる評価キット基板の中から価格<sup>1</sup>と性能のバランスが良好であった KC705 基板を採用することとした。

### 5.1.2 KC705 基板概要

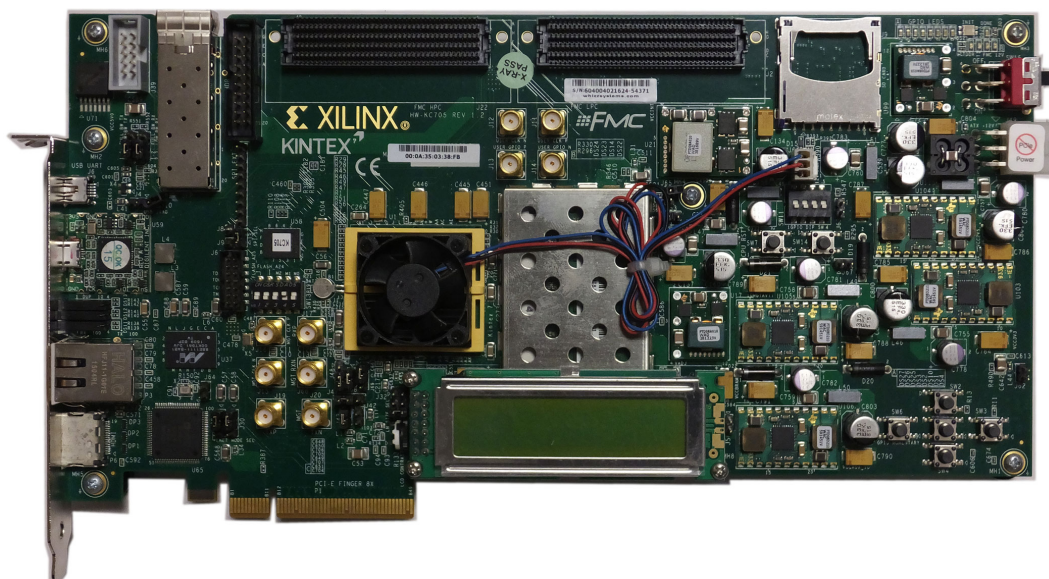


図 5.2: KC705 基板

<sup>1</sup>株式会社イー・ディ・ティによる見積もりで 2016/08/10 時点の価格は ¥248,400(税込)

KC705(図 5.2) は Xilinx 社によって販売されている Kintex-7 [6] FPGA を搭載した汎用評価基板である。Kintex-7 XC7K325T FPGA をはじめとして SO-DIMM 規格 [7] の 1 GB DDR3 メモリモジュール、Gigabit Ethernet I/O、FPGA Mezzanine Card (FMC) [8][9] コネクタ等の各種モジュールおよびインターフェースを搭載しており、Kintex-7 を用いたアプリケーションの開発・試験を行うことが可能である。KC705 の仕様を表 5.1 に示す。

電源	DC + 12 V (ウォールアダプターまたは ATX 電源)
FMC サブボード用電源ライン	VADJ : + 1.8 – 3.3 V Variable (Default : 2.5 V) VCC12_P : + 12 V VCC3V3 : + 3.3 V (UCD9248 [10] より供給)
FPGA	Xilinx Kintex-7 (XC7K325T)
FPGA Slice Number	50,950 slices [6]
FPGA Block Memory	16,020 Kb [6]
Ethernet	1000BASE-T 1 Gigabit Ethernet Interface (Marvell Alaska PHY 88E1111 [11])
Sub Board I/O	ANSI/VITA 57 FPGA Mezzanine Card HPC [9] × 1、LPC [9] × 1
外部メモリ	1 GB DDR3-1600 204 pin SODIMM Module (Micron MT8JTF12864HZ-1G6G1 [12])

表 5.1: KC705 仕様表 [3]

### 5.1.3 KC705 基板を用いた DAQ システム概要

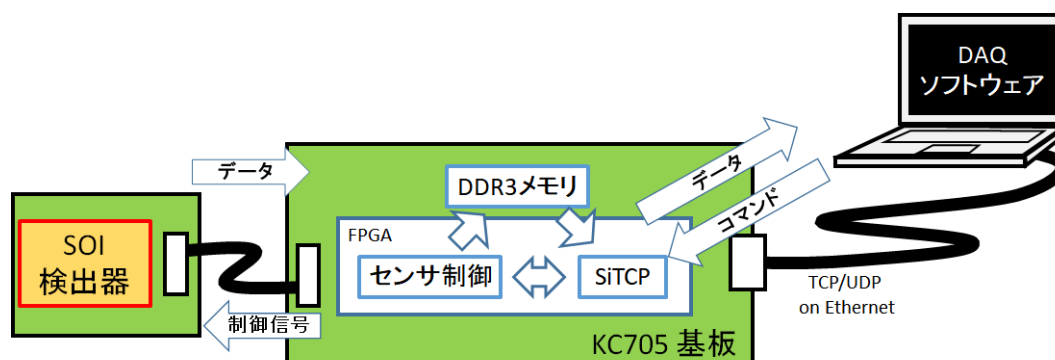


図 5.3: KC705 DAQ システムのセットアップ概略図

KC705 基板を用いた DAQ システムは図 5.3 に示すように図 5.1 の SEABAS 2 基板をそのまま KC705 基板に置き換えた構成を基本とする。

## 5.2 KC705 プロトタイプ DAQ システムの性能評価

本研究では KC705 基板を用いたプロトタイプ DAQ システムとして、これまで構築してきた INTPIX4 用 DAQ システムを移植したシステムを構築し、性能評価を行うこととした。

### 5.2.1 SOI ピクセル検出器接続のためのサブ基板

SOI ピクセル検出器を KC705 に接続するためには SEABAS 2 と同等のインターフェース・機能を搭載する必要がある。そこで、本研究ではデジタルの信号線については FMC コネクタを一度 DSub50 に変換、ケーブルで適宜延長した上で SEABAS2 の CMC コネクタに変換して接続を図ることとした。また、各種リセット電圧の入力およびアナログ信号の処理を行うため、ADC チップ (AD9637 [13] 2 チップ、計 16 チャンネル)、DAC チップ (DAC124S085 [14] 2 チップ、計 8 チャンネル)、NIM I/O(入力 4 チャンネル、出力 2 チャンネル) を搭載した基板を開発し、この基板を介して SOI ピクセル検出器への電圧入力・アナログ信号の読出しを実現することとした。図 5.4 にこれらの基板を取り付けた状態の KC705 基板を示す。

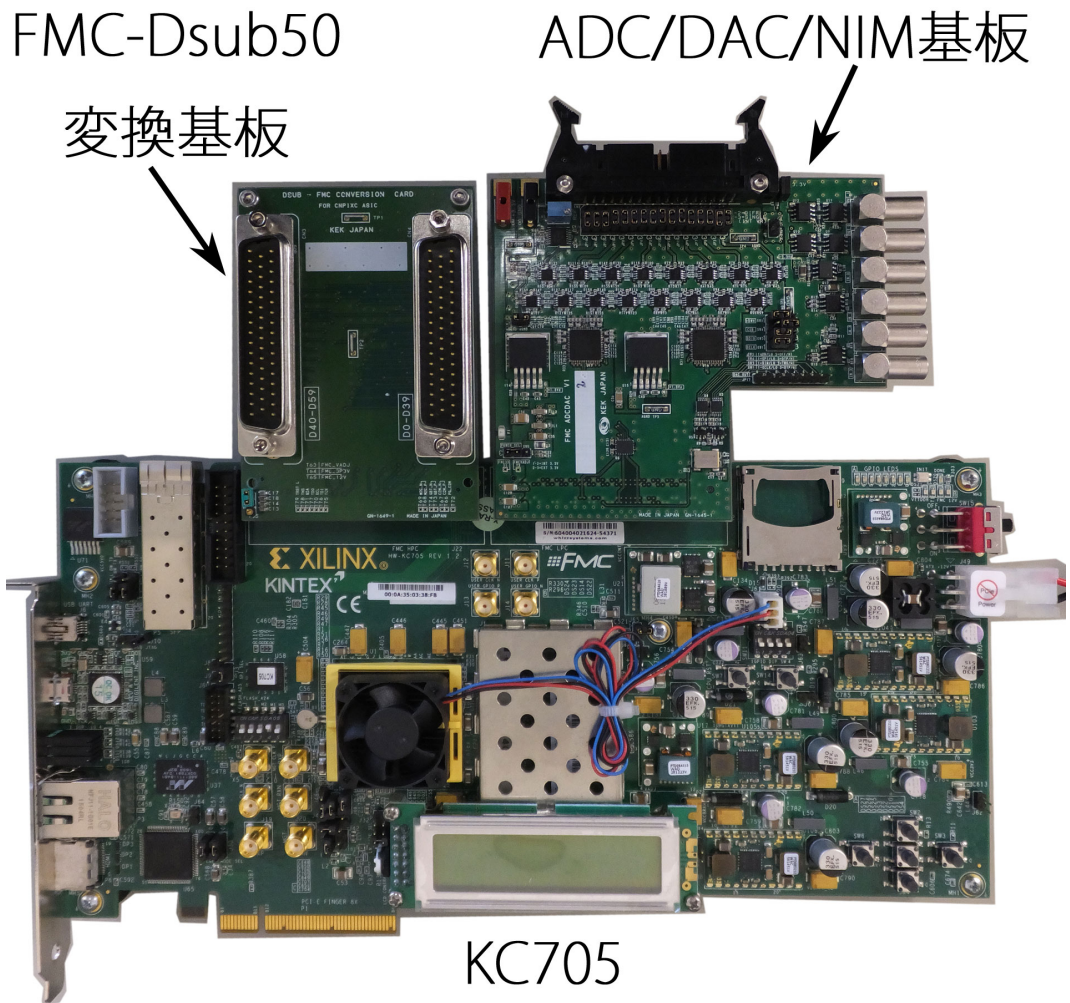


図 5.4: FMC-DSub50 変換基板 (左上) 及び ADC/DAC/NIM 基板 (右上) を取り付けた KC705 基板

なお、現在 ADC/DAC/NIM サブ基板上の各種機能を制御するためのファームウェア実装作業を進めているが、後述する動作確認の時点においては ADC の制御実装が完全ではなく、ADU 値の読出しが出来ない状態であったため、ADC からのデータクロック及びフレームクロックを用いて実際の読出し処理と同じ処理で疑似データを読み出すことによって評価を行なっている。

## 5.2.2 KC705 ファームウェア実装

本実装においては第 2 章で述べた SEABAS2 ファームウェアの実装とほぼ同等の機能、具体的には INTPIX4 の各種信号制御を行うためのモジュール、センサーリセット電圧、CDS リセット電圧の供給に用いる DAC の制御モジュール、読出しに用いる ADC の制御モジュール、NIM I/O 用モジュール、SiTCP からコマンドを受信するモジュール、SiTCP からデータを送信するモジュールを実装した。これに加えて SiTCP モジュールを単一 FPGA 内に統合し、DDR3 メモリを大容量のバッファとして用いるためのモジュールを追加している。ファームウェア実装概略を図 5.5 に示す。

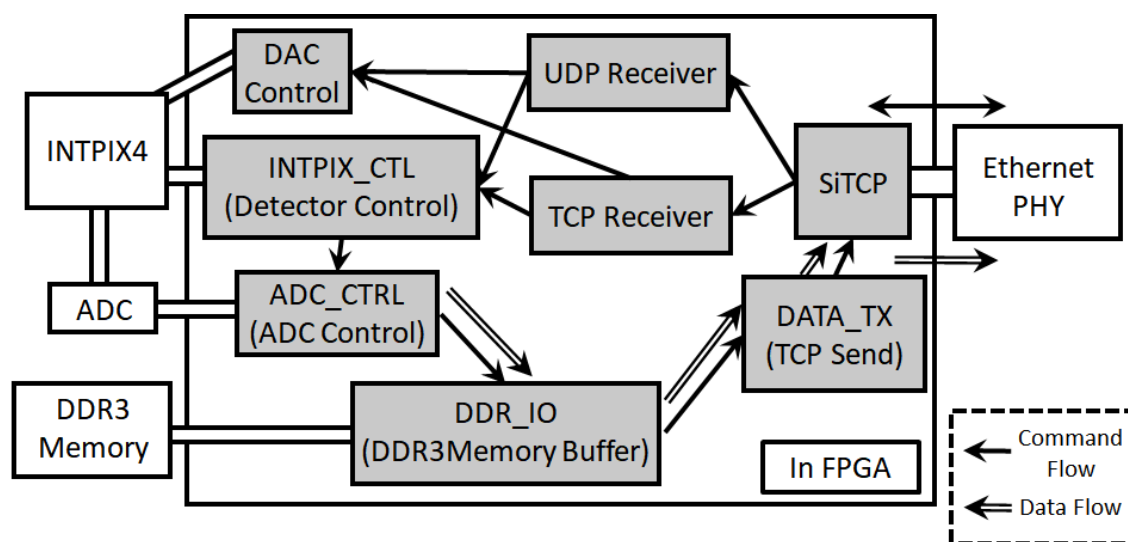


図 5.5: KC705 ファームウェア実装概略図

## 5.2.3 KC705 プロトタイプ DAQ 動作確認試験

試験内容・条件共に第 2 章 2.3.3 節の試験から旧型 DAQ ソフトウェアによる試験を省略したのと同じ条件とし、DAQ 基板を KC705 に置き換えたうえで第 2 章で構築した新型 DAQ ソフトウェアによる読出し試験を行なった。前述の通り ADC/DAC/NIM サブボード上の ADC の制御実装が完全ではないため実際に INTPIX4 を接続しての試験はできないが、ファームウェア上の読出し処理は通常と同一の処理が可能であることから、第 2 章と同様の撮像条件、具体的には  $T_{exposure} = 1 \times 10^{-6}[\text{sec}]$ 、 $T_{scan} = 3.2 \times 10^{-7}[\text{sec}]$ 、 $T_{reset} = 5 \times 10^{-6}[\text{sec}]$ 、撮影枚数 2500 フレームの条件を適用して試験を行なった。また、使用した DAQ 用 PC の仕様については表 5.2 に示す。

OS	Windows 10 Home Edition 64 bit (Version 1703、 Build 15063)
Motherboard	ECS B85H3-M4 (Mouse Computer OEM Edition)
CPU	Intel Core i7-4770 (3.40 Ghz (Turbo Boost 時 3.90 Ghz)、 4 コア、 8 スレッド)
Memory	DDR3-1600 8GB Single-Channel (A-DATA AM2L16BC8R2)
HDD	1TB 7,200 回転 Serial ATA600 (Western Digital WD10EZEX)

表 5.2: KC705 プロトタイプ DAQ 動作確認試験時の DAQ 用 PC の仕様

表 5.3 はこのデータ取得の試行における平均転送レートを示したものである。また、図 5.6、5.7 はデータ取得中のフレーム間隔 (各 2,499 区間) の取得フレーム数に対する推移、図 5.8 にフレーム間隔の分布をそれぞれ示したものである。転送所要時間は第 2 章 2.3.3 節の結果と比較して 3 秒程度延長しており、結果として平均転送レートも 572.7 Mbps となっている。フレーム間隔の推移については初期 50 フレーム程度の範囲に 50ms 前後の遅延が生じているものの、全体としては SEABAS2 を用いた新型 DAQ ソフトウェア試験の場合と同様に比較的フラットに推移していることが確認できる。以上より、転送所要時間の 3 秒程度の延長は初期の転送状態の不安定性が影響している可能性が考えられる。また、本システムは SEABAS2 と比較してデータがファームウェア内の転送過程で DDR3 メモリ及びその入出力用モジュールを経由する分固定長の余分な遅延時間が生じることも考えられる。本論文執筆時点ではこの原因は十分に特定できていないが、今後開発・調整を継続することで SEABAS2 を置き換える DAQ ボードとして十分に利用可能となることが見込まれる。



転送所要時間 (データ取得開始から PC 上へのデータ収容完了まで)	29.754 sec
平均フレームレート (転送所要時間/取得フレーム数)	84.02 fps
平均転送レート	572.7 Mbps
転送効率 (計算上の転送レート (649.6 Mbps) に対する割合)	88.2 %

表 5.3: KC705 プロトタイプ DAQ と新型 DAQ ソフトウェアを併用した場合の平均転送レート

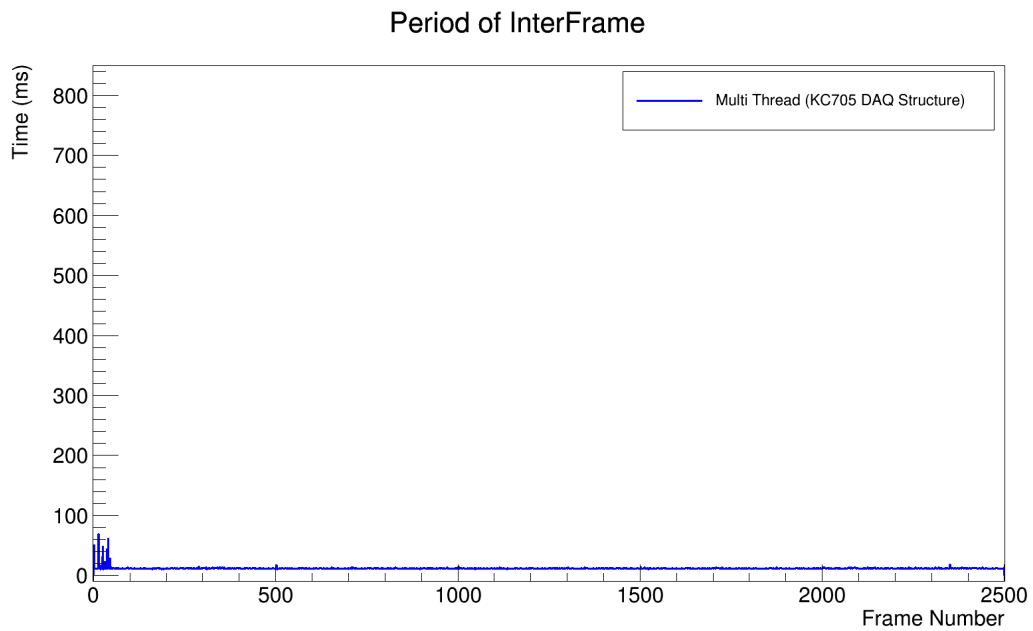


図 5.6: データ取得中のフレーム間隔の取得フレーム数に対する推移 (各 2,499 区間) について、横軸をフレーム番号、縦軸をフレーム間隔 (ms) としてプロットしたもの。

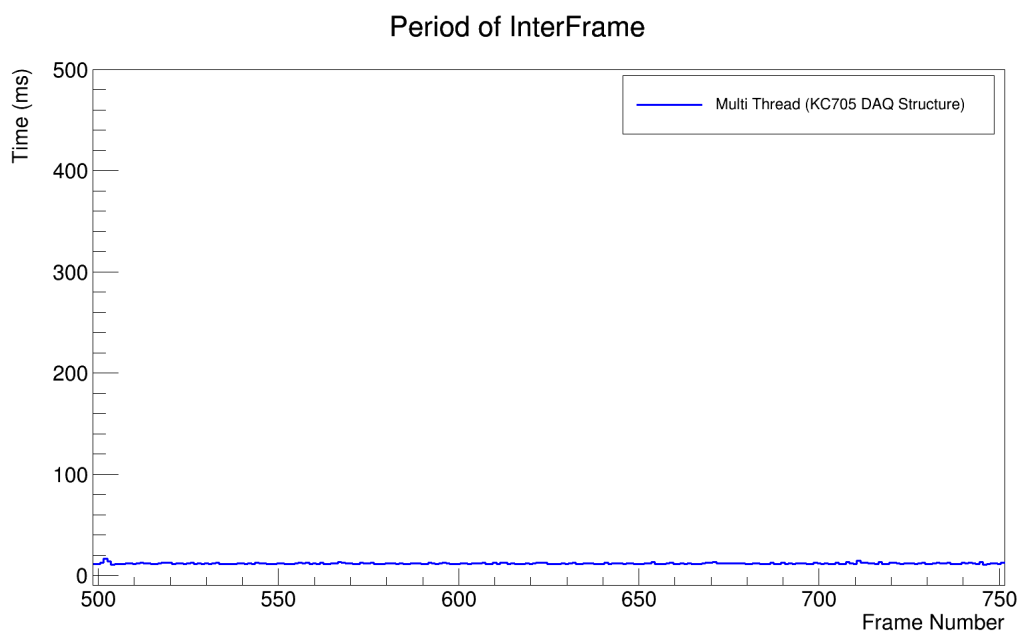


図 5.7: 図 5.6 における 500-750 の 250 区間を拡大したもの。

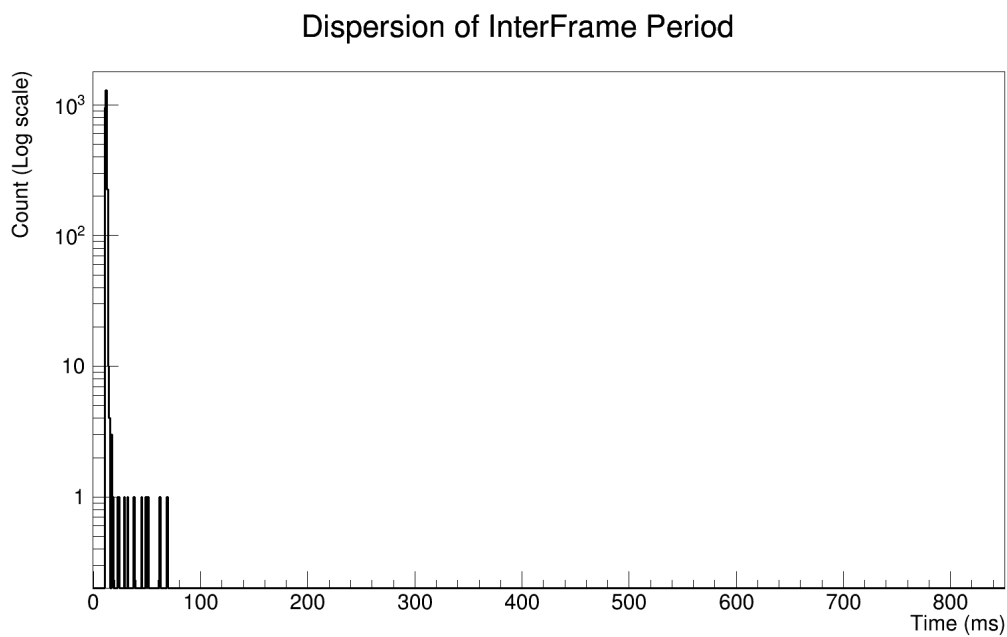


図 5.8: データ取得中のフレーム間隔の分布について、横軸をフレーム間隔 (ms)、縦軸をカウント数 (対数) としてプロットしたもの。



## 5.3 KC705 基板の本格的な実用化に向けて

現時点においては KC705 基板を用いた DAQ システムはプロトタイプの開発がスタートしたところであり、直ちに現行の SEABAS2 を置き換えるまでには到達できていない。しかし、初期プロトタイプシステムの転送所要時間は SEABAS2 システムに比較して 3 秒程度余分に要しているものの、フレーム間隔の推移の様子から全体としての転送性能は既にほぼ SEABAS2 システムと同程度を達成していると言える。また、SOI ピクセル検出器を制御するために必要なサブ基板の更なる開発・試験が現在進められており、今後 1～2 年程度で KC705 による SEABAS2 の置き換え、DAQ システムの性能向上が実現可能であると考えられる。

## 参考文献

- [1] T. Miyoshi et al., [Front-end electronics of double SOI X-ray imaging sensors], JINST 12 C02004, (2017).
- [2] S. Mitsui et al., [Two-dimensional diffraction X-ray measurement with monolithic SOI pixel detector], iWoRiD 2015, (2015).
- [3] Xilinx Inc., [KC705 Evaluation Board for the Kintex-7 FPGA User Guide UG810 (v1.7)], Xilinx Documentation, (2016).
- [4] T. Uchida, [Hardware-Based TCP Processor for Gigabit Ethernet], IEEE Trans. Nucl. Sci. NS-55 (3) 1631-1637, (2008).
- [5] Bee Beans Technologies Co.,Ltd., [SiTCP ライブラリ — Bee Beans Technologies Co.,Ltd.], <https://www.bbtech.co.jp/products/sitcp-library/>, (2017/10/20 閲覧).
- [6] Xilinx Inc., [7 Series FPGAs Data Sheet: Overview DS180 (v2.5)], Xilinx Documentation, (2017).
- [7] JEDEC, [DDR3 Unbuffered SO-DIMM Reference Design Specification (Revision 2.8)], JEDEC Standard No. 21C Page 4.20.18-1, (2014).

- [8] R. Seelam, [I/O Design Flexibility with the FPGA Mezzanine Card (FMC) WP315 (v1.0)], Xilinx Documentation, (2009).
- [9] D. Barker, [Introducing the FPGA Mezzanine Card: Emerging VITA 57 (FMC) standard brings modularity to FPGA designs], VITA Technologies (<http://vita.mil-embedded.com/>), (2008), (2017/10/20 閱覽).
- [10] Texas Instruments Inc., [Digital PWM System Controller - UCD9248 (REVISED AUGUST 2012)], Texas Instruments Documentation, (2012).
- [11] Marvell Technology Group Ltd., [88E1111 Product Brief], Marvell Doc. No. MV-S105540-00, (2013).
- [12] Micron Technology Inc., [DDR3 SDRAM SODIMM (Rev. G)], Micron Documentation, (2010).
- [13] Analog Devices Inc., [Octal, 12-Bit, 40/80 MSPS, Serial LVDS, 1.8 V Analog-to-Digital Converter AD9637 Rev.A], Analog Devices Documentation, (2017).
- [14] Texas Instruments Inc., [DAC124S085 12-Bit Micro Power Quad Digital-to-Analog Converter With Rail-to-Rail Output (REVISED APRIL 2016)], Texas Instruments Documentation, (2016).

## 第6章 結論

本研究では、SOI ピクセル検出器を実用的な計測システムにすることを目的に、

- 検出器読み出しシステムの高速化
- データ取得の処理の自動化及び周辺機器との連動

について検討・開発を行なった。

これらの開発を経て構築されたシステムを KEK Photon Factory のビームラインに設置し、撮像試験を行なった。従来のシステムを用いて同様の試験を行った場合、撮像完了までに最低でも 3～5 時間を要しており、また撮像中ユーザーが撮像開始、周辺機器の制御などを手動で行う必要があったが、本研究によって開発されたシステムでは同じ条件で 1～2 時間程度まで所要時間を短縮することに成功した。実質の露光時間に対しては依然として長い時間を要しているため、更なる時間短縮が課題となるが、SOI ピクセル検出器の応用に向けたプロトタイプとしては十分な性能を有することが確認できた。また、本システムによって実現された自動撮像により INTPIX4 検出器の性能を生かした試験が行えるようになった結果、チタン水素化物の分布の位相差 CT 撮像を世界で初めて実現することが出来た。

以上の過程を経て構築したシステムによって、INTPIX4 検出器の性能に対しては十分に対応可能なスループットを確保することが可能となった。しかし、プラットフォーム基板である SEABAS 基板の性能が限界に到達しており、今後の更なる SOI ピクセル検出器の性能向上、及び更なる高機能化に対応するためにはプラットフォーム基板の更新が必要となる。そこで、本研究では今後の更なる高速化に向けて、新たなプラットフォーム基板として KC705 基板の実用化に関する検討を行なった。現時点においては直ちに現行の SEABAS2 を置き換えるまでには到達できていないものの、初期プロトタイプシステムの転送所要時間は既にほぼ SEABAS2 システムと同程度を達成しており、各種開発・試験の進行により今後 1～2 年程度で KC705 による SEABAS2 の置き換え、DAQ システムの性能向上が実現可能となる見込みである。

# 付録 A SOI検出器用新型DAQソフトウェア搭載バッチ処理機能について

## A.1 概要

INTPIX4用DAQソフトウェアをはじめとするSOIピクセル検出器用新型DAQソフトウェアは連続撮像及びデータ取得に連動した周辺機器の制御コマンド生成・送信を行うためのバッチ処理機能が搭載されている。この機能を用いることにより従来の手動制御ではユーザーの作業量・所要時間が増大しがちであった3次元CT用の撮像やサンプルの1次元/2次元多点測定といった実験において大幅な時間短縮及び省力化を図ることが出来る。本章では本論文執筆時点における搭載機能及び使用方法についての解説を行う。今後DAQソフトウェア・フレームワークの更新に伴って内容に追加・変更が生じる場合があるため、最新の情報はDAQソフトウェア・フレームワークのソースコード・バイナリパッケージ等と共に配布されるドキュメントを参照されたい。

## A.2 搭載機能の紹介及び使用手順の解説

本節ではINTPIX4用DAQソフトウェア(以下本ソフトウェア)を例に搭載機能の紹介及び使用手順の解説を行う。使用できるパラメータについてはDAQソフトウェアの対象検出器によって多少の差異は存在するが、使用方法は基本的に同一である。

### A.2.1 バッチ処理機能の概要

本ソフトウェアが持つバッチ処理機能は、あらかじめ指定された測定モードによる指定回数のデータ取得処理を実行する単純なものである。このバッチ処理機能使用時には指定

されたパラメータのバッチ回数に応じた変更や周辺機器へのコマンド送信処理などを連動して実行することも可能であるが、測定結果に対応して動的に動作モード・パラメータを切り替えるような処理には対応していないため、行なう処理内容はあらかじめユーザーが決定しておく必要がある。具体的には、

- 使用する動作モード (例 : Calib and Data<sup>1</sup>、Data Only<sup>2</sup>、OnePix Mode<sup>3</sup> 等)
- 露光時間、フレーム数等のパラメータ
- パラメータをバッチ回数に応じて変更の場合その開始値と、ステップ当たりの増減値
- 保存先、保存形式及びファイル名 (末尾に日付とバッチナンバーがで自動付与される<sup>4</sup>)
- 外部ソフトウェア呼び出しの場合、必要とされる引数の情報
- ステージ使用の場合、コントローラのコマンド、開始位置、ステップ幅、走査方法 (2次元スキャン時)
- スケータ使用の場合、スケータのコマンド、本ソフトウェアの動作シーケンスとスケータ測定開始・終了のタイミング設定
- その他バッチ処理に関わる撮影時の状況及び連動する機器の設定等

のような内容については事前に決定しておくことが求められる。

---

<sup>1</sup> 毎回ペDESTALデータの撮像後にそのデータをペDESTAL減算に用いて計測データの撮像を行う

<sup>2</sup> あらかじめ用意したペDESTALを用いて (またはペDESTAL減算なしで) 計測データの撮像を行う

<sup>3</sup> 特定の 1 ピクセルのみを指定してデータ取得

<sup>4</sup> 「[filename]\_YYYY\_MMDD\_BatchNNN」の形式。例 : Data\_2017\_1208\_Batch000.root

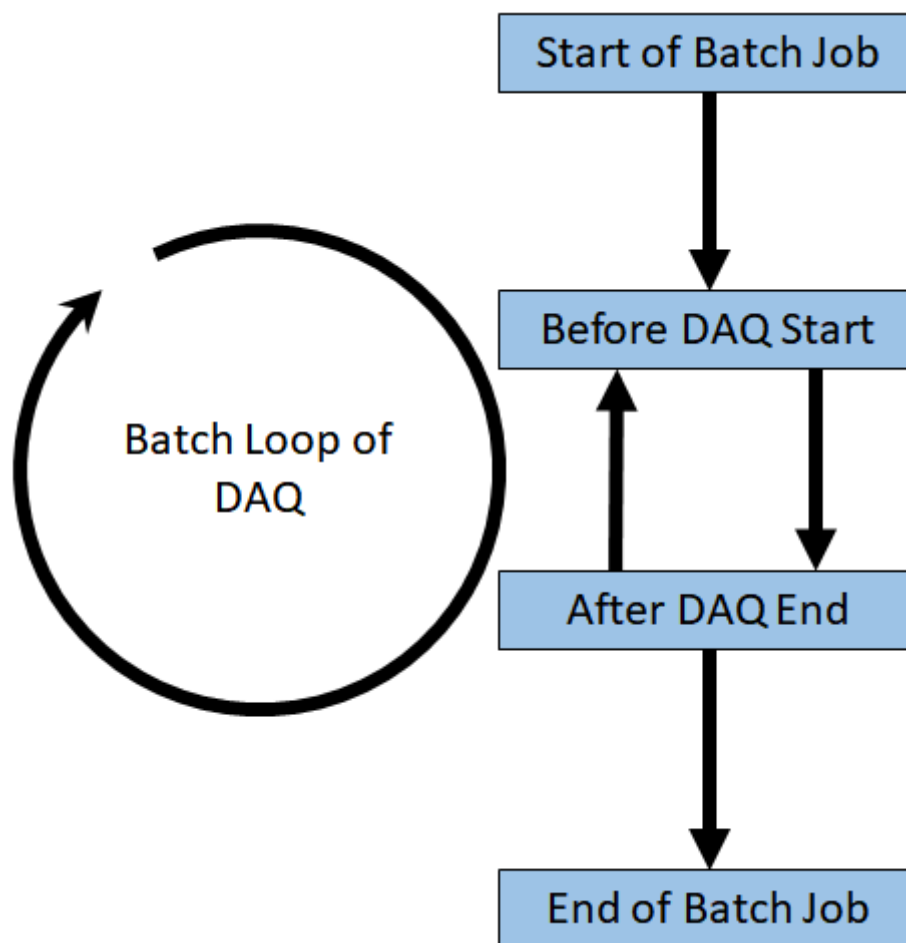


図 A.1: バッチ処理時のコマンド実行タイミング

本ソフトウェアにおいて、パラメータをバッチ回数に応じて変更させる場合、指定パラメータの増減は各データ取得の終了後に行われ、変更後パラメータの送信は次回のデータ取得開始時に行われる。また、外部ソフトウェアの呼び出しやステージ・スケーラ等の外部機器へのコマンド送信は図 A.1 に示す 4 つのタイミングにおいて行うことができる。「Start of Batch Job」はバッチ処理の開始前、「Before DAQ Start」は各バッチにおけるデータ取得開始直前、「After DAQ End」は各バッチにおけるデータ取得終了直後、「End of Batch Job」はすべてのバッチ処理が終了（全データ取得終了）した後のタイミングを表している。「Start of Batch Job」「End of Batch Job」は一連のバッチ処理の中でそれぞれ 1 回ずつ、「Before DAQ Start」「After DAQ End」はそれぞれ指定されたバッチ処理回数分実行される。よって、バッチ処理のフローは

1. バッチ処理開始

2. 「Start of Batch Job」のコマンド実行
3. 「Before DAQ Start」のコマンド実行
4. データ取得開始 (パラメータ送信、撮像開始)
5. データ取得終了 (撮像完了、記録終了)
6. 「After DAQ End」のコマンド実行
7. 検出器パラメータの増減が指定されている場合はこのタイミングで設定変更。  
変更後のパラメータは次回の 4 のデータ取得開始時に送信される
8. 3-7 を指定されたバッチ処理回数分繰り返す
9. 「End of Batch Job」のコマンド実行
10. バッチ処理終了

となる。これを実際の測定に用いる例として、

1. バッチ処理開始前にステージを測定開始位置にセット
2. データを 1 セット取り終わる度に指定したパルス数ずつステージを動かす
3. 最後にステージを退避位置に移動する

といった内容を実行する場合、

1. 「Start of Batch Job」でステージを測定開始位置させるコマンドを送信
2. 「Before DAQ Start」ではステージにはコマンドを送らず待機
3. 「After DAQ End」でステージを指定パルス数移動させるコマンドを送信
4. 「End of Batch Job」でステージを退避位置に移動するコマンドを送信

といった処理が実行されるように設定することになる。

## A.2.2 設定方法

本節ではバッチ処理に関する設定の具体的な方法を示す。図 A.2、図 A.3、図 A.4 はそれぞれ INTPIX4 用 DAQ ソフトウェアのメインパネル、バッチ処理用設定パネル、ステージ制御用設定パネルの GUI イメージである。以下設定方法の説明にはこれらの図を用いる。



図 A.2: INTPIX4 用 DAQ ソフトウェア DAQ Control タブ (メインパネル)



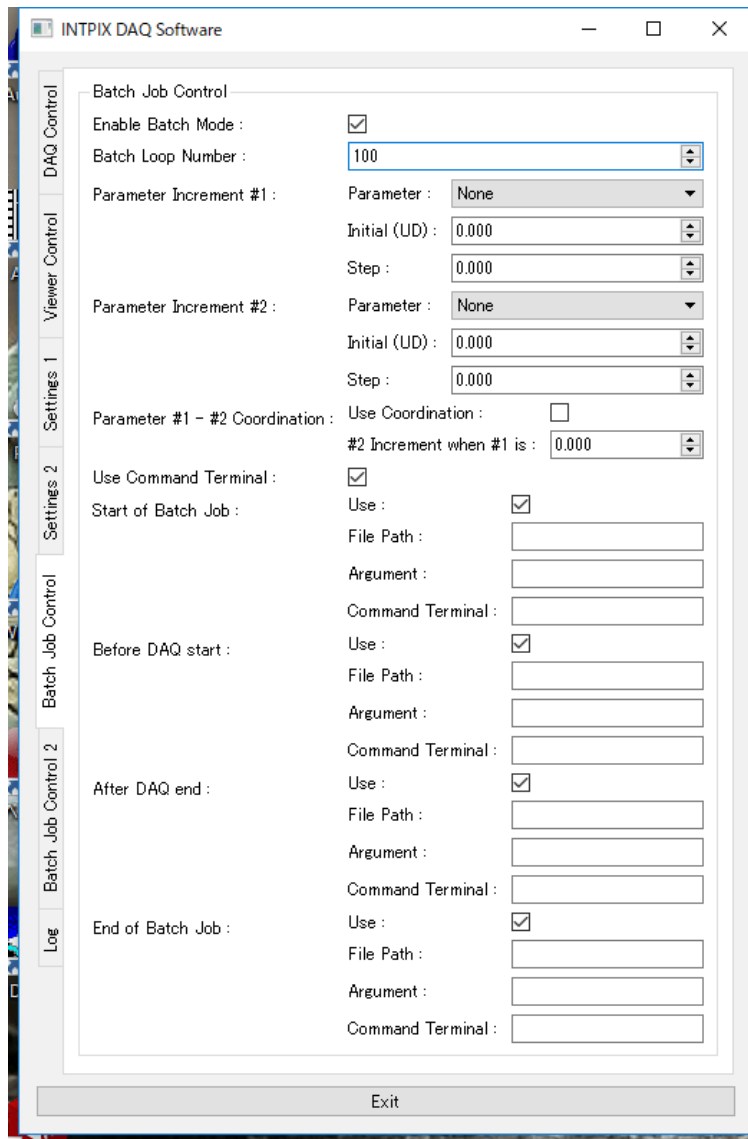


図 A.3: INTPIX4 用 DAQ ソフトウェア Batch Job Control パネルタブ (バッチ処理用設定)

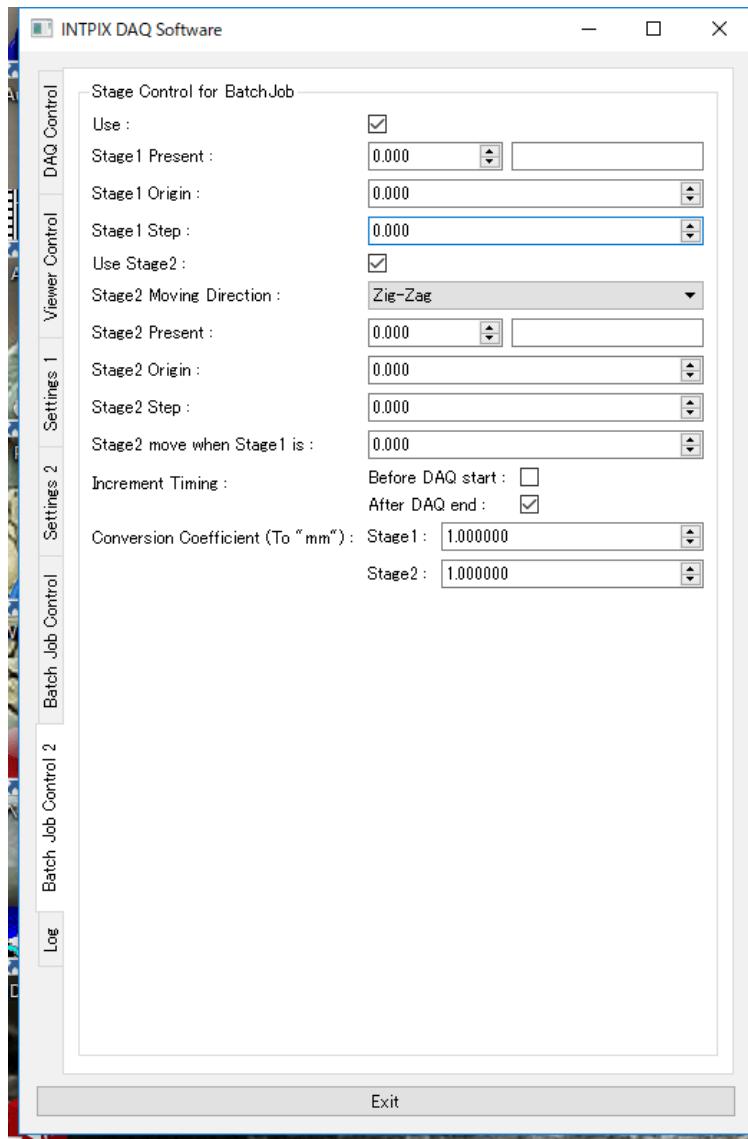


図 A.4: INTPIX4 用 DAQ ソフトウェア Batch Job Control2 パネルタブ (ステージ制御用設定)

#### A.2.2.1 バッチ処理機能の有効化

バッチ処理機能は通常は無効化されており、バッチ処理用設定パネル内 Enable Batch Mode にチェックを入れることによって使用が可能となる。(バッチ処理機能の有効・無効の状態は通常データ取得時の処理には影響しないため、Enable Batch Mode にチェックが入ったまま通常使用も可能である)

#### A.2.2.2 バッチ処理開始・停止

必要な設定をすべて入力した後、メインパネル内 Batch Job Control 枠の「Start」を押すとバッチ処理が開始される。また、バッチ処理中に「Stop」を押すとその時点で実行中のデータ取得処理を最終回としてバッチ処理終了処理を行う。バッチ処理が開始された後は所定回数のバッチ処理を実行後自動的にバッチ処理が終了されるため、通常「Stop」を使用する必要はない。「Start」「Stop」の上にある\*\*\*\*\*の部分にはバッチ処理を開始すると「Now # : 現在ナンバー / 総バッチ回数」のような形式で現在取得中のバッチ処理ナンバーが表示される。なお、ここに表示される現在ナンバーは1から開始されるのに対してファイル名に付与されるバッチナンバーは0から開始されるため、現在ナンバーには保存されるファイル名のバッチナンバーに1を加えた数字が表示される。

#### A.2.2.3 バッチ処理回数指定

バッチ処理の回数を指定する場合はバッチ処理用設定パネル内 Batch Loop Number に実行したいバッチ処理回数 (1 ~ 1,000,000,000) を設定する。バッチ処理回数は実行する測定の総数を指定する。例えば、10 × 20 点の2次元多点測定を行いたい場合、バッチ処理回数は200を設定する。

#### A.2.2.4 パラメータ-バッチ処理回数連動機能

パラメータをバッチ処理回数に連動して増減させたい場合、バッチ処理用設定パネル内 Parameter ~ で始まる項目に設定を行う。パラメータは2つまで同時に変更することができ、Parameter Increment #1、2は使用するパラメータの選択用の項目であり、Parameter(使用するパラメータ)を選択し、Initial(初期値。User Define valueのみ。他のパラメータはSetting1タブで設定された数値を初期値として用いる)、Step(バッチ処理1回当たりの増減値)を設定することで使用が可能となる。使用できるパラメータの一覧を表A.1に示す。パラメータを2つを使用する場合、Parameter #1 - #2 Coordination の Use Coordination にチェックを入れることで2つのパラメータを連動させることができる。具体例を示すと、Parameter #1 を10から10ずつ増加させ、100に到達した次の回で#1を10に戻しParameter #2を5増加させる、という処理が可能となる。この場合は#2 Increment when #1 is には100を指定する。

User Define value	ユーザー定義値 (#1、2 で独立)
Integration Time	フレーム当たり露光時間
RST High Time	センサー電圧リセット継続時間
CDS RST High Time	CDS 電圧リセット継続時間
Scan Time	ピクセル走査インターバル
RST Voltage	センサーリセット電圧
CDS RST Voltage	CDS リセット電圧

表 A.1: パラメータバッチ処理回数連動機能 使用可能なパラメータ一覧

#### A.2.2.5 ステージ制御用パラメータ生成機能

制御を行う周辺機器にステージが含まれる場合、ステージ制御用パラメータ生成機能が使用できる。設定項目はステージ制御用設定パネルに存在し、Use にチェックを入れることで有効になる。制御するステージが1軸のみの場合は Stage1 Origin に測定のスタート位置、Stage1 Step に1回あたりの移動量をパルス数で指定し、Increment Timing のいずれかの項目にチェックを入れ、ステージ座標の値を移動させるタイミングを指定<sup>5</sup>することで使用が可能となる。2次元走査計測のような2軸を連動して使用したい用途の場合は上記に加えて Stage2 Origin に2軸目の測定スタート位置、Stage2 Step に2軸目の1回あたりの移動量、2軸目を駆動する1軸目の座標をパルス数で指定し、Use Stage2 にチェックを入れることで使用が可能となる。2軸を連動して使用する場合は駆動方法を Zig-Zag・U-Shaped の2つから選ぶことができる。それぞれの駆動方法のイメージを図 A.5 に示す。

<sup>5</sup>Before DAQ start はコマンド送信タイミング「Before DAQ Start」の直前、After DAQ End は「After DAQ End」の直前。通常はステージへのコマンド送信タイミングに応じていずれか1つを指定する。両方にチェックを入れた場合は両方のタイミングでステージ座標値の移動処理が行われるため注意

## Moving Direction

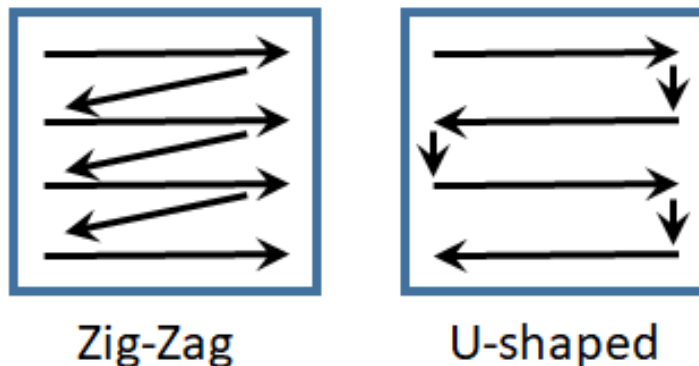


図 A.5: ステージ制御の Moving Direction

Conversion Coefficient は原点からの座標をパルス数から長さ (mm) へ変換するための係数を設定する項目であり、INTPIX4 の場合は現在のところ Stage1/2 の Present への表示のみに用いている。

### A.2.2.6 外部ソフトウェア呼び出し・周辺機器制御コマンド生成・送信機能

「Start of Batch Job」、「Before DAQ Start」、「After DAQ End」、「End of Batch Job」の各タイミングで使用されるコマンドはバッチ処理用設定パネル内 Use Command Terminal、Start of Batch Job、Before DAQ Start、After DAQ End、End of Batch Job の各項目で設定が可能である。周辺機器制御用モジュールを使用して周辺機器を制御する場合は Use Command Terminal にチェックを入れ、バッチ処理開始前に周辺機器制御用モジュールを起動してから使用する必要がある。なお、周辺機器制御用モジュールに送信するコマンドの形式については付録 B に示す。

Start of Batch Job、Before DAQ Start、After DAQ End、End of Batch Job の各項目内に存在する入力項目はそれぞれ

#### File Path

呼び出す外部ソフトウェアのパス

#### Argument

呼び出す外部ソフトウェアに与える引数

## Command Terminal

### 周辺機器制御用モジュールに送信するコマンド

を意味しており、File Path と Argument はそのタイミングにおける外部ソフトウェア呼び出し、Command Terminal は周辺機器制御用モジュールに送信するコマンドに使用される。各入力項目は「%」で始まる予約済みの文字列を用いることで任意の位置をパラメータ-バッチ処理回数連動機能やステージ制御用パラメータ生成機能で生成した値で置換することができる。例えば、Argument に

```
1 Expo:%INTus 0 VTH:%UD1
```

のように入力してバッチ処理を実行すると、外部ソフトウェア呼び出し時には

```
1 Expo:1000us 0 VTH:50.000
```

のようにその時点のパラメータで置換される。予約済みの文字列の一覧を表 A.2 に示す。

%UD1	ユーザー定義値 (#1、小数点第 3 位まで表示)
%UD2	ユーザー定義値 (#2、小数点第 3 位まで表示)
%INT	フレーム当たり露光時間
%RHT	センサー電圧リセット継続時間
%CRT	CDS 電圧リセット継続時間
%SCT	ピクセル走査インターバル
%RSV	センサーリセット電圧
%CRV	CDS リセット電圧
%SVD	保存先ディレクトリ
%SBN	保存ファイル名ヘッダ (「[filename]_YYYY_MMDD_BatchNNN」まで)
%SG1	ステージ 1 軸目絶対座標
%SG2	ステージ 2 軸目絶対座標
%S1D	ステージ 1 軸目相対移動量 (符号付)
%S2D	ステージ 2 軸目相対移動量 (符号付)
%S1MPD	ステージ 1 軸目相対移動方向 (符号表記)
%S2MPD	ステージ 2 軸目相対移動方向 (符号表記)
%S1MPA	ステージ 1 軸目相対移動量 (絶対値)
%S2MPA	ステージ 2 軸目相対移動量 (絶対値)

表 A.2: パラメータ-バッチ処理回数連動機能 使用可能なパラメータ一覧

# 付録B 周辺機器制御用モジュールについて

## B.1 概要

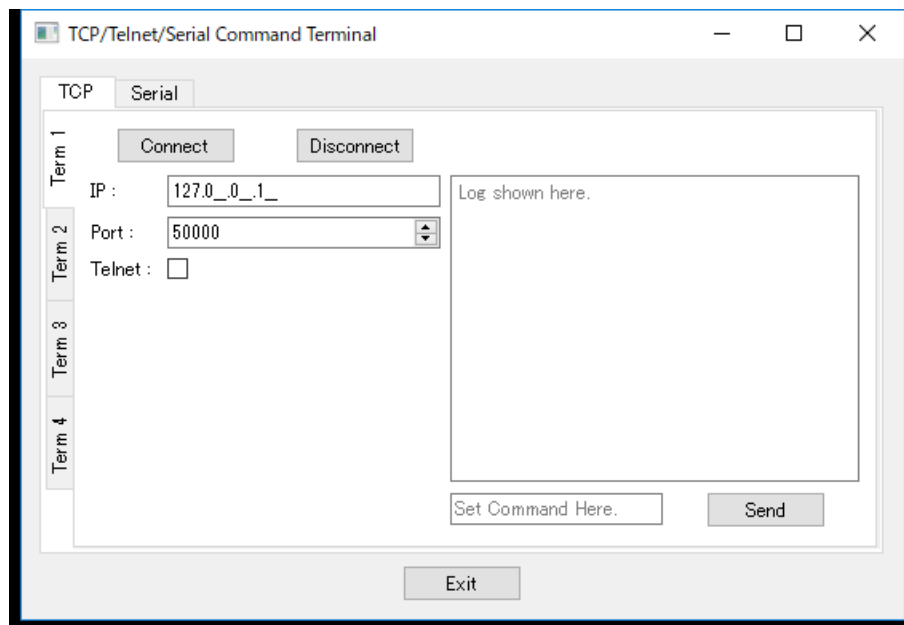


図 B.1: 周辺機器制御用モジュール 動作イメージ

周辺機器制御用モジュール(図 B.1、以下本ソフトウェア)は本研究において開発したDAQフレームワークにおいて周辺機器を制御するために使用されるソフトウェアモジュールである。本ソフトウェアは検出器用モジュールまたはコントローラモジュールでQStringテキストとして生成した周辺機器用コマンドをプロセス間通信経由で受け取り、これをTelnet通信、シリアル通信等の任意の形式で周辺機器に送信する機能を有する。本ソフトウェアはデフォルトのままビルドするとTCP/Telnet通信、シリアル通信それぞれ4ターミナルが使用可能な状態で動作するが、ソースコード内の`#define TERM_NUM`の値を変更することによって最大9ターミナルまで増加可能である。

## B.2 マスターからの接続待ち受けについて

本ソフトウェアは起動されると小規模セットアップ向けの構成で使用するローカルソケット通信サーバ (QLocalServer) がサーバ名「SOLEXT」で待ち受けを開始する。大規模セットアップ向けの構成で使用する TCP ソケット通信サーバ (QTcpServer) は標準では無効となっており、`-enable-remote` を引数に付けて起動することで有効となり待ち受けを開始する。このとき、他に引数を付加しない場合はデフォルトの設定 (待ち受けポート 50000 番、ローカルホストからのアクセスのみ許可) で待ち受けを行うが、表 B.1 に示すオプションを指定することにより待ち受けの設定を変更することが可能である。

引数	設定内容
<code>-enable-remote</code>	TCP サーバ有効化
<code>-listen-port [Port Number]</code>	TCP サーバ待ち受けポート (初期値 : 50000)
<code>-allowed-host [IP Address]</code>	接続許可ホスト設定 (初期値 : Localhost、 CIDR 表記または IP/サブネットマスク表記による 範囲指定可)
<code>-allow-allhosts</code>	全てのホストからのアクセスを許可

表 B.1: TCP 通信待ち受けオプション設定用の起動時引数一覧

## B.3 使用可能なコマンド

### B.3.1 コマンド表記規則 (ローカル制御時)

本ソフトウェアは単体で TELNET 通信、シリアル通信、及び、独自ストリーム構造による TCP 通信の簡易ターミナルとして使用することが出来る。IP アドレス (TELNET/独自ストリーム TCP 通信)、ポート番号、TELNET 通信を有効にするかのチェックボックス (TELNET/独自ストリーム TCP 通信)、BaudRate(シリアル通信のみ。以下同様)、Bit、FlowControl、Parity を適宜設定し、Connect ボタンを押すと接続が可能である。

コマンドを送信する場合は対象の制御に必要なコマンドを Send ボタン横のテキスト入力フォームに入力し、Send ボタンを押すと送信される。このとき、デリミタは自動では付与しないため、以下のように適宜必要なデリミタを追加する。

```
1 ABS0+0<CR><LF>
```



なお、このような通信において使用されることの多い主要な特殊文字・改行コード等については <STX > のような形で表記することで自動的に置換される。

使用終了時は Disconnect ボタンを押すと接続を解除できる。

### B.3.2 コマンド表記規則 (リモート制御時)

本ソフトウェアが使用可能なコマンドはすべて以下に示す表記形式で記述する必要がある。

```
1 [Distination of Command] <Command Type>:<Some command>:<Some command>;
```

[Distination of Command] はコマンドの送信宛先となるターミナルを表し、ここが GENE の場合は総合コントロール用コマンド処理機構、TCP<sub>n</sub>(n:ターミナル番号 (1~4)) の場合は独自ストリーム構造による TCP 通信ターミナル、TEL<sub>n</sub>(n:ターミナル番号 (1~4)) の場合は TELNET 通信ターミナル、SER<sub>n</sub>(n:ターミナル番号 (1~4)) の場合はシリアル通信ターミナルが宛先となる。なお、独自ストリーム構造による TCP 通信ターミナルと TELNET 通信ターミナルはターミナル自体を共有するため、排他利用となる。

複数のコマンドをセパレータ “;” を用いて以下のように連結することができる。

```
1 TEL1 SEND:CLAL<CR><LF>; TEL2 SEND:ABS0+0<CR><LF>; TEL1 EXIT; TEL2 EXIT;
```

コマンドは本ソフトウェアが受信した順番、かつコマンドが連結されている場合は左側から順番に実行される。

コマンド内の “:” はコマンド内セパレータとして使用されているが、SCPI コマンドのように “:” を処理内容の一部として使用しなければならない場合は、以下のように当該の内容をシングルクォート “'” で囲うことによってその範囲内に存在する “:” を処理内容に含めることができる。

```
1 SER1 SEND:'FUNC:RAMP<CR><LF>'; SER1 SEND:'VOLT:LOW┘-0.500<CR><LF>';
```

### B.3.3 総合コントロール

総合コントロールコマンドは [Distination of Command] が「GENE」である場合に使用されるコマンドで、本ソフトウェア全体の動作に対するコマンドである。コマンドの概要については表 B.2 に示す。

コマンド	概要
WAIT: <Time(sec) >;	<Time(sec) >に指定した時間分だけ次のコマンドの実行を待つ。
WAIT: <Time(sec) >: <Term_with_num (ex. TEL1) >: <Command_for_Term “Term_with_num” >: <String >: <Repeat_Num >;	<Time(sec) >に指定した時間分だけ次のコマンドの実行を待つ。ただし、<Term_with_num >で指定されたターミナルが <Command_for_Term “Term_with_num” >で指定されたコマンドを送信した後、“String”に一致するテキストを受信した場合、待機を中断し直ちに次のコマンドの実行に移る。“String”以降が省略された場合、何らかのテキストを受信した段階で待機を中断し直ちに次のコマンドの実行に移る。“String”が指定されかつ<Repeat_Num >が省略されず1以上の数字が指定されている場合、<Command_for_Term “Term_with_num” >で指定されたコマンドを“String”に一致するテキストを受信するか回数が<Repeat_Num >回に到達するまで再送信し、以降は指定の待ち時間まで待機する。
ECHO: <Some strings >;	<Some strings >の内容をそのままマスターに送信する。

表 B.2: 総合コントロールコマンド一覧

### B.3.4 ターミナルコントロールコマンド

ターミナルコントロールコマンドはTCP通信/TELNET通信ターミナル及びシリアル通信ターミナルの制御に用いるコマンドである。[Distination of Command]にTCPn(n:ターミナル番号(1~4))、TELn(n:ターミナル番号(1~4))、SERn(n:ターミナル番号(1~4))のいずれかを指定し、引き続いてターミナルコントロールコマンドを記述することによって使用する。コマンドの概要については表B.3に示す。

コマンド	概要
INIT: <IP >: <Port >: <EnableTelnet >	TCP 通信ターミナル用イニシャライズおよび通信相手との接続確率コマンド。末尾の <EnableTelnet >に「TELNET」を記述すると以後そのターミナルは TELNET 通信モードで作動する。例:「TCP1 INIT:192.168.1.201:7777;」(TCP 通信モード)、「TCP1 INIT:192.168.1.201:7777:TELNET;」(TELNET 通信モード)
INIT: <IP >: <Port >: <EnableTelnet (can be omitted) >	TELNET 通信ターミナル用イニシャライズおよび通信相手との接続確率コマンド。例:「TEL1 INIT:192.168.1.201:7777;」
INIT: <COMPort >: <BaudRate >: <Bit (6-8) >: <Flow (No/Hard/Soft) >: <Parity (No/Even/Odd/Space/Mark) >	シリアル通信ターミナル用イニシャライズおよび通信相手との接続確率コマンド。例:「SER1 INIT:COM7:9600:8:No:No;」
SEND: <CommandString >	コマンドテキスト送信用コマンド。例:「SER1 SEND: <STX >PMP1/50000 <CR ><LF >;」(特殊な文字、改行コード等については <STX >のような形で表記できる)
RDBK: <CommandString >	コマンドテキスト送信用コマンド。コマンド送信後に最初に受信したテキストデータをマスターモジュールに送信する。例:「TEL1 RDBK:RDAL? <CR ><LF >;」
RDSV: <CommandString >: <OutputFileName >	コマンドテキスト送信用コマンド。コマンド送信後に最初に受信したテキストデータを指定されたファイル名のテキストログとして出力する。例:「TEL1 RDSV:RDAL? <CR ><LF >: 'D:/DAQ/SaveData/result.txt';」
EXIT	ターミナルと通信相手の接続を閉じる。例:「TCP1 EXIT;」
LOGS: <OutputFileName >	ターミナルの受信内容を通信が閉じられた後に指定されたファイル名のテキストログとして出力するよう設定する。例:「TCP1 LOGS: 'D:/DAQ/SaveData/logs.txt';」
NLOG	テキストログ出力が設定されている場合にそれを無効にする。例:「SER1 NLOG;」

<p>WAIT: &lt;Time(sec) &gt;</p>	<p>受信したターミナルのみ &lt;Time(sec) &gt;で指定された秒数次のコマンドの実行を待つ。GENE WAIT と異なり当該ターミナル以外は引き続きコマンドの実行が継続される。例：「TEL1 WAIT:5;」</p>
---------------------------------	--

表 B.3: ターミナルコントロールコマンド一覧

# 謝辞

本研究を行うにあたって、指導教官である新井康夫教授をはじめとする KEK 測定器開発室、特に SOI グループの皆様には多くの助言、ご指導を頂きましたことを深く御礼申し上げます。研究以外の生活面においても多くのサポートをして頂き、お陰様で充実した大学院生活を送ることができました。

岸本俊二教授、平野馨一准教授、兵藤一行准教授、橋本亮特任助教をはじめとする KEK 物質構造科学研究所の方々には施設・設備を運用する立場からの貴重なご意見・ご提案を頂き、また Photon Factory における撮像試験の際には多くのサポートを頂きました。お陰様で DAQ システムの機能をより充実させることができ、また撮像試験では良好な試験結果を得ることができました。

島根大学・大学院総合理工学研究科の水野薫教授と金沢大学・大学院医薬保健研究域の岡本博之准教授には第 4 章の位相差イメージングで使用したチタン片試料をお借りしました。貴重な試料をご提供いただきありがとうございます。ありがとうございました。

同じ研究室の仲間である浜崎竜太郎君にも大変お世話になりました。研究についての相談は勿論、時には下らない個人的な話にも付き合ってくれた優しさには大変感謝しています。

また、総合研究大学院大学の高エネルギー加速器科学研究科に 2014 年度に入学した同期生の皆様にも大変お世話になりました。学生が少ない総研大の特殊な環境の中では、同じ立場で語り合うことのできる仲間との時間は大変貴重なものでした。

また、総研大での 4 年間に渡る大学院生活を支えてくれた家族には本当に感謝しています。周囲の同年代がとうに就職し、社会的・経済的に自立しているにも拘らず、未だに収入もほとんどない社会的に不安定な学生の身分である上、標準年限を過ぎても修了が見えてこない私の様子に不安にさせられることも多々あったことだろうと思います。家族の深い理解・協力なしに本研究を進めることは決してできませんでした。

その他、この研究を進めるに当たってお世話になったすべての皆様に、お礼を申し上げます。

# 本研究において開発された各種ソフトウェア・ファームウェアに関して

本研究において開発された各種ソフトウェア・ファームウェアに関しては、KEK Wiki SOIPIX グループ内の Web ページ (<https://wiki.kek.jp/display/soigroup/SW+and+FW+for+SOIPIX>) より頒布を行います。