

氏 名 神保 潮

学位(専攻分野) 博士
(情報学)

学位記番号 総研大甲第 2079 号

学位授与の日付 平成 31年 3 月 22日

学位授与の要件 複合科学研究科 情報学専攻
学位規則第6条第1項該当

学位論文題目 タイミング制約を緩和するクロッキング方式

論文審査委員 主 査 教授 五島 正裕
教授 米田 友洋
教授 合田 憲人
准教授 鯉淵 道紘
准教授 入江 英嗣 東京大学大学院
情報理工学系研究科

(様式3)

博士論文の要旨

氏名 神保 潮

論文題目 タイミング制約を緩和するクロッキング方式

半導体プロセスの微細化に伴う素子遅延のばらつきの増加が、回路設計における大きな問題となりつつある。ばらつきが増大していくと、従来のワースト・ケースに基づいた設計手法は悲観的になりすぎる。

この問題に対処するため、Razor などの動作時にタイミング故障を検出し回復する手法が提案されてきた。タイミング故障とは、遅延の動的な変化によって設計者の意図とは異なる動作が引き起こされる過渡故障である。ワースト・ケース設計では、熱暴走がない限りタイミング故障は発生しない。タイミング故障を検出し回復する手法では、タイミング故障の発生を許容することで、ワースト・ケース設計から脱却できる可能性をもつ。我々もまた、二相ラッチと Razor と似たタイミング故障検出とで構成される動的タイム・ボローイングを可能にするクロッキング方式を提案してきた。

動的タイム・ボローイングを可能とする方式は、ごく簡単な回路によって最低限の動作確認がされたただけであった。実用化のためには、最終的には、Out-of-Order プロセッサなどの現実的な回路に対して適用した上で、LSI 化し、評価を行う必要がある。また、既存の回路を入力として、提案クロッキング方式が適用された回路を出力する自動変換ツールの開発が不可欠である。また、タイミング故障を検出し回復する手法の課題として、ダイナミック・プリチャージ・ロジック、特に SRAM への適用が考慮されてこなかったという問題があった。

本論文では、実用化に向けての方式上の課題を解決する。方式上の課題が解決された後は、さらに実装上の問題を解決すれば、Out-of-Order プロセッサなどに適用した上で LSI 化し、評価することが可能となる。方式上の課題として以下の 4 点を解決する：

1. SRAM を対象としたタイミング故障検出手法
2. 自動変換ツールのフレームワークの構築
3. 二相ラッチ化手法
4. 実用的なスカラ・プロセッサの回復機構の実装

本論文は以下の章から構成されている：

第 1 章 序論

本論文の背景、目的、ならびに、本論文の構成について述べている。

第 2 章 クロッキング方式

本章では、本論文においてクロッキング方式を実効遅延の観点から整理するために、タイミング・ダイアグラムと呼ぶ図を導入している。そして、既存のクロッキング方式である単相 FF 方式と二相ラッチ方式についてまとめている。

第 3 章 タイミング故障検出・回復

本章では、タイミング故障検出・回復手法がどのようにワースト・ケース設計からの脱

却を可能にするかについて説明するとともに、その代表例として Razor について説明している。

第 4 章 SRAM のタイミング故障検出

本章では、本論文の貢献の 1 つである、SRAM へのタイミング故障検出の適用手法について述べている。適用の問題点を明らかにし、それを克服する提案手法を述べている。また、提案した手法の評価について述べている。

第 5 章 動的タイム・ボローイングを可能にするクロッキング方式

本章では、まず我々が既に提案した動的タイム・ボローイングを可能にするクロッキング方式について説明している。次に、本論文の貢献の 1 つである、本方式のための自動変換ツールのフレームワークを述べている。最後に、リップル・キャリー・アダーを用いたカウンタを対象として、自動変換を行った評価について述べている。

第 6 章 二相ラッチ化手法

本章では、本論文の貢献の 1 つである、二相ラッチ化手法として提案したアルゴリズムを述べている。FF を用いた回路を、ラッチを用いた回路に変換する問題は、最小カット問題の一種に帰着できることを説明し、その特殊な最小カット問題を解くためのアルゴリズムを提案している。また、その評価について述べている。

第 7 章 Razor の Rocket への適用

本章では、本論文の貢献の 1 つである、Razor の Rocket を対象とした適用について述べている。実用的なスカラ・プロセッサへの回復機構の実装として、標準的なタイミング故障検出・回復手法である Razor を Rocket に適用する。Rocket のマイクロ・アーキテクチャを説明し、Rocket への Razor の適用において必要なポイントをまとめている。

第 8 章 結論

本論文の内容についてまとめ、今後の展望を示している。

博士論文審査結果

Name in Full
氏 名 神保 潮

Title
論文題目 タイミング制約を緩和するクロッキング方式

出願者は、半導体製造プロセスの微細化に伴う素子遅延のランダムなばらつきの問題に対処するため、タイミング制約を緩和するクロッキング方式について研究してきた。

近年、半導体製造プロセスの微細化に伴う素子遅延のランダムなばらつきが増加が大きな問題となりつつある。ばらつきが増大していくと、従来のワースト・ケースに基づいた設計手法は悲観的になりすぎる。

この問題に対処するため、タイミング故障を動的に検出し回復する手法が提案されてきた。タイミング故障とは、遅延の動的な変化によって設計者の意図とは異なる動作が引き起こされる過渡故障であり、ワースト・ケース設計では、熱暴走などの想定外の状況でしか発生しないように設計する。タイミング故障検出・回復手法では、タイミング故障の発生を許容することで、ワースト・ケース設計から脱却できる可能性がある。

出願者の研究グループでは、動的タイム・ボローイングを可能にするクロッキング方式を提案してきた。この方式は、二相ラッチを用いるクロッキング方式にタイミング故障検出を組み合わせたものである。この組み合わせによってはじめて、ラッチが開いている期間に信号が通過できるようになり、各ステージの実効的な遅延時間の長短は連続するステージ間で自動的に融通されるようになる。このとき回路は長大な組み合わせ回路のように動作し、素子のランダムなばらつきは多数の法則によって 0 に近づく。動作周波数の上限は、タイミング故障の検出限界で決まり、通常の方式のちょうど 2 倍となる。このバジットは、電源電圧の低下に振り向けることもできる。

しかしこの動的タイム・ボローイングを可能とする方式は、ごく簡単な回路に手動で適用することによって最低限の動作確認がされただけであった。実用化のためには、Out-of-Order プロセッサなどの実用的な回路に適用した上で、LSI 化し、評価を行う必要がある。またそのためには、既存の設計を入力として提案のクロッキング方式が適用された回路を出力する自動変換ツールの開発が不可欠である。

本論文では、そのための重要なステップとして以下を行っている：

1. SRAM を対象としたタイミング故障検出手法の提案
2. 自動変換ツールのフレームワークの構築
3. 二相ラッチ化アルゴリズムの提案と実装
4. 実用的なスカラ・プロセッサへの回復機構の実装

これらの結果、実用化に向けての方式上の課題はほとんど解決したと言える。今後、実装上の問題を解決すれば、Out-of-Order プロセッサなどに適用した上で LSI 化し、評価することが可能となる。

本論文は、「タイミング制約を緩和するクロッキング方式」と題し、和文で、全 8 章から構成されている。

第 1 章「序論」は、本論文の背景、ならびに、本論文の貢献についてまとめている。

第 2 章「クロッキング方式」は、実効遅延の観点からクロッキング方式を理解するために、タイミング・ダイアグラムと呼ぶ時間・空間の二次元のタイミング・チャートを導入し、この図を用いて既存のクロッキング方式である単相フリップ・フロップ (FF) 方式と二相ラッチ方式を説明している。

第 3 章「タイミング故障検出・回復」は、タイミング故障検出・回復手法によってワースト・ケース設計から脱却されうる理由について説明するとともに、その代表例として Razor について説明している。

第 4 章「SRAM のタイミング故障検出」は、ダイナミック・プリチャージ・ロジックである SRAM へのタイミング故障検出の適用手法として、プリチャージを適応的に行う手法について述べている。評価として、FreePDK と HSPICE を用いたモンテカルロ・シミュレーションの詳細な結果を示している。

第 5 章「動的タイム・ボローイングを可能にするクロッキング方式」は、まずこのクロッキング方式について説明し、自動変換ツールのフレームワークについて述べている。評価として、リップル・キャリー・アダーを用いたカウンタの回路のネットリストを入力として、タイミング故障検出・回復のための回路を付加した回路のネットリストを出力し、それを FPGA に実装し動作させた結果を示している。

第 6 章「二相ラッチ化手法」は、二相ラッチ化の手法として提案したアルゴリズムについて述べている。単相 FF を用いた回路を二相ラッチを用いた回路に変換する問題は、逆方向カット・エッジのない最小カットを求める問題に帰着できることを説明し、全エッジに大きな重みをもつ逆平行エッジを付加したうえで既存の最大フロー・アルゴリズムを適用する手法を提案している。評価としては、RISC-V ISA に基づく 64-bit スカラ・プロセッサ Rocket に適用した結果を示している。

第 7 章「Razor の Rocket への適用」は、実用的なプロセッサへの回復機構の実装として、標準的なタイミング故障検出・回復手法である Razor を Rocket に適用し、FPGA に実装する方法について述べている。Rocket 固有の問題を解決した上で、Linux のような OS をブート可能な実用的なプロセッサに対してタイミング故障検出・回復手法を適用する上での問題点を明らかにし、解決している。

第 8 章「結論」は、本論文の内容をまとめ、今後の Out-of-Order プロセッサへの適用、LSI 実装・評価に向けての展望を示している。

この研究の成果は、電子情報通信学会英文論文誌に 1 件、情報処理学会論文誌：コンピューティングシステムに 2 件、計 3 件の査読付きジャーナル論文として発表している。また、国際会議において 2 件の査読付きポスター発表を行っている。

以上を要するに本論文は、半導体製造プロセスの微細化に伴う素子遅延のランダムなばらつきの問題に対処する動的タイム・ボローイングを可能とするクロッキング方式を対象に、その方式上の課題をほとんど解決しており、情報学の発展に対する貢献が少なくない。

以上の理由により、審査委員会は、本論文が学位の授与に値すると判断した。